

超並列重力多体問題専用計算機 GRAPE-4

泰地 真弘人、牧野 淳一郎[†]、小久保 英一郎、
戎崎 俊一、杉本 大一郎

東京大学教養学部宇宙地球科学教室

[†]東京大学教養学部情報図形科学教室

我々は約 1Tflops の性能をもつ超並列重力多体問題専用計算機 GRAPE-4 の開発を進めている。GRAPE-4 のために粒子間の重力相互作用を高速に計算する「HARP (Hermite Accelerator Pipe) chip」を開発した。HARP chip では仮想マルチパイプラインアーキテクチャを考案し、入力データ転送率を半減する工夫をした。HARP chip は 1 クロックあたり 20 演算相当をおこなひ、30MHz 動作時に 600Mflops の性能をもつ。約 2000 個の HARP chip をマルチチップモジュール技術を用いて集積し、1.2Tflops のピーク性能をえる。20 万倍以上を扱うときには実効性能で 1Tflops を越える。

GRAPE-4: A massively-parallel special-purpose computer system for astrophysical many-body simulations

Makoto Taiji, Junichiro Makino[†], Eiichiro Kokubo,
Toshikazu Ebisuzaki, and Daiichiro Sugimoto

Department of Earth Science and Astronomy,

[†]Department of Information Science and Graphics,

College of Arts and Sciences, University of Tokyo,

Komaba 3-8-1, Meguro-ku, Tokyo 153, Japan

We are developing GRAPE-4, a massively-parallel special-purpose computer for astrophysical N -body simulations. We have developed an application-specific LSI, the HARP (Hermite Accelerator Pipe) chip. The HARP chip calculates the gravitational interaction between particles. We invented the "Virtual Multiple Pipeline" architecture for HARP chip, which decrease the input data transfer rate. The HARP chip performs about 20 floating point operations per clock cycle and works at 30 MHz in the worst case. Therefore, the performance of the HARP chip exceeds 600 Mflops. GRAPE-4 will consist of about 2000 HARP chips using multi-chip modules. The sustained performance will exceed 1 Tflops when the number of particles exceeds 2×10^5 .

1 はじめに

古典粒子系の動力学シミュレーションは天文学、物理学、生物物理学、流体力学など様々な理学・工学の分野で用いられている。こうしたシミュレーションでは、ほとんど全ての計算パワーが粒子間の長距離相互作用を計算するために費やされている。粒子数を N としたとき、 N^2 個の全ての粒子対に関して長距離相互作用を計算しなければならないためである。現実的な系のシミュレーションを行なうためには 1Tflops 以上の性能をもつ計算機が必要になる。

要求される高い性能を安価に実現するために、我々は専用計算機システム GRAPE (GRAVity Pipe, [1-8]) の開発を進めてきた。GRAPE はホスト計算機(ワークステーション)と接続してもちいる。GRAPE は粒子間の相互作用(粒子の加速度)のみを高速に計算し、その結果からホスト計算機が粒子の位置や速度の計算を行なう。GRAPE は深い専用パイプラインによって 1 クロック周期に (1 パイプラインあたり) 20~30 回の演算をおこなう。従って 10MHz 程度の遅いクロック周波数でもスーパーコンピュータに匹敵する性能を得ることができる。また計算量のほとんどの部分は相互作用の計算によって占められるので、ホストの計算速度は GRAPE の計算速度に比べてずっと遅くてよい。従って Tflops の性能を持つ GRAPE-4 の場合でも、ホストとしては実効数十 Mflops 程度のワークステーションで十分である。また GRAPE とホスト計算機間のデータ転送量は粒子数 N のオーダーで専用パイプラインでの計算量に比べて小さいので、超並列機といっても接続の問題はさほど深刻ではない。

現在我々は約 1Tflops の性能を持つ超並列重力多体問題専用計算機 GRAPE-4 の開発を進めている。600Mflops の性能を持つ重力相互作用を計算するための専用 LSI 「HARP chip」[9] を約 2,000 個並列にならべる。GRAPE-4 は 1995 年 3 月に完成の予定である。現在、HARP chip

および予測子を計算する「Prometheus chip」[10] の設計を終了し、サンプルチップを評価する段階にきている。本論文では、HARP chip の内部および GRAPE-4 の全体アーキテクチャについて述べる。

2 HARP chip

GRAPE のような深いパイプラインを持つ専用計算機は、VLSI 化することによって非常に大きな性能向上をはかることができる。主な理由として、専用計算機では演算器の精度や機能をアプリケーションに応じて変更できること、LSI と外部の間の入出力の速度を抑えることができることの二点があげられる。現在の LSI 製造技術を用いれば、数十個もの浮動小数点演算器をひとつの LSI におさめることができる。しかし、汎用のプロセッサでたくさんの演算器を効率よく利用するためには、ある程度はキャッシュメモリで補えるがどうしてもメモリとのデータ転送の性能を上げる必要がある。一方専用計算機では、データフローに沿ったトポロジーに演算器をつないでおけばそれほど入出力の速度は必要でないことが多い。また、メモリアクセスのパターンが決まっているのでキャッシュメモリも必要ない。従って LSI のほとんど全部を演算器で埋めつくし、それら全てを効率よく動作させることができる。さらに GRAPE の場合には、後述の「仮想マルチパイプライン」アーキテクチャによって、必要になる入力速度を減らすことができる。こうした工夫によって、同じテクノロジーを使ったときでも汎用プロセッサの十倍以上もの数の演算器をひとつの LSI におさめることができる。

我々は既に 27MHz 動作時に 810Mflops 相当の性能を持つ専用 LSI 「GRAPE chip」を開発し、それを 48 個を搭載したシステム「GRAPE-3」によって 14.4Gflops 相当の性能を達成した [7, 8]。GRAPE chip は計算精度が低くてよい銀河のシミュレーションを目的に開発された。

精度を削ることによって11万トランジスタで高い性能を得ることができた。

今回開発したHARP chipは、GRAPE chipに比べて格段に高い精度で演算をおこなう。例えば力の計算精度はIEEE-754規格の単精度実数(32 bits)相当であり、誤差はGRAPE chipに比べて 10^{-5} 倍になっている。こうした高精度の計算によって球状星団や原始太陽系などの衝突系のシミュレーションが可能になる。HARP chipは汎用LSIによって製作したHARP-1 [11-13]の計算パイプライン部をほぼそのまま1チップ化したものであり、粒子の加速度、ポテンシャルエネルギーに加えて加速度の時間導関数も計算する。これはエルミート補間に基づく積分公式を使う際に必要になる [14]。HARP chipで計算する加速度 \mathbf{a}_i 、加速度の時間導関数 $\dot{\mathbf{a}}_i$ 、単位質量あたりのポテンシャルエネルギー V_i は次式で与えられる。

$$\begin{aligned} \mathbf{a}_i &= \sum_j Gm_j \frac{\mathbf{r}_{ij}}{(r_{ij}^2 + \epsilon^2)^{3/2}}, \\ \dot{\mathbf{a}}_i &= \sum_j Gm_j \left[\frac{\mathbf{v}_{ij}}{(r_{ij}^2 + \epsilon^2)^{3/2}} - \frac{3(\mathbf{v}_{ij} \cdot \mathbf{r}_{ij})\mathbf{r}_{ij}}{(r_{ij}^2 + \epsilon^2)^{5/2}} \right], \\ V_i &= \sum_j Gm_j \frac{1}{(r_{ij}^2 + \epsilon^2)^{1/2}}. \end{aligned} \quad (1)$$

ここで $\mathbf{r}_{ij} = \mathbf{x}_j - \mathbf{x}_i$, $\mathbf{v}_{ij} = \mathbf{v}_j - \mathbf{v}_i$ であり、 ϵ はソフトニングパラメータ、 \mathbf{x}_i および \mathbf{v}_i はそれぞれ粒子の位置及び速度ベクトルである。

また、HARP chipは次式で与えられる「近接粒子フラグ」 NF も計算する。

$$NF = ((r_{ij}^2 + \epsilon^2) < h^2). \quad (2)$$

ここで h は「近接半径」と呼ばれる定数である。このフラグは、近接半径以内にある粒子のリスト「近接粒子リスト」を作成するために用いる。

HARP chipが計算できるのは(1)式のみである。しかし、この式は天体物理にとどまらず

分子動力学シミュレーション [6] や非圧縮性流体の渦糸近似によるシミュレーション [15] にも適用することができる。これらの問題では現在計算機の能力がボトルネックになっており、超高速専用計算機がブレイクスルーをもたらすことが期待される。

2.1 アーキテクチャ

図1にHARP chipのブロック図を示す。HARP chipは外部から粒子 j の位置 \mathbf{x}_j 、速度 \mathbf{v}_j 、質量 m_j を受けとり、ふたつの粒子 $i = 0, 1$ の加速度 \mathbf{a}_i 、その時間導関数 $\dot{\mathbf{a}}_i$ 、ポテンシャルエネルギー V_i を計算する。計算を行なう対象となる粒子の位置 $\mathbf{x}_0, \mathbf{x}_1$ と速度 $\mathbf{v}_0, \mathbf{v}_1$ はHARP chipの内部のメモリに記憶されている。HARP chipはふたつの粒子 i に対する粒子 j からの寄与を6クロック周期ごとに足し上げていく。HARP chipの内部では、各ベクトルの x, y, z 成分は同じ演算器で順次処理される。 x, y, z 独立のパイプラインをもつような構成も可能であるが、そうすると20万ゲート近い規模になってしまうので今回は見送った。

演算器はおおむね(1)式の計算手順に沿って配置されている。関数評価器(Function Evaluator)は、 $f_1(x) = (2x)^{-1/2}$, $f_2(x) = (2x)^{-3/2}$, $f_3(x) = 3(2x)^{-5/2}$ の3種類の関数を、2次の区分多項式を用いて評価する。 \mathbf{a}, V の評価に関係するユニット(B, C, D, E, F, H)はIEEE-754規格の単精度浮動小数点、 $\dot{\mathbf{a}}$ のみに関係するユニット(I, J, K, L, M)は単精度から仮数部を3bit削った29bit浮動小数点で計算をおこなう。積分公式において $\dot{\mathbf{a}}$ を含む項が \mathbf{a} を含む項より1/8以上に小さくなるように Δt を選ぶので、これで十分な精度がえられる。また特に桁落ち、情報落ちをおさえることが重要なユニット(A, G)では倍精度浮動小数点形式(64bit)を用いた。同じ理由でユニット(N)では単精度から6bit仮数部を長くした38bit浮動小数点形式を用いた。

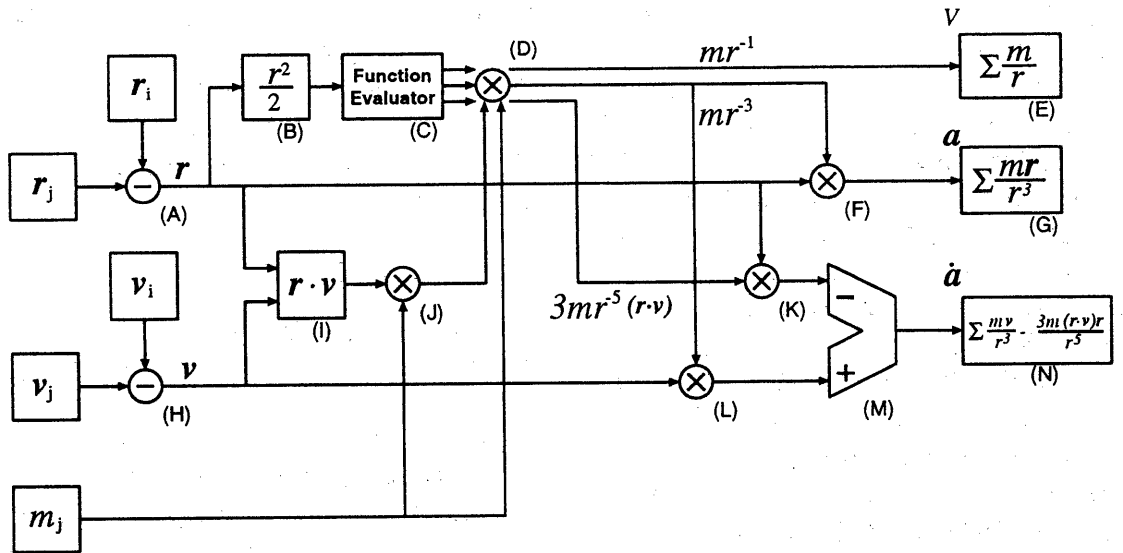


図 1: HARP chip のブロック図。

2.2 仮想マルチパイプライン (Virtual Multiple Pipeline)

HARP chip はふたつの粒子の加速度を交互に計算する。例えば、減算器 (A) は相対位置ベクトル $\mathbf{r}_{ij} = \mathbf{x}_j - \mathbf{x}_i$ を計算する。位置ベクトル $\mathbf{x}_i (i = 0, 1)$ はチップ内部のメモリーに蓄えられている。 \mathbf{x}_j はチップ外部の予測子ユニットから x, y, z の順に 3 システムクロックで供給される。HARP chip のクロックには、システムクロックの 2 倍の周波数にする。すると減算器 (A) は、相対位置ベクトルを $x_{0j}, x_{1j}, y_{0j}, y_{1j}, z_{0j}, z_{1j}$ の順番に 6 クロックで出力する。

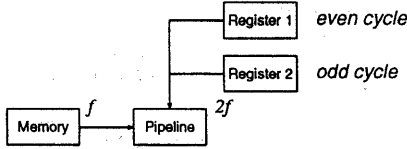
このアーキテクチャを、「仮想マルチパイプライン (Virtual Multiple Pipeline, VMP)」と名付けた。ひとつのパイプラインが、同じ命令で動作し異なる入力データを持つふたつのパイプラインであるかのごとく振舞うからである。この構成により、同じ入力データを二回の演算で用いるので、HARP chip と外部とのデータ転送速度を半分にすることができる。いいかえると、内部のクロック周波数を外部のクロック

の二倍にすることができる。

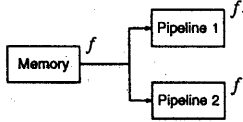
図 2 は「仮想マルチパイプライン (VMP)」、
「マルチパイプライン」、「スーパーパイプライン」の三種を比較したものである。マルチパイプラインでは、2 本以上のパイプラインが同じ入力を分けあって同時に動く。VMP は、機能的にはマルチパイプラインと全く同じものである。しかし、VMP の実体は倍の速度をもつ一本のパイプラインであり、ふたつのレジスタを交互に使う。こうして偶数番目の周期では「パイプライン 1」として働き、奇数番目では「パイプライン 2」として働く。このふたつの周期で同じ入力を使うので、入力の速度は半分でよくなる。

スーパーパイプラインでも入出力の速度を減らすことができるが、VMP と以下の 2 点が異なる。第一に、スーパーパイプラインではキャッシュメモリーにより入出力の速度を減らしているが、VMP ではシミュレーションモデルの並列性を生かしてデータ転送率を落としている。第二に、スーパーパイプラインは一本の速いパイプラインであるが、VMP は命令の同じ二本

(A) Virtual Multiple Pipeline



(B) Multiple Pipeline



(C) Superpipeline

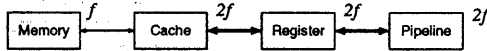


図 2: 仮想マルチパイプライン (VMP)、マルチパイプライン、スーパーパイプラインの比較。

のパイプラインと等価である。

仮想マルチパイプラインによってシステムの設計が非常に楽になる。システムクロックの周波数を据え置いたまま LSI の動作周波数を高くしていくことができるからである。並列性があまり高くなり過ぎない範囲で、VMP の本数をどんどん増やしていけばよい。

2.3 性能・テクノロジー

HARP chip は 15 個の浮動小数点演算器をもつ。このうち内積演算ユニット (I) の加算器は 3 サイクルに 2 回演算をおこなう。また乗算器 (J) と加算器 (E) は 3 サイクルに 1 回演算をおこなう。その他のユニットは毎周期演算をおこなう。従って、全部で一周期あたり 13.3 演算をおこなうことになる。さらに、関数評価器は毎周期 $f_1(x) = (2x)^{-1/2}$, $f_2(x) = (2x)^{-3/2}$, $f_3(x) = 3(2x)^{-5/2}$ のいずれかの演算をおこなう。この演算は少なくとも 6-7 演算に相当する。これを合わせると、HARP chip は 1 周期あたり約 20 浮動小数点演算をおこなうことになる。チップの動作周波数は最悪時でも 30MHz であるから、

HARP chip の性能は 600Mflops になる。

HARP chip は 1.0 μ m CMOS セルベース ASIC (LCB007, LSI Logic) で製作される。関数評価器の係数テーブルに 43Kbits の ROM が必要であったので、セルベース IC を用いた。使用ゲート数は約 95,000 ゲート、ダイの大きさは 14.6 mm \times 14.6 mm である。電源電圧は 5V、消費電力は 5W である。設計には LSI Logic 社の設計ツール MDE (Modular Design Environment) を用いた。

シングルチップモジュールは 223 ピンのセラミック PGA パッケージに封止される。現在 HARP chip を 8 個搭載するセラミックマルチチップモジュール (MCM) を開発中である。ほとんどの入出力端子は各チップで共通にできるので、MCM にした場合も入出力ピンの数は 240 本程度であり、ほとんど増えない。さらに、MCM のセラミック基板に入出力バッファ IC を表面実装する。MCM の採用により実装密度が上がるうえに、電気的な問題を緩和することができる。

3 GRAPE-4: 超並列システム

図 3 に GRAPE-4 システムのブロック図を示す。ホストインターフェースボード (HIB)、コントローラボード (CB)、プロセッサボード (PB) のみで構成される。ホスト計算機には、高い浮動小数点演算性能と高速な拡張バス (TURBOchannel) をもつ DEC Alpha AXP シリーズのワークステーションを選んだ。但し CB、PB の設計には特に Alpha CPU や TURBOchannel に依存する部分がないので、HIB だけを再設計すれば他のワークステーションに接続することができる。HIB の機能はデータ転送だけなので設計は比較的容易である。HIB と CB の間は独自の同期チャンネル HLink (HARP Link) で接続する。HLink の転送幅は 32bit であり、クロック 15MHz のとき 60Mbytes/sec のデータ転送能力をもつ。CB は 8 枚の PB からの結

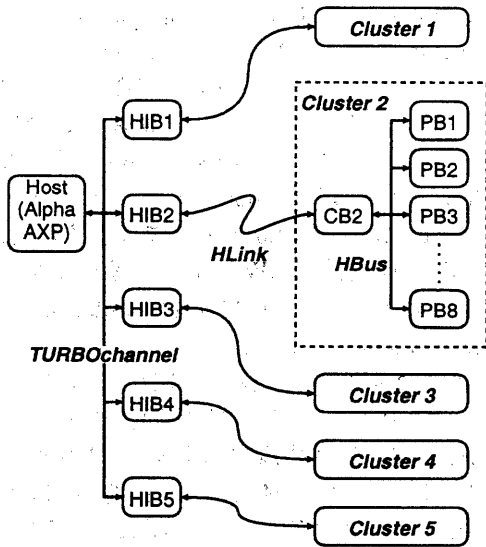


図 3: GRAPE-4 システムのブロック図。HIB: ホストインターフェースボード、CB: コントローラボード、PB: プロセッサボード。

果を加算して結果をホストに返す。これによって HIB↔CB 間に必要な転送能力を 1/8 に減らせる。CB と PB の間は独自の同期バス HBus (HARP Bus) で接続する。HBus の転送幅は 96bit であり、クロック 15MHz で動作し最大 180Mbytes/sec のデータ転送能力をもつ。電気的な仕様やバックプレーンには VME bus のものを流用する。

3.1 プロセッサボード

図 4 にプロセッサボード (PB) のブロック図を示す。プロセッサボードは $x_j, v_j, m_j, a_j, \dot{a}_j, t_j$ を記憶しておくためのメモリ、予測子ユニット、HARP MCM からなる。 x_j, v_j, a_j, \dot{a}_j は時刻 t_j での粒子 j の位置、速度、加速度、加々速度である。予測子ユニットはこれらから時刻 t_i での粒子 j の位置及び速度を次の式にしたがって予測する。

$$x_j(t_i) = x_j + v_j \Delta t + \frac{a_j}{2} \Delta t^2 + \frac{\dot{a}_j}{6} \Delta t^3,$$

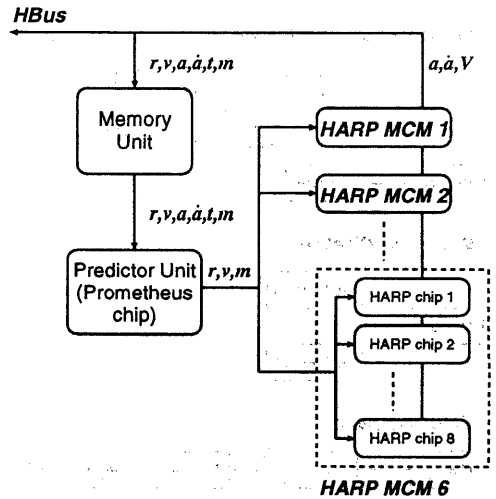


図 4: プロセッサボードのブロック図。

$$v_j(t_i) = v_j + a_j \Delta t + \frac{\dot{a}_j}{2} \Delta t^2. \quad (3)$$

ここで $\Delta t = t_i - t_j$ である。予測子ユニット「Prometheus chip」は $1.0\mu\text{m}$ ゲートアレイ (LSI Logic, LCA100K) を用いて製作した。使用ゲート数は 58,000 ゲート、消費電力は 4W である。Prometheus chip は 11 個の浮動小数点演算器をもち、1 周期あたり 10.3 演算をおこなう。最悪時の動作周波数は 17 MHz であるので、ピーク性能は 176 Mflops となる。

Prometheus chip によって計算された位置及び速度は HARP MCM に渡され、加速度および加々速度を計算する。1PB あたり 6 個の HARP MCM を搭載する予定である。1MCM に 8 個の HARP chip があるから、Promethues chip も含めて 1PB 当たりの計算能力は 30 Gflops 相当になる。

3.2 コントローラボード

複数の PB があるときにどう問題を分割すればよいだろうか。いま例えば PB の枚数を 2 枚とするときには、 N 個の粒子の位置や速度を粒子 $1 \sim N/2, N/2 + 1 \sim N$ のふたつに分割し

て2枚のPBに分散し、粒子 i への力をふたつに分割して求める。こうしてPB毎に求めた力を足し合わせてやるが、GRAPE-4ではPBが40枚に及ぶためこれらのPB全てを単一のホストに直結するのは現実的でない。データの転送量が非常に多くなってしまうためである。そこで一旦CBで加速度などの結果を足し合わせてやるとデータを回収する量を減らせる。今1CBあたり8枚のPBがつく場合にはデータを回収する量は1/8になる。

さらに、CBは複数のPBにデータをブロードキャストすることができる。CBのこうした機能により、ひとつのクラスタがあたかも8倍速く、8倍のメモリをもった単一のPBであるかのようにふるまう。

3.3 性能

力の計算、HIB \leftrightarrow CB間の転送、CB \leftrightarrow PB間の転送は同時におこなうことができる。従って、合計での1ステップ1粒子あたりの計算時間 T_{step} は次のようにあらわすことができる。

$$T_{step} = T_{host} + \max(T_{c,CB}, T_{c,PB}, T_{force}), \quad (4)$$

ここで、 T_{host} はホスト計算機での計算時間、 $T_{c,CB}$ はHIB \leftrightarrow CB間の転送時間、 $T_{c,PB}$ はCB \leftrightarrow PB間の転送時間である。

これらの各項は次式で与えられる。

$$\begin{aligned} T_{host} &= 150t_{host}, \\ T_{c,CB} &= 27n_{CB}t_{c,CB}, \\ T_{c,PB} &= 27n_{PB}t_{c,PB}, \\ T_{force} &= \frac{Nt_{pipe}}{96n_{CB}n_{PB}}. \end{aligned} \quad (5)$$

ホスト計算機は1ステップ1粒子あたりにおよそ150浮動小数点演算をおこなう。 t_{host} はホスト計算機が1浮動小数点演算をおこなう時間である。Alpha AXPの場合およそ40Mflops前後と考えられるので、 $t_{host} = 25 \text{ nsec}$ とする。 n_{CB} はCBの枚数、 n_{PB} はCBあたりのPBの

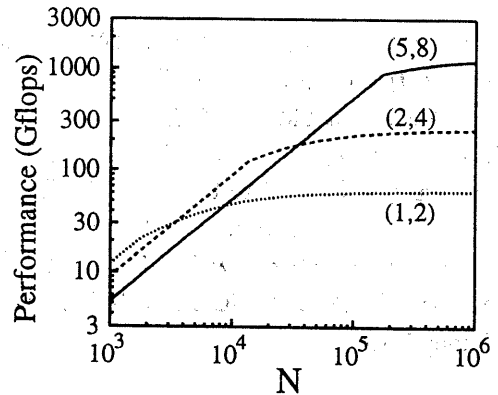


図5: 粒子数 N に対するGRAPE-4の実効性能。 (n_{CB}, n_{PB}) はCBの数(n_{CB})およびCBあたりのPBの数(n_{PB})をあらわす。

枚数、 $t_{c,CB}$ はHIB \leftrightarrow CB間での1word (4 bytes)の転送時間、 $t_{c,PB}$ はCB \leftrightarrow PB間の1wordの転送時間である。また x, y, z 共通・仮想マルチパイプラインアーキテクチャのため、1つの粒子からの力を計算する時間 $t_{pipe} = 6 \times (\text{HARP chipのクロック周波数})$ である。1PBあたりのパイプラインの本数は96本(HARP chip 48個)とした。今システムクロックを15MHzとすると、 $t_{c,CB} = 66 \text{ nsec}$ 、 $t_{c,PB} = 22 \text{ nsec}$ 、 $t_{pipe} = 200 \text{ nsec}$ となる。

これらの式から求めたシステムの実効性能を図5に示す。 $(n_{CB}, n_{PB}) = (5, 8), (2, 4), (1, 2)$ の3つの場合を考えた。最大構成が最高速になるのは、粒子数 N が 4×10^4 以上のときである。ここではどんなに N が小さいときにも粒子を分割して計算すると仮定しているため、 N が小さいところでは通信量のほうが多くなり実効性能がかえって低くなってしまふ。 2×10^5 粒子以上を扱う場合、最大構成での実効性能は1Tflopsを越える。

4 まとめ

約 1Tflops の性能をもつ超並列重力多体問題専用計算機 GRAPE-4 の開発を進めている。1 チップあたり 600Mflops の性能をもつ HARP chip をマルチチップモジュール化し、約 2000 チップを集積する。HARP chip には仮想マルチパイプラインを採用し、入力データの転送速度を半分に削減する工夫をしている。粒子数が 20 万対以上のとき GRAPE-4 の実効性能は 1Tflops を越える。

謝辞

本研究を進めるにあたって文部省科学研究費特別推進研究 (04102002) の補助を受けた。

参考文献

- [1] Ebisuzaki, T., Makino, J., Fukushige, T., Taiji, M., Sugimoto, D., Ito, T., and Okumura, S. K., 1993, *Publ. Astron. Soc. Japan*, **45**, p. 269.
- [2] Sugimoto, D., Chikada, Y., Makino, J., Ito, T., Ebisuzaki, T. and Umemura, M., 1990, *Nature*, **345**, 33.
- [3] Ito, T., Makino, J., Ebisuzaki, T., and Sugimoto, D. 1991, *Publ. Astron. Soc. Japan*, **43**, 547.
- [4] Fukushige, T., Ito, T., Makino, J., Ebisuzaki, T., and Sugimoto, D. 1991, *Publ. Astron. Soc. Japan*, **43**, 841.
- [5] Ebisuzaki, T., Ito, T., Makino, J., Okumura, S. K., and Sugimoto, D., 1992, in *Proceedings of the 25th Hawaii International Conference on System Sciences*, ed. V. Milutinovic and B. D. Shriver (IEEE Computer Society Press, Los Alamitos), p. 171.
- [6] Ito, T., Makino, J., Ebisuzaki, T., Okumura, S. K., and Sugimoto, D. 1993, *Publ. Astron. Soc. Japan*, **45**, p. 339.
- [7] Okumura, S. K., Makino, J., Ebisuzaki, T., Ito, T., Fukushige, T., 1992 in *Proceedings of the 25th Hawaii International Conference on System Sciences*, ed. V. Milutinovic and B. D. Shriver (IEEE Computer Society Press, Los Alamitos), p. 151.
- [8] Okumura, S. K., Makino, J., Ebisuzaki, T., Fukushige, T., Ito, T., Sugimoto, D., Hashimoto, E., Tomida, K., and Miyakawa, N., 1993, *Publ. Astron. Soc. Japan*, **45**, p. 329.
- [9] Taiji, M., Makino, J., Kokubo, E., Ebisuzaki, T., Sugimoto, D., 1993, submitted to the 27th Hawaii International Conference on System Sciences.
- [10] Makino, J., Taiji, M., Ebisuzaki, T., Sugimoto, D., 1993, to be submitted.
- [11] Makino, J., Kokubo, E., and Taiji, M. 1993, *Publ. Astron. Soc. Japan*, **45**, p. 349.
- [12] Kokubo, E., Taiji, M., Makino, J., 1993, submitted to the 27th Hawaii International Conference on System Sciences.
- [13] 小久保 英一郎, 牧野 淳一郎, 泰地 真弘人, 1993, 本集録.
- [14] Makino, J. and Aarseth, S. J., 1992, *Publ. Astron. Soc. Japan*, **44**, 141.
- [15] Hachisu, I., Makino, J., Ebisuzaki, T., and Sugimoto, D. 1993, submitted to *Phys. Rev. Lett.*