

ディペンダブルな組込みシステムに適した省電力高性能通信機構

埴 敏 博^{†1} 朴 泰 祐^{†1,†2} 三 浦 信 一^{†2}
岡 本 高 幸^{†2} 佐 藤 三 久^{†1,†2} 有 本 和 民^{†3}

近年、組込みシステムでは高性能化と低消費電力の要求に伴いマルチコアが導入されてきている。さらに高い性能が求められる場合には、ネットワークで結合したマルチプロセッサシステムが必要になる。一方、故障や障害からシステムを守るディペンダビリティも重要になる。そこで我々は、ディペンダブルな組込みシステムに向けた並列プラットフォームを開発している。本研究では、並列プラットフォームに用いる、省電力で高信頼かつ高性能な通信機構について提案する。PCI Express Gen2を通信リンクに用いたコミュニケータを提案し、数 W 程度の消費電力で最大 2GB/s の転送を可能とし、さらに耐故障性を実現できることを示した。

Low-Power and High-Performance Communication Mechanism for Dependable Embedded Systems

TOSHIHIRO HANAWA,^{†1} TAISUKE BOKU,^{†1,†2} SHIN'ICHI MIURA,^{†2}
TAKAYUKI OKAMOTO,^{†2} MITSUHISA SATO^{†1,†2}
and KAZUTAMI ARIMOTO^{†3}

Recently, embedded systems introduce multicore technology to improve performance and reduce power consumption. In addition, to obtain higher performance, multiprocessor will be needed. Dependability is also important for the embedded system to protect from fault and failure. We develop a parallel platform for dependable embedded system, and investigate the low-power, reliable, and high performance communication mechanism for such platform. In this study, we propose a communicator with communication links using PCI Express Gen2, and it denotes that maximum bandwidth is 2GB/s and several wattage is required for power consumption. Furthermore, this platform provides fault tolerance using redundancy.

1. はじめに

近年、テレビやビデオレコーダのようなデジタル家電やカーナビゲーションシステムなどの車載情報端末など、複雑な機能を持つ組込みシステムが多く使われるようになってきた。このような組込みシステムでは、ユーザインタフェースの高機能化や、扱う情報の大規模化により、高性能な処理が求められる。その上、限られた時間内に応答するリアルタイム性も必要とされることが多い。また、バッテリーを用いた場合における連続使用時間の改善や環境への配慮から、組込み用

プロセッサには消費電力の一層の削減が求められている。そこで、サーバやデスクトップ向けのプロセッサに導入が進んできたマルチコア化が、組込み向けにも広まってきている。例えば、ルネサステクノロジー社の SH2A-DUAL や、ARM 社の MPCore など、組込み向けのマルチコアプロセッサが登場し、高性能化と消費電力削減とを両立させている。しかしながら、マルチコアは現状では高々 2~4 コア程度であり、より性能が必要な場合には、プロセッサをネットワークで結合したマルチプロセッサシステムになっていくと考えられる。

一方、組込みシステムは、日常生活と密接な関係を持つものが多く、故障や障害によって生命が危険にさらされる場合もあり、高い信頼性が求められる。そのため、システムの一部が故障しても全体への影響を最小限にとどめ、動作を続けられたり(高可用性)、故障や障害の影響を全く受けずに通常の動作が続けられること(耐故障性)が望ましい。信頼性を高める方法として、最も確実な方法の一つは冗長性を持たせること

†1 筑波大学 計算科学研究センター
Center for Computational Sciences, University of Tsukuba

†2 筑波大学大学院 システム情報工学科
Graduate School of Systems and Information Engineering, University of Tsukuba

†3 ルネサステクノロジー
Renesas Technology

である。マルチコア、マルチプロセッサであれば、複数のプロセッサがお互いの動作を補完し合うことで冗長性が実現できる。さらにマルチプロセッサにおいてシステム全体の耐故障性を考えると、プロセッサだけでなく通信における冗長性も必要不可欠である。通信のためにも複数のリンクを用意しておき、障害に応じて構成を切り替えたり、通信経路を迂回させることで耐故障性を実現できる。

我々は、高い性能と、これまでに述べたディベンダビリティの要件を両立できるような、省電力高信頼組込み並列プラットフォームを開発している。本研究では、このプラットフォームのプロトタイプに用いる、省電力で高い信頼性を持つ高性能通信機構について提案する。

2. 省電力高信頼並列プラットフォーム

我々は、ディベンダブルな高性能組込みシステムを実現するために、マルチコア・マルチプロセッサを用いた省電力高信頼並列プラットフォームについて検討している¹⁾。

組込み用アプリケーションの大規模化に伴い、組込みプロセッサにおいても MMU (Memory Management Unit) が搭載されるなど、一般プラットフォーム向けのプロセッサと同様の機能を持つようになってきた。そのため、Linux などの汎用 OS が組込みプロセッサで容易に利用できるようになり、多数の既存ソフトウェアが組込みシステムでも使われるようになってきた。そこで、本プラットフォームでは、オープンソースの OS である Linux を用いてディベンダブルな組込みシステムを実現する。

一方、高性能化のために、マルチコアをさらにネットワークで結合し、マルチプロセッサシステムとする。マルチコアは基本的に共有メモリシステムであるため、OpenMP などによる簡便なプログラミングモデルを用いることができる。しかし、単にネットワークで結合しただけのマルチプロセッサシステムでは分散メモリ環境となるため、システム全体のメモリの構成を考慮して複雑なプログラミングをする必要が生じる。

そこで我々は、高信頼なソフトウェア分散共有メモリシステムを検討し、マルチコアにおける共有メモリプログラミング環境から、マルチプロセッサへのシームレスな拡張を可能にする²⁾。さらに、チェックポイント・リスタート機構を追加し、ノード外の記憶領域に実行情報を記録しておくことで、ノードが万一故障した場合にも実行を再開することができる。これにより、個々のアプリケーションで耐故障性を考慮する必要はなくなり、システム全体として耐故障性を保証することができる。分散共有メモリ (DSM) では、ノード内に存在しないページへのアクセスが発生すると、ページ入れ替えのためネットワークを経由して

他ノードのページを取得しなければならない。また、チェックポイントングのためにも、定期的にネットワークを経由して実行情報を転送する必要がある。そのため、本プラットフォームにおいては、低遅延で高バンド幅なネットワークが求められる。

3. 省電力高性能ネットワークの検討

ここでは、ディベンダブルな組込みシステムに適した、省電力かつ高性能なネットワーク技術について検討する。

従来から、クラスタ向けの高性能・高信頼性のネットワークとして、Infiniband や Myrinet がよく使われている。中でも、Infiniband は低遅延、高バンド幅であり、 $2\mu\text{s}$ 程度の遅延で、Infiniband DDR 4x では、20Gbps の転送性能 (実効性能 2GB/s) を持つ³⁾。また、Subnet Manager を用いて、故障が起こっても自動的に故障から回復することも可能である⁴⁾。しかし、コントローラチップの消費電力は、1 ポート当たり 3~5W 程度である。

本並列プラットフォームは、組込みシステムであるため、プロセッサ当たり数 W 程度の消費電力を念頭においている。しかし、Infiniband や Myrinet を使った場合には、1 ポート分のみで消費電力がプロセッサコアと同程度になる。さらに他の複数のノードと接続するために、相手のノード毎にポートを用意するとネットワークに必要な消費電力がシステムの大部分を占めることになってしまう。

一方、安価なネットワークである Gigabit Ethernet がクラスタ向けにも使われることが多い。我々も以前より、Gigabit Ethernet をマルチリンクにすることによって、耐故障・高性能なネットワークを実現する RI2N (Redundant Interconnection with Inexpensive Network) を提案している⁵⁾。Gigabit Ethernet のコントローラチップの消費電力は 1 ポート当たり 1~1.5W 程度で、Infiniband や Myrinet と比べれば小さいが、RI2N を導入すると、リンク数分だけ必要な消費電力が増える。組込み用途であることから、スイッチを用いずにノード同士を直接結合すると、コアの消費電力を大きく上回ることになる。そもそも Ethernet は 100m 程度の伝送距離を対象としたネットワークであり、遅延時間は 10 数 μs と比較的大きい。従って、これらの既存のネットワークは、本プロトタイプシステムには適当ではない。

そこで我々は、ノード間の通信リンクに PCI Express を用いる。PCI Express は、PCI、PCI-X バスに代わる、PC と周辺機器を接続するための高速なシリアル I/O インタフェースで、PCI-SIG により標準化が行なわれている⁶⁾。現在では PC に搭載される事実上の標準 I/O インタフェースとなっており、様々なデバイスが PCI Express に対応している。上で述べた

Infiniband, Myrinet, Gigabit Ethernet においても、汎用 PC ではホストとネットワークコントローラとの接続に PCI Express が用いられることがほとんどである。PCI Express を拡張し、多数のプロセッサおよび I/O 間を相互接続する ASI (Advanced Switching Interconnect) という規格も存在する⁷⁾。当初、組み込み向けに開発されてきたが、必要以上にハードウェアが複雑になるため、ここでは選択しない。

PCI Express では必要なデータ転送容量に合わせて複数のレーンを束ねて使用することができ、束ねる本数に応じて “x1”, “x2”, “x4” などと表記する。現在の PCI Express Base Spec. Rev. 2.0 (以降 Gen2 と呼ぶ) では、リンク速度が Gen 1 までの 2.5Gbps から 5Gbps に引き上げられている。そのため Gen2 では、リンクの配線長は 30cm 弱しか延ばすことができない。しかし、4 章で述べる通り、本プロトタイプでは、1 ノード分のデバイスを全て 1 チップに実装し、さらに 1 枚のプリント基板に複数ノードを近距離に配置して実装することを考えており、問題はない。消費電力についても、PCI Express x4 で数 100mW 程度の消費電力であり、複数の宛先にリンクを用意してもそれほど大きな消費電力にはならない。また、1 レーンは送受信各 1 対の差動信号線のみで実現でき、各レーン間のスキューもある程度許容されているため、基板上への実装が比較的容易である。

本来、PCI Express では、ホスト側に当たる「ルート・コンプレックス」と、周辺デバイスに当たる「エンドポイント」との間での送受信を想定している。しかし、この場合はホスト同士を接続するため、リンクの両端がルート・コンプレックス同士では、単に接続しても通信が確立できない。そこで、どちらか片方のノードの PCI Express コントローラがエンドポイントに切り替わるようにする必要がある。実際には、PCI Express におけるルート・コンプレックスとエンドポイントでは構造上大きな差はないため、ハードウェア実装上のオーバーヘッドはほとんどない。そこで、PCI Express コントローラの起動時にコンフィギュレーションレジスタの設定により切り替えられるようにする。どのポートをルート・コンプレックスにするかエンドポイントにするかの判断は、ノードにつけられた固有の ID とポート番号によって個々に判断すればよい。

PCI Express パケットの最大ペイロードサイズは 4096byte であり、ソフトウェア DSM による 4Kbyte ページ単位の転送と一致し、効率が良い。また、PCI Express は PCI バスを元に拡張されているため、メモリの読み書きが基本操作となっている。メモリリード要求、メモリライト要求があり、ソフトウェア DSM において、Remote DMA(RDMA) のプログラミングモデルを容易に実現できる。さらに、メッセージ要求も備えているため、メッセージパッシング型の通信にも容易に対応できる。

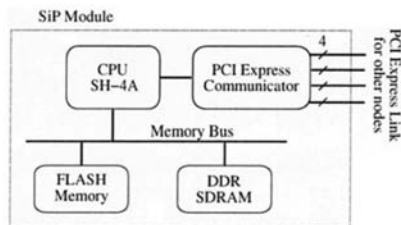


図 1 プロトタイプ 1 ノードの構成

4. 並列プラットフォームプロトタイプ

現在我々が開発している、並列プラットフォームのプロトタイプについて述べる。

プロトタイプの構成を図 1 に示す。各ノードは、以下の構成要素を持つ。

プロセッサ: ルネサステクノロジ社 SH-4A コア、クロック周波数 500MHz 程度

ネットワーク: PCI Express Gen2 x4 を 4 組持ち、通信用プロセッサを内蔵したコミュニケータ

メモリ: DDR-SDRAM 128MB 程度 + 起動用フラッシュ ROM

本研究では、ネットワーク部分を担うコミュニケータチップを新規に開発し、それ以外のメインプロセッサとメモリには既存の製品を利用する。

今回のプロトタイプシステムには、組み込み向けとして比較的高性能で、浮動小数点演算ユニットも備えた SH-4A コアが搭載されたものを予定している。同じ SH-4A コアを搭載したルネサステクノロジ社 SH7780 チップの消費電力は、最大でも 3.7W、通常動作で 2.8W 程度である⁸⁾。メモリには、プロセッサコアに内蔵された DRAM インタフェースに合った既存のものを用いる。1Gbit の DDR-SDRAM 1 チップを想定すると、128Mbyte の主記憶が実現できる。フラッシュROM は起動用であり、ブートストラップ及び起動用イメージが格納される。また、5 章で述べるように、コミュニケータ内部のコントローラのためのソフトウェアも一緒に格納される。起動が完了すれば、ほとんどアクセスすることはなくなるため、スリープ状態にしておくことができる。

これらの 4 つの機能をそれぞれ独立にベアチップとして実装した後、SiP (System in Package) モジュールとして 1 チップに納める。チップ全体のサイズとしては 30mm 角程度、消費電力は 1 チップ (=1 ノード) 当たり 10W 程度を想定している。SiP モジュールのチップ外部に対しては、制御用信号と電源関係を除くと、他のノードまたはデバイスと接続するための PCI Express のリンクのみが接続されることになり、ボードへの実装が容易になる。

5. PCI Express コミュニケータチップ

本研究において開発する PCI Express リンクを用いたコミュニケータチップの詳細について述べる。

5.1 概要

図 2 にコミュニケータチップの構成を示す。

コミュニケータチップには、PCI Express Gen2 の物理層コントローラ (PHY) が接続先毎に 1 つずつ、計 4 個配置され、それぞれが 4 レーン分の信号伝送を行なう。PCI Express Gen2 では、レーン当たり 5Gbps のデータ転送が可能であるため、各接続先毎に最大 20Gbps の転送レートを持つ。実際には、エンベデッド・クロックやエラー検出などのために 8b/10b 符号化が行われており、80% が有効なデータ転送になる。従って、最大バンド幅は 2GB/s となる。さらに、接続先毎にデータリンク層コントローラ (MAC) と、パケットバッファが用意される。MAC は PHY とパケットバッファに接続される。パケットバッファは、トランザクション層とデータリンク層の間のインタフェースの役割であり、チップ内のバスと MAC とに接続され、デュアルポートメモリにより実現される。

チップ内には、トランザクション層の制御用として、ルネサステクノロジ社 M32R プロセッサコア (2 あるいは 4 コア) を 1 個内蔵する。ノードのメイン CPU (SH-4A) からの要求を受け取り、PCI Express のパケットヘッダを生成して送信したり、MAC から送られてきたパケットヘッダを解析して、他の宛先に中継したり、メイン CPU に渡したりする役割を持つ。このプロセッサコアには DMA コントローラ (DMAC) が内蔵されており、CPU によってパケットヘッダを解析した後で、ペイロード部分は DMA を用いて高速に転送を行なうことができる。

M32R コアの制御用 OS としては Linux/M32R を用いる。コミュニケータ内部には不揮発性メモリを持たないため、起動時には、あらかじめメイン CPU から、JTAG 経由か、またはコミュニケータのホストインタフェースを介して直接、DDR SDRAM 上にブートストラップと起動イメージを書き込んでおく。

ホストとコミュニケータの間のインタフェースは、現在は検討段階であるが、PCI Express を用いることを考えている。また、PCI Express リンクは、ノード間での通信用だけでなく、ストレージなどの外部デバイスにも接続できるようにすることも検討している。

5.2 送受信

以下、実際にノードのメイン CPU (SH-4A) 間で送受信を行なう際の手順について説明する。図 3 は以下の手順を表したものである。

● 送信

- (1) 送信側のメイン CPU は、要求を送信するための API を呼び出す。

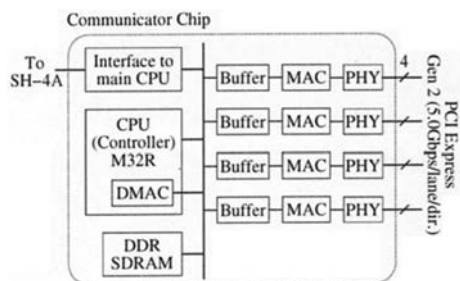


図 2 コミュニケータチップの構成

- (2) 送信側のコミュニケータで M32R が呼び出され、要求を解釈する。要求に従って、12byte または 16byte からなるトランザクション層プロトコル (TLP) ヘッダを生成してパケットを構成し、送出先リンクに対応したバッファに格納する。
- (3) 送信側の MAC はバッファの中に格納されたパケットを順に読み出し、TLP パケットのシーケンス番号 2byte を先頭につけ、4byte からなるリンク CRC (LCRC) を末尾につけて PHY に渡す。
- (4) 送信側の PHY は、1byte の Start TLP キャラクタをレーン 0 に送り、続いてパケットを 1byte ずつレーン 1 から順に送信する。最後に 1byte の END キャラクタを送信する。

● 受信

- (1) 受信側の PHY は、各レーンから送られたデータを受信してパケットを再構成し、MAC に送る。
- (2) 受信側の MAC は、LCRC を用いてエラー検出をし、シーケンス番号を確認して、正常に順番通り届いていればバッファに書き込み、M32R に通知する。同時に、データリンク層プロトコル (DLLP) パケットを用いて送信側に ACK または NAK を返す。
- (3) 受信側の M32R はバッファからパケットを読み込み、パケットヘッダを解析して要求の種類を調べた後、メイン CPU に通知する。

● 中継

受信の (3) の手順でパケットヘッダを調べた結果、自ノード宛でなかった場合には、別のノードへの中継を行なう。トランザクション層ヘッダ中の宛先ノード情報を元に、中継先のリンクを決定する。新しいトランザクション層ヘッダを生成し、送出先リンクに対応したバッファに格納する。続いて、DMA 転送により、受信したポートのバッファから、送出先ポートのバッファにペイロード

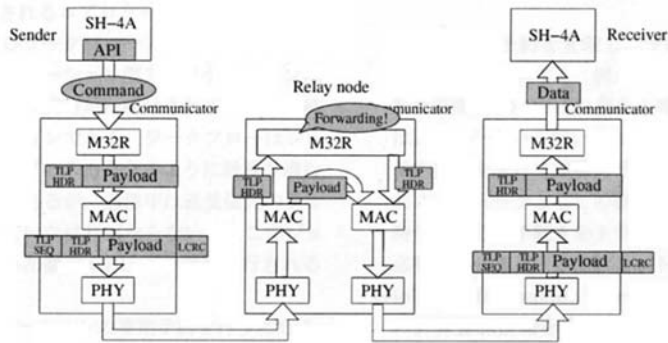


図3 送受信処理の流れ

をコピーする。

5.3 省電力についての検討

以下、コミュニケータにおける消費電力と、省電力化の手法について考察する。

5.3.1 消費電力の見積もり

まず、コミュニケータチップ全体での最大消費電力を見積もってみる。現時点でチップの製造プロセスには65nmプロセスを想定している。PCI Expressの物理層ブロックは1個あたり、およそ250~300mWを想定している。DDR SDRAMは、容量・速度にも依るが、およそ500mW~1Wである⁹⁾。これを65nmプロセスに混載すれば多少低減されたと考えられる。M32Rプロセッサコアは、0.15 μ mプロセス、2コア搭載600MHz動作で最大800mWである¹⁰⁾。今回用いるコアの仕様は検討段階であるが、65nmプロセスを使用することから、2コアであれば消費電力は800mWより低くなるものと考えられる。

残るのは、パケットバッファとMAC、メインCPUとのインタフェースである。パケットバッファは、それぞれ数パケット分のメモリがあれば良く、SRAM構成なので、それほど消費電力を必要としない。従って、1チャンネル当たり50mWを見込んでおく。一方、MACに関しては、実装しないと分からないが、PHYと同程度と考え、250mWを仮定する。メインCPUとのインタフェースに関しては現在検討中であるが、PCI Expressを介して接続すると仮定して、もう1組PCI Expressのリンクを追加したと考える。以上をまとめると、表1のようになる。

これにより、SiPモジュールを構成した場合に、メインCPU(SH-4A)は4章で述べた通り約4W、メモリ(DDR SDRAM + FLASH)約1W、コミュニケータ約4.8Wとなり、SiPモジュール1個当たり10W程度の消費電力を達成できることがわかる。

5.3.2 コミュニケータの省電力化

次に、コミュニケータの動作中における省電力化について検討する。

コミュニケータチップに接続されるPCI Expressリ

表1 コミュニケータチップにおける最大消費電力の試算

機能	個数	消費電力
PHY	4	300×4=1200mW
バッファ+コントローラ	4	(50 + 250) × 4 = 1200mW
CPU(M32R)	1	<800mW
DDR-SDRAM	1	<1W
ホストインタフェース (PCI Express 1リンク分)	1	(300 + 50 + 250) = 600mW
計		<4.8W

nkは、それぞれのポート当たりGen 2 4レーンを持っており、転送容量は2GB/sに達する。しかし、この性能を常に必要とするわけではない。そこで、レーン数を制限したり、転送レートを落とすことを考える。レーン数は、規格上“x1”、“x2”、“x4”が許されている。また、Gen 2では1レーン当たり5Gbpsの転送が可能だが、Gen 1の2.5Gbpsの転送レートに落とすこともできる。従って、必要な転送容量に応じて、レーン数と転送レートを最適に制御することにより消費電力の削減が可能になる。例えば、1GB/sの転送で十分なことが分かれば、5Gbpsのレーンを2本使うか、2.5Gbpsのレーンを4本使うか、消費電力が少ない方を選べば良い。但し、これらの変更にはコンフィグレーションのやり直しを伴うため、30 μ s程度のオーバーヘッドがかかる。

PCI Expressの規格では、一定時間送受信がない状態が続くと、通常動作の“L0”状態から、自動的に省電力モードの“L0s”状態に移行させることができる。L0s状態では、出力信号を停止することにより、L0状態の30~40%の電力まで低減できる。L0s状態で要求を受け取ると、短時間(数10ns~数 μ s)でL0に戻る。この機構は物理層のハードウェアで実現され、PCI Expressのコンフィグレーションレジスタにより有効にできる。さらに、データリンク層からの指示により、L0s状態よりも電力を削減できる“L1”状態に移ることができる。L1状態ではL0状態の10%程度の消費電力となる。但し、L0状態への復帰にはリン

クの復旧が必要なため数 $10\mu\text{s}$ が必要である。

コミュニケータに内蔵される M32R プロセッサには、マルチコアを用いる。M32R では、CPU0 以外のプロセッサコアは、制御レジスタに値を書き込むことでスリープさせ、プロセッサ間割り込みにより再び起動させることができる。そこで Linux の CPU Hotplug を用いて、動的に不要なプロセッサを切り離したり追加することを可能にし、消費電力の低減を図る。また、M32R ではコア毎にクロック周波数を変えられる。Linux の CPUFreq により、動的にクロック周波数を落とし、消費電力を削減する。但し、DVFS (Dynamic Voltage and Frequency scaling) ではないため、電圧を下げることによる大幅な電力低減は期待できず、周波数に比例した削減効果のみである。

5.4 高信頼性についての検討

PCI Express 規格により、データリンク層でエラー検出、フロー制御、再送制御がサポートされている。これらの制御は MAC のハードウェアにより自動的に行なわれる。

リンクにエラーが発生した場合には、複数あるレーンのうち、問題のあるレーンを取り除き、レーンの本数を減らして動作を継続することができる。しかし、PCI Express 規格では、複数レーンがある場合でも、ある特定のレーンが故障した場合には全く使用不可能になってしまう。そのため、独自に拡張モードを設け、特定のレーンに故障が起って規格上で回復不能になった場合には、レーン番号を切り替えた上で再度検出を行なうことができるようにする。但し、通信相手を検出するフェーズから通信を再開する必要があり、1ms 程度の時間を必要とする。

リンクが完全に切れたり、途中経路のノード (コミュニケータ) がダウンしている場合には、メッシュなどの複数経路が存在するトポロジで接続していれば、パケットの経路を迂回させることによって耐故障性を実現できる。

5.5 性能についての検討

コミュニケータの PCI Express リンクは最大 2GB/s の転送能力を持っているが、メイン CPU が 500MHz 程度の動作であるため、常時それほど高い転送が必要な訳ではなく、耐故障性を高めるために使用される。

コミュニケータは全ての機能を 1 チップで実現するため、内部バスの動作周波数も高くすることができ、M32R のクロック周波数と同程度にできると考えられる。また、パケットヘッダを解析して宛先のノードがわかれば、即座に DMA 転送によりペイロードのコピーが行なえるため、その間に M32R コアは別の処理を行なうことができる。また、マルチコアであるため、マルチスレッドにより複数リンクにおけるパケットのハンドリング処理を高速に行なうことができる。

現在、M32R におけるルーティング性能を測定するため、PCI Express のパケットハンドラを実装中であ

る。M32R 搭載の評価ボードを用いて測定を行なう予定である。

6. おわりに

本研究では、ディベンダブルな組込みシステムに適した省電力高性能ネットワークとして、PCI Express リンクを用いたネットワークを提案した。そのコミュニケータは PCI Express x4 レーンを 4 リンク持ち、制御用プロセッサも内蔵して、高性能に関わらず、消費電力は約 5W と低消費電力である。また、高信頼性、省電力を実現することもできる。

今後は、コミュニケータチップの構成を想定したテストボードを作成し、評価を行なう予定である。

謝辞 本研究の一部は、科学技術振興機構 戦略的創造研究推進事業 (CREST) 研究領域「実用化を目指した組込みシステム用ディベンダブル・オペレーティングシステム」、研究課題「省電力高信頼組込み並列プラットフォーム」による。

参考文献

- 1) Sato, M.: Towards a high performane parallel platform for dependable embedded systems, *International Forum on Application-Specific Multi-Processor SoC*, Vol.II, pp.12-4-1-7 (2007).
- 2) 李 珍泌, 木村英明, 佐藤三久: メモリ効率を考慮した組み込み向け高信頼ソフトウェア分散共有メモリの検討, 情報処理学会研究報告 2007-HPC-112, Vol.2007, No.88, pp.13-18 (2007).
- 3) Infiniband Trade Association: *The Infiniband Architecture Specification*
<http://www.infinibandta.org/specs/>.
- 4) OpenFabrics Alliance: *OpenFabrics Enterprise Distribution (OFED)*
<http://www.openfabrics.org/>.
- 5) 岡本高幸, 三浦信一, 埜 敏博, 朴 泰祐, 佐藤三久: ユーザ透過に利用可能な耐故障・高性能マルチリンク Ethernet 結合システム, 情報処理学会研究報告 2007-HPC-112, Vol.2007, No.88, pp.49-54 (2007).
- 6) PCI-SIG: *PCI Express Base Specification, Rev. 2.0* (2006).
- 7) PICMG: *Advanced Switching Core Architecture Specification* (2003).
- 8) ルネサステクノロジ: SuperH RISC engine ファミリ SH7780 ハードウェアマニュアル (2006).
- 9) エルピーダメモリ: DDR SDRAM 製品情報・データシート.
- 10) Kaneko, S. et al.: A 600MHz Single-Chip Multiprocessor with 4.8GB/s Internal Shared Pipelined Bus and 512kB Internal Memory, *International Solid-State Circuits Conference (ISSCC) 2003*, Vol.1, pp.254-255 (2003).