

実装CAD

陣野寿光・桃井茂晴・原田昭男

(日本電信電話公社 武蔵野電気通信研究所)

1. まえがき

最近の電子装置の実装構造においては、論理素子・記憶素子へのLSIの適用により、従来になく実装技術・実装構造が採用されている。

また、LSIの高集積化、論理速度の高速化が一段と進められるにともない、これらの論理素子・記憶素子の機能を十分に生かす実装技術の研究が進められている。さらに、論理素子などの進歩にともなうシステム・アーキテクチャの変革も予想され、実装技術の革新に対する強い希望がある。

論理素子の機能を生かし、システム・アーキテクチャの変革に柔軟に対処するためには、実装に関する個々の技術の進歩が必須なことは当然であるが、これらの実装技術を、体系化されたフィロソフィのもとで、最適に組合せて装置を構成する装置構造の最適構成技術の確立が必須となってきた。また、新しい装置の開発においては、その開発初期の段階から、実装構造についても並行して検討する必要があると見られ、開発初期の段階における実装技術・実装構造の方向付けが重要となってきた。

実装CADは、装置構造の最適化および新しい装置の開発における実装構造の方向付けを目的として、電子計算機との対話によって、実装構造のシミュレーション、実装階層の最適分割、各種計算・グラフの作成を効率よく行うシステムである。装置の論理設計・実装設計・製造に対する実装CADの位置付けは、図1に示すように、論理設計と実装設計との間に位置し、実装構造・階層分割・実装用品構造を決定するためのサポートシステムである。

本実装CADにおいては、まず、実装構造を表現するパラメータを明確にし、次に、パラメータ相互関係を数式化して、構造シミュレーション・最適化が可能となるように評価関数・制限条件式を求め、さらに、最適化手順などCADシステム構成を検討する、という手順で検討を進めている。本報告では、配線板の実装設計を例として、実装構造の数式化・実装構造のシミュレーション・寸法最適化の概要を述べる。

2. 実装パラメータ

電子装置の実装構造については大きくわけて、2つの検討項目がある。一つは実装階層構成を表わすパラメータであり、これを階層パラメータと仮称する。他の一つは実装構造の諸元を表わすパラメータであり、これを実装パラメータと仮称する。

2.1 階層パラメータ

階層パラメータは、装置ゲート数・

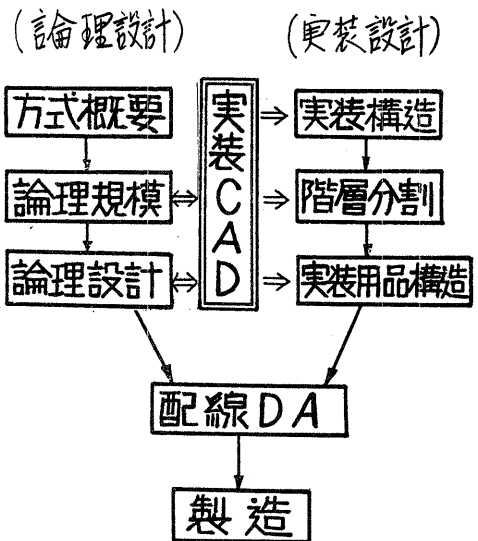


図1 実装CADの位置付け

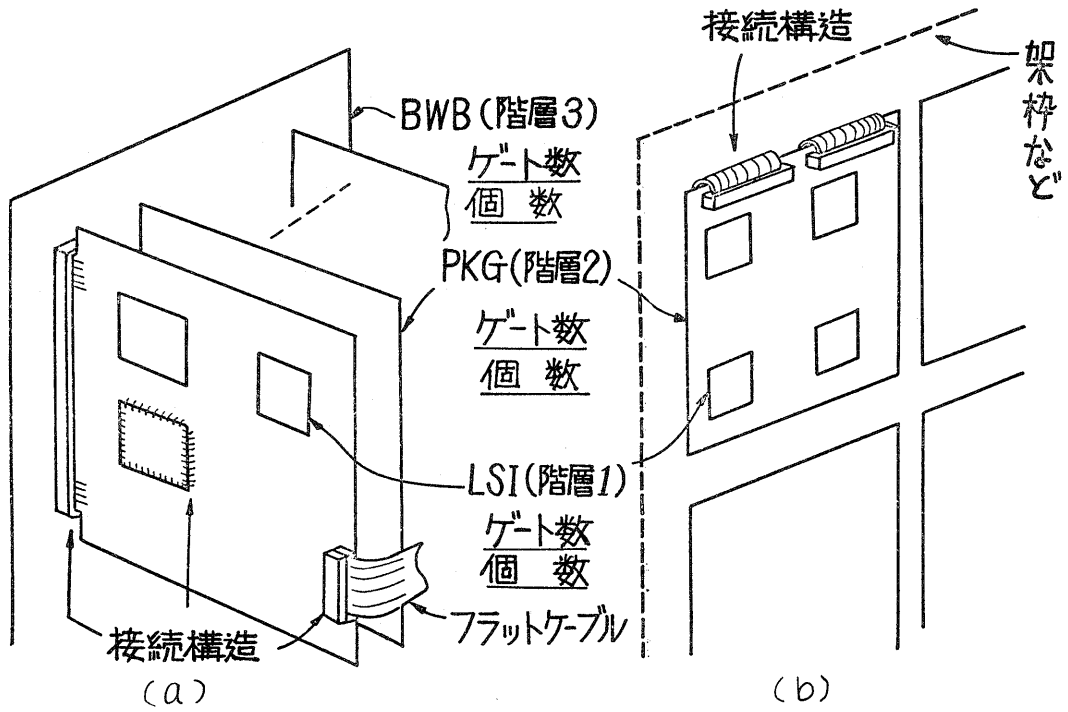


図2 階層パラメータ例

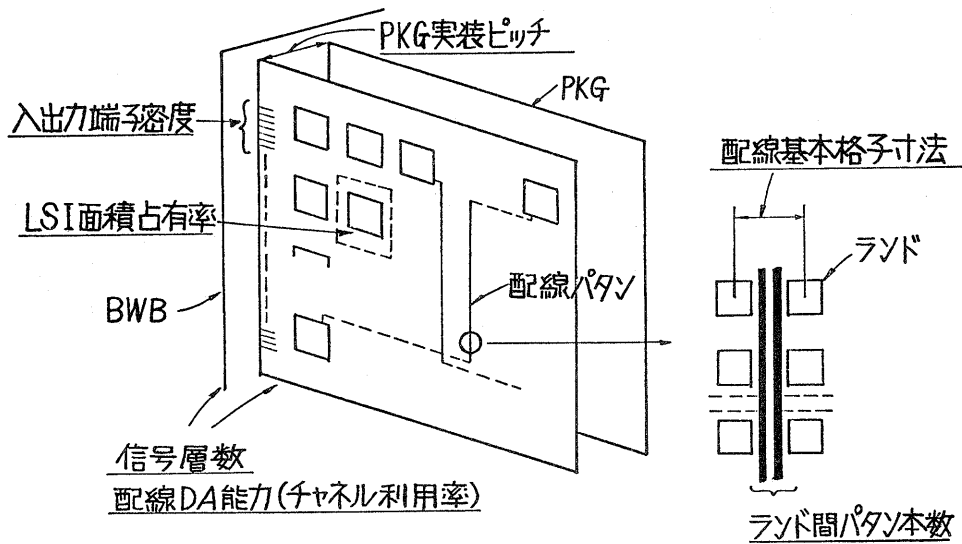


図3 実装パラメータ例

バックワイヤリングボード (BWB と略称する) のゲート数・塵子回路パッケージ (PKG と略称する) のゲート数・LSI のゲート数など階層の規模を表わすパラメータである。図2に階層パラメータの一例をアンダラインで示す。図には、(a) LSI が PKG に実装され、PKG が BWB に実装された階層構成と、(b) PKG が平面的に実装された階層構成を示した。これらの階層構成は PKG の接続に、BWB という階層をとるか否かによって異なる。このように、BWB という階層をとるか否か、さらには各階層に何ゲートずつ割り当てることができるかを階層分割と仮称する。

2.2 実装パラメータ

実装パラメータは、BWB・PKG・コネクタなどの実装用品の構造的諸元、さらには、装置の冷却能力などを表わすパラメータである。一例として、配線板についていえば、図3に示すように、入出力端子密度・信号層数・配線DAの能力・配線基本格子寸法・ランド間パターン本数(副格子数)など製造技術の影響を受けるパラメータである。図3において、LSI面積占有率はLSIの周囲に設ける空間の程度を表わし、LSIの実装密度を示すものである。チャンネル利用率は、部品配置を含む配線DAの能力に左右されるものであり、1本の配線格子上に配線パターンが平均的にどの程度引かれていいるかを表わすものである。

3. 実装構造の数式化

前項で述べたパラメータは相互に関連しており、実現すべき塵子装置の構造はこれらの最適な組合せで実現されなければならない。そのために、パラメータ相互間を関係付ける必要がある。これらの試みとしては、レントの法則で知られる収容ゲート数と入出力信号端子数との関係⁽¹⁾、配線収容性に関する考察⁽²⁾など、階層・実装両パラメータ相互間の理論的・経験的な関係付けがなされている。

筆者らは、これら階層パラメータ・実装パラメータ相互間の関係式を、配線板(BWB・PKGなど)およびLSIの入出力端子収容性、配線板の配線収容性、配線板へのLSIまたはPKGの収容性についてまとめ、これらをもとに実装構造のシミュレーションが可能であることを明らかにした。関係式のまとめにおいては、主として階層パラメータをもとにした必要な入出力端子数・配線区間数・搭載面積をもとめ、主として実装パラメータをもとにした可能な入出力端子数・配線区間数・搭載面積をもとめ、可能数が必要数より大きいとする不等式で結合することによって階層パラメータと実装パラメータとを関係付ける。

3.1 入出力端子収容性をもとにした関係式

(1) 必要端子数の推定

PKGに必要端子数を次式で表わす。

(図4参照)

$$\text{必要端子数}(T_1) = \text{入出力信号立端子数} + \text{電源・地気立端子数}(T_{PE}) \quad \text{----- (1)}$$

ここで入出力信号端子数はPKGゲート数(GP)からレントの法則を用いて式(2)で推定する。

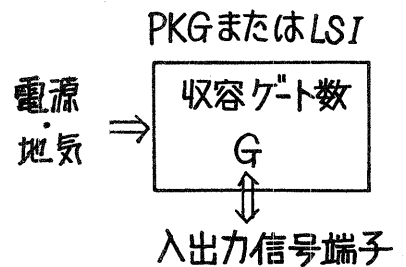
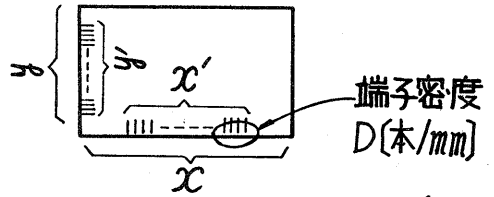


図4 必要立端子数

入出力信号端子数 = $K \cdot G_p^M$ ----- (2)

K, Mの値はPKGの機能, 回路分割に大きく左右される値で $K=3 \sim 6$, $M=0.4 \sim 0.7$ 程度といわれている。(4)

電源・地端子は, 消費電力・電源系統・電圧変動・信号伝送方式・雑音余裕などによって定まる値である。



端子設置率 $\gamma_{xi} = x'/x$
 $\gamma_{yi} = y'/y$

図5 端子数を求めるパラメータ

(2) 設置可能な端子数の推定

設置可能な入出力端子数を, 図5に示すパラメータを用いて, 次式で表わす。

設置可能端子数 (T_2) = $D \{ (\gamma_{x1} + \gamma_{x2}) x + (\gamma_{y1} + \gamma_{y2}) y \}$ ----- (3)

ここで, Dは端子密度で単位辺長当りの端子数を表わす。

$\gamma_{x1} \sim \gamma_{y2}$ は端子設置率で, 辺長 x, y に対する端子を設置する領域の比率を表わす。

(3) 入出力端子収容性を考慮した関係式

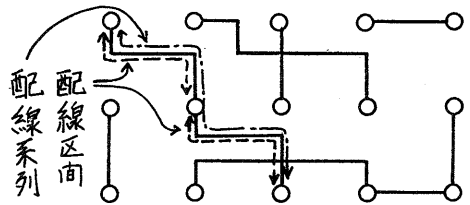
式(2)を式(1)へ代入し, $T_1 \leq T_2$ とすることによって, 入出力端子の収容性を考慮した, 階層パラメータと実装パラメータ相互間の条件式として次の式を得ることができる。

$K \cdot G^M + T_{PE} \leq D \{ (\gamma_{x1} + \gamma_{x2}) x + (\gamma_{y1} + \gamma_{y2}) y \}$ ----- (4)

3.2 配線収容性をもとした関係式

(1) 必要配線区間数の推定

PKG内の配線区間数を, 持続する信号端子数 (T_s), 平均ファンアウト (F) および終端抵抗数で推定する。Fは図6に示した配線系列に含まれる配線区間の数の全系列に対する平均である。したがって $T_s / (F + 1)$ は系列数をよえ, これにFを乗じた値が区間数となる。すなわち配線区間数 (N_L) の推定式は式(5)となる。



$F = 1.5$, 信号ピッチ = 15
 $R = 0$, $N_L = 9$

図6 必要配線区間数

$N_L = \frac{F}{F+1} T_s + R$ ----- (5)

ここで, Fは平均ファンアウト数, T_s は持続する信号端子(ピン)数, Rは終端抵抗数である。また T_s はLSIのゲート数を G_L , 個数を N_L , PKGのゲート数を G_p とすると,

$T_s = N_L \cdot K \cdot G_L^M + K \cdot G_p^M$ ----- (6)

となる。式(6)を式(5)に代入して,

$$N_1 = \frac{F}{F+1} (N_L \cdot K \cdot G_L^M + K \cdot G_P^M) + R \quad \text{----- (5)'}$$

を得る。図6では、 $F = 1.5$, $T_s = 15$, $R = 0$ であるから、 $N_1 = 9$ となる。

(2) 可能な配線区間数の推定

収容可能な配線区間数を、図7に示す実装パラメータを用いて推定する。まず可能な配線区間数 (N_2) を次式で推定する。

$$N_2 = \frac{(\text{チャンネル利用率: } P) \times (\text{チャンネル総長: } L_T)}{(\text{平均配線長: } \hat{L})} \quad \text{----- (7)}$$

多層印刷配線板の一般的なチャンネル総長を次式で仮定する。

$$L_T = \sum_i \frac{m}{x} \frac{x \cdot y}{P} \cdot n_i \quad \text{----- (8)}$$

この式は、 x, y, P が i によらないから、

$$L_T = \frac{x \cdot y}{P} \sum_i \frac{m}{x} n_i \quad \text{----- (8)}$$

となる。平均配線長については、理論的な推定および推定式の提案がなされている。^(2,3) ここでは推定式として、

$$\hat{L} = \frac{1}{k} (x + y) \quad \text{----- (9)}$$

を用いる。 k は、ランダム配線では3、一般的なPKG等では5~10の値となる変数であり、平均配線長係数と仮称する。

式(8), (9) を式(7)に代入して、可能な配線区間数の推定式として次式を得ることはできる。

$$N_2 = \frac{P \cdot k}{P} \cdot \sum_i \frac{m}{x} n_i \cdot \frac{x \cdot y}{x + y} \quad \text{----- (7)'$$

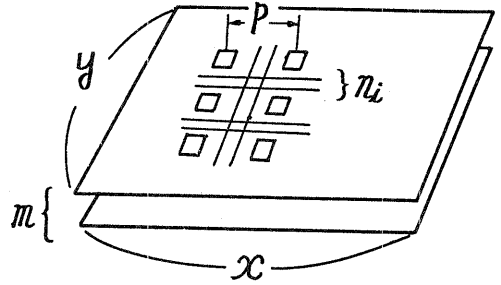
ここで、 $\frac{P \cdot k}{P} \cdot \sum_i \frac{m}{x} n_i$ は可能な配線区間数を求める場合の配線板の寸法に

依存しない項であり、配線板の重要な諸元からなっている。これを配線板定数と仮称する。従来のPKGでは、 $P = 0.5$, $k = 6$, $P = 2.54$, $\sum_i \frac{m}{x} n_i = 4$ として、配線板定数 = 47 である。

(3) 配線収容性を考慮した条件式

式(5)', (7)' を $N_1 \leq N_2$ という不等式で結合することによって、配線収容性を考慮した、階層パラメータと実装パラメータ相互間の条件式として次の式を得ることはできる。

$$\frac{F}{F+1} (N_L \cdot K \cdot G_L^M + K \cdot G_P^M) + R \leq \frac{P \cdot k}{P} \cdot \sum_i \frac{m}{x} n_i \cdot \frac{x \cdot y}{x + y} \quad \text{----- (10)}$$



x, y : 配線板寸法, m : 信号層数
 n_i : 副格子数, P : 配線基本格子寸法

図7 配線区間数に関する実装パラメータ

3.3 LSIの搭載面積をもとにした関係式

(1) 必要な面積の推定

N_L 個のLSIを搭載するのに必要な配線板の面積を次式で推定する。

$$\text{必要な面積} = a_1 \cdot S_L \cdot N_L \quad \text{----- (11)}$$

ここで、 a_1 はLSI面積占有率である。

S_L はLSIの面積である。

(2) 搭載面積を考慮した条件式

搭載可能な面積は $x \cdot y$ であるから、この値が必要な面積より広いという条件で、式(11)と結合することによって、次の条件式を得る。

$$a_1 \cdot S_L \cdot N_L \leq x \cdot y \quad \text{----- (12)}$$

4. 実装CADのシステム概要

4.1 実装構造のシミュレーション・最適化

式(4)、(10)、(12)によって、配線板に関する階層パラメータと実装パラメータ相互間の関係を規定することができた。これらの関係式を用いれば、実装設計において、

(i) 設定した階層パラメータ・実装パラメータの値で装置が実現できるか否か、

(ii) 実現させるためには、それぞれのパラメータの値をどの範囲に設定すればよいか、

などの実装構造のシミュレーションが可能である。

さらに、階層パラメータ・実装パラメータの可変範囲を定め、パラメータで表現できる評価関数を条件式(4)、(10)、(12)のもとで最大もしくは最小とするパラメータの組合せを求めることによって、実装構造の最適化を行うことが可能となる。

評価関数として、コスト・パフォーマンス比をとることが最も望ましいが、改善の策として、装置の高速化に着目して、装置全体の配線長を評価関数とすることなども有効と考えられる。

4.2 システムの概要

実装構造のシミュレーションおよび実装構造の最適化を行うには、パラメータの項目が多く、その値も広範囲にわたって設定する必要があり、そのために、計算の量が膨大となり、電子計算機を使用した実装CADシステムを検討した。

実装CADのシステム概要を図8に示す。

本システムにおいては、実装パラメータによつてはその値にあいまいさが残っているもの(例えば、レントの法則の係数など)があり、人の判断を必要とする面が強いことなどの理由により、会話処理を前提としている。

以下に概要を示す。

(i) 実現すべき装置の規模(ゲート数など)を入力とする。

(ii) あらかじめ設定した階層パラメータまたは分割式により階層分割を行う。

(iii) 実装パラメータにより実装構造の諸元を設定する。

(iv) 必要な入出力端子数・可能入出力端子数などのシミュレーションを各

計算式によって求める。

- (v) 収容性の関係式により，装置実現性の判断を行う。実現性がない場合には (iii) 項にもどって実装パラメータの変更（再設定）を行う。
- (vi) 実現性がある場合には，評価関数の値を求めて，(ii) 項にもどって階層パラメータの再設定を行うか；(iii) 項にもどって実装パラメータを再設定する。
- (vii) 設定したパラメータに対する全ての処理が終了したら，評価関数の値を最小または最大にするパラメータの組合せと準備したグラフ・表を出力する。グラフ表の出力については，(v) 項の段階でも出力可能とし，パラメータの再設定に対する人の介入の判断材料とする。

図8におけるデータおよび副プログラムについては，実装技術の進歩，実装理論・解析の進歩に対応できるように，主プログラムと切り離した。また図中の処理の指定は，処理の目的によって，プログラムの実行範囲を指定するものである。

5. 検討例

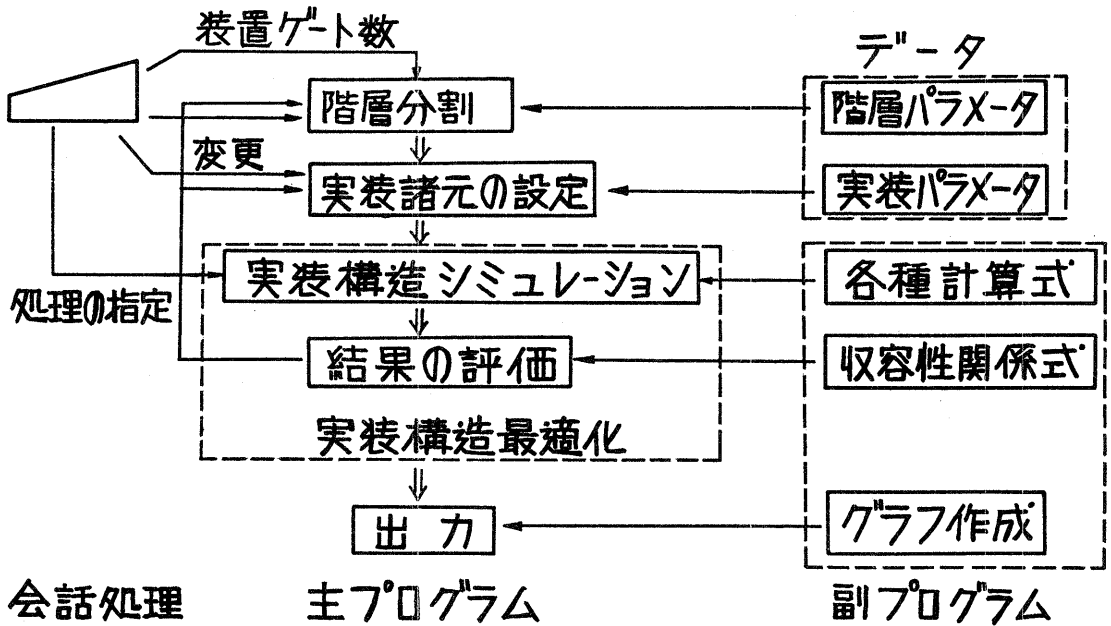
5.1 実装構造のシミュレーション

実装構造のシミュレーションの一例として，現在実用化中の D10 用高速中央処理系装置の検討初期の段階で実施した例を示す。

この検討例は，全ゲート数に対する LSI ゲート数の比（LSI 化率と後称する）の設定範囲を求める目的で行ったものである。手順および結果を図9に示す。

(1) 検討手順

LSI・IC（SSI・MSI）の実装個数を，LSI 化率および PKG への IC 実装率（最大搭載数に対する IC の搭載率，LSI は IC 4 個分を占有）から求め実装個数と LSI・IC の平均ゲート数から PKG のゲート数を求める。以降は，3.3 項で述べた計算式に従って，PKG の入出力端子数・配線区画数，BWB 当りの PKG 数，BWB 内の配線区画数の必要数を求めた。一才，実用



会話処理

主プログラム

副プログラム

図 8

実装 CAD のシステム概要

化可能な実装パラメータからそれぞれの可能数を求め、条件式で評価した。検討例では、実装パラメータの再設定は実施していない。また階層パラメータの再設定では、LSI化率・IC実装率の変更により、LSI・ICの個数、PKGのゲート数と個数が変動する。

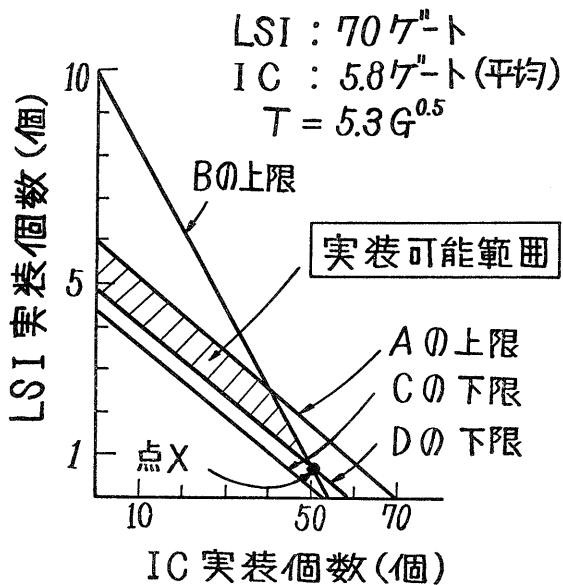
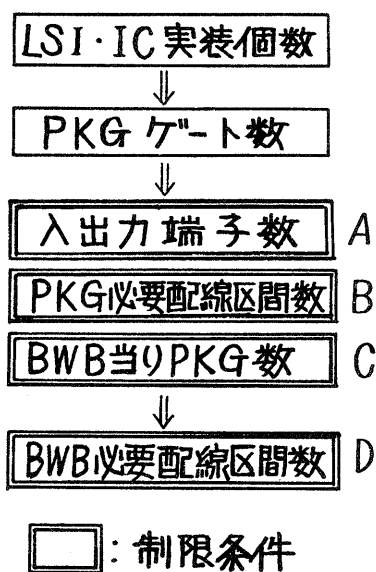
(2) 得られた結果

シミュレーションで得られた結果として、実装可能なLSI・ICの個数のグラフを図9に示す。以下に得られた結果の評価事項をまとめる。

- (i) LSIとICの実装個数を図中の実装可能範囲に設定すればよい。
- (ii) LSIの個数は図中の点X以上に設定する必要があるが、LSI化率に換算すると15%以上となる。
- (iii) LSI化率を上げると入出力端子数が制限条件となり、LSI化率を下げるとPKGおよびBWBの配線収容性が制限条件となる。
- (iv) ICのみで装置を実現する場合には、配線収容性が制限条件となるので、PKGの信号層数を増やす必要がある。また、ICの最大実装個数を60~70個に設定する必要がある。
- (v) 実装可能な範囲において、AおよびBの上限を未達線上にLSI・ICの実装個数を設定すると、PKG枚数が最小となり経路化がはかれる。

5.2 配線板寸法の最適化検討例

本検討例では、配線板の寸法のみを変数として、他の階層パラメータ・実装パラメータを固定した条件で、配線板寸法の最適化を試みた例を示す。最適化の評価関数として平均配線長をとり、この値を最小とすることを最適化



構造シミュレーション手順

実装可能LSI・ICの個数

図9 実装構造シミュレーション検討例

の基準とした。理由は、平均配線長が電気的特性にとって重要な要素であるとともに、式(9)で示したように、配線板の寸法と密接な関連があるためである。

(1) 検討の手順

本検討の手順は5.1項で述べた手順とほぼ同様であるが、実装パラメータの再設定は配線板の x, y 寸法のみであり、他のパラメータ値は図10に示した値に固定した。また、階層パラメータについては、図10に示すように、LSIのゲート数を1Kゲート、PKGのゲート数を10Kゲート(LSI10個で構成)に固定し、階層パラメータの再設定は行っていない。

(2) 得られた結果

結果は、図10のグラフの X_1 と X_2 とを結ぶ直線上の任意の点が配線板の最適寸法、となった。このように最適寸法が一意的に定まらなかった理由は、

- (i) 入出力端子の収容条件が平均配線長最小化の制限条件となった。
- (ii) 配線板の四辺の入出力端子設置率を同じにした。そのため、入出力端子収容条件の限界を示す直線Aが等平均配線長線(平均配線長が等しくなる (x, y) の点を結んだ線)と平行になった。

ことによる。また、この結果から以下のことが考えられる。

- (a) X_1, X_2 の点に近い x, y の値を選ぶと収容条件A・Cの限界に近く適用範囲がせまい。また、直感的にも縦長・横長すぎる。
- (b) X_3 の点に近い x, y の値を選ぶと、配線板の面積は広くなるが、入出力端子密度を向上させるだけで、広い範囲に適用できる。

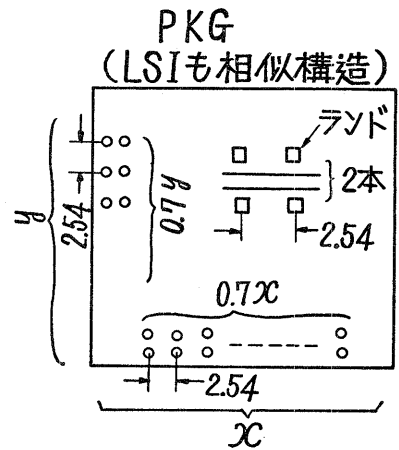
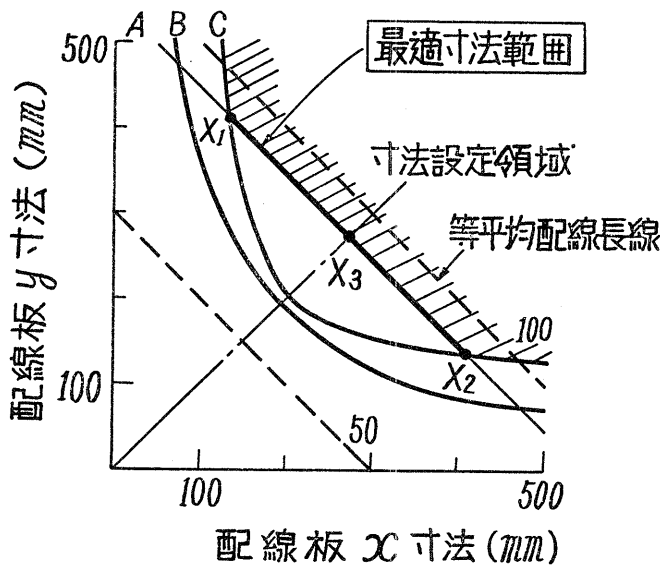
A: 入出力端子収容条件

LSI 1Kゲート

B: LSI 収容条件

PKG 10Kゲート

C: 配線収容条件



信号層数: 6

$T = 4G^{0.5}$

(a) 結果出力例

(b) 設定パラメータ

図10 配線板寸法最適化検討例

以上配線板の寸法最適化の例について述べたが、この例では配線板単体のみに着目しており、装置全体との関連、冷却などを考慮に入れていない。今後これらの条件を考慮に入れることによって、種々の条件・要求に対する、最適な配線板の寸法・信号層数・銅箔密度などの方向付けが可能と考えられる。

6. あとがき

実装技術は、装置の機能設計・論理設計・使用部品および装機技術など、装置を実現するためのあらゆる分野と関連している。しかしながら、従来の実装では論理設計・使用部品の決定などが終了した時点から検討を始めることが多かった。

今後の電子装置では、装置の高速化・高機能化に対する実装技術の及ぼす影響が大きくなり、装置の開発初期の段階から実装が深くかかわるものと考えられる。

本実装CADは、装置概要が莫然としている状態から、実装技術に関する現状および将来の動向をもとに、実装構造の方向付け、さらには、最適な実装階層構成・実装構造の誘えを検討する手段であり、新しい装置の開発にとって有効な手段と考えられる。しかしながら、本実装CADには、未完成の部分が多く残っている。特に、実装構造の数式化については、対象範囲もせまく、今後、電気特性関係・冷却関係をも考慮して実用的なシステムにする必要がある。また、数式の中には経験的な推定式が多く含まれており、実装理論の確立が必要である。

なお、検討創で使用したプログラムの規模は約3Kステートメント（フォートラン）であり、処理時間はDIPS-1端末を利用して、CPU時間でも数秒である。

本報告の結びに当り、本検討の遂行において適切な助言を頂いた武蔵野通研会親技術協力部長、研究開発本音川島調査役、実装研究室小林調査員をはじめ実装研究室の方々に感謝致します。また、実装構造シミュレーションの検討に際して討論に参加して頂いた日本電気株式会社、株式会社日立製作所、沖電気工業株式会社、富士通株式会社の関係各位に厚くお礼申し上げます。

参考文献

- (1) B.S. Landman 他 "On a Pin Versus Block Relationship for Partitioning of Logic Graphs", IEEE Transaction on Computers, Vol C-20, No 12, Dec. '71
- (2) 若林 他 「高密度印刷配線板の配線収容性に関する一考察」 信学電子部品研究会, CP11-74-57, '74
- (3) 岡部 他 「論理LSIの多層配線層数に関する一考察」 信学論C 56-C;5 '73
他に
- (4) 渡辺 他 「電子処理装置の実装指標」 信学交換研究会, SE 74-58 '74
- (5) 伊藤 他 「論理パッケージ・パターン長等の諸統計的性質の検討」 信学交換研究会, SE 75-64 '75