

VLSI設計法

須藤 常太

(日本電信電話公社 武蔵野電気通信研究所)

1. はじめに

L S Iの開発工程を特徴づけている幾つかの項目の中で、集積化による設計にいわゆるカット・アンド・トライが著しく困難であるという事実が、L S I設計へコンピュータ・リソースを導入する基本的モチベーション・フォースであった。

さて、L S IがVLSIへと進展していく過程で、その開発工程はデザイン・リミットという新たな壁を認識するに至った。単なる数の増大というならば、人類は既に10万ゲート以上の規模の論理装置を完成させているのであって、方法的な行きづまりにはならないはずである。しかしながら規模の増大がL S Iというバウンダリの中で起る時、そこには未だ扱った事のない未踏の分野が出現する。

2. 従来のL S Iの設計法

2.1 汎用L S Iの設計

汎用L S Iは大量生産されるため、各L S Iのコストに占める設計費の割合は小さく、歩留り向上による製造コストを下げるべくチップ面積の小さなL S Iが設計される。性能面での競争が厳しいため、非常に入念な設計が行われ、回路技術、デバイス技術、論理設計、マスクパターン設計などを熟知した高級技術者により、これらの技術を駆使した名人芸的な設計が行われる。このため、これらのL S Iでは人手主体に設計が進められ、これをサポートするために各種シミュレーションプログラム、チェックプログラムが使われ、マスクパターン設計は図形処理装置を用いて行われる。専用L S Iについても同様である。

2.2 カスタムL S Iの設計

多品種少量生産のL S Iのコストを下げるため、各種のカスタム化技術が用いられる。カスタム化技術の根幹は、自動設計による設計期間短縮と設計費削減であり、その効果が、チップ面積増大による製造コストの増加と性能の劣化とを補って余りあるという事実に基づく。

マスタスライス方式、ビルディングブロック方式、PLAなどの各種カスタム化技術で共通している技術は、(1)最も複雑な素子設計・回路設計・マスクパターン設計をセルの設計に集約し、論理機能に対する柔軟性を比較的単純な配線技術に帰せしめたこと、(2)自動設計に向けたレイアウト構造をもつようにしたこと、(3)各設計工程に自動設計プログラムやチェックプログラムを用意し、かつ、設計工程間での設計情報の授受を円滑化したことである。さらに、マスタスライス方式やPLAでは製造工程をかたまり共通にし、製造コスト削減と一層のターンアラウンドタイム削減を計っている。

3. D Aシステムの現状と問題点

D Aシステムは、カスタムL S Iに耐え得るようなシステムでなければならぬ。L S I設計(図1)は大雑把に、(1)論理設計、(2)回路設計、(3)デバイス設計、(4)パターン設計、(5)テストパターン発生に分類できよう。

次にソフトウェアの現状について述べる。

(1) 論理シミュレータ

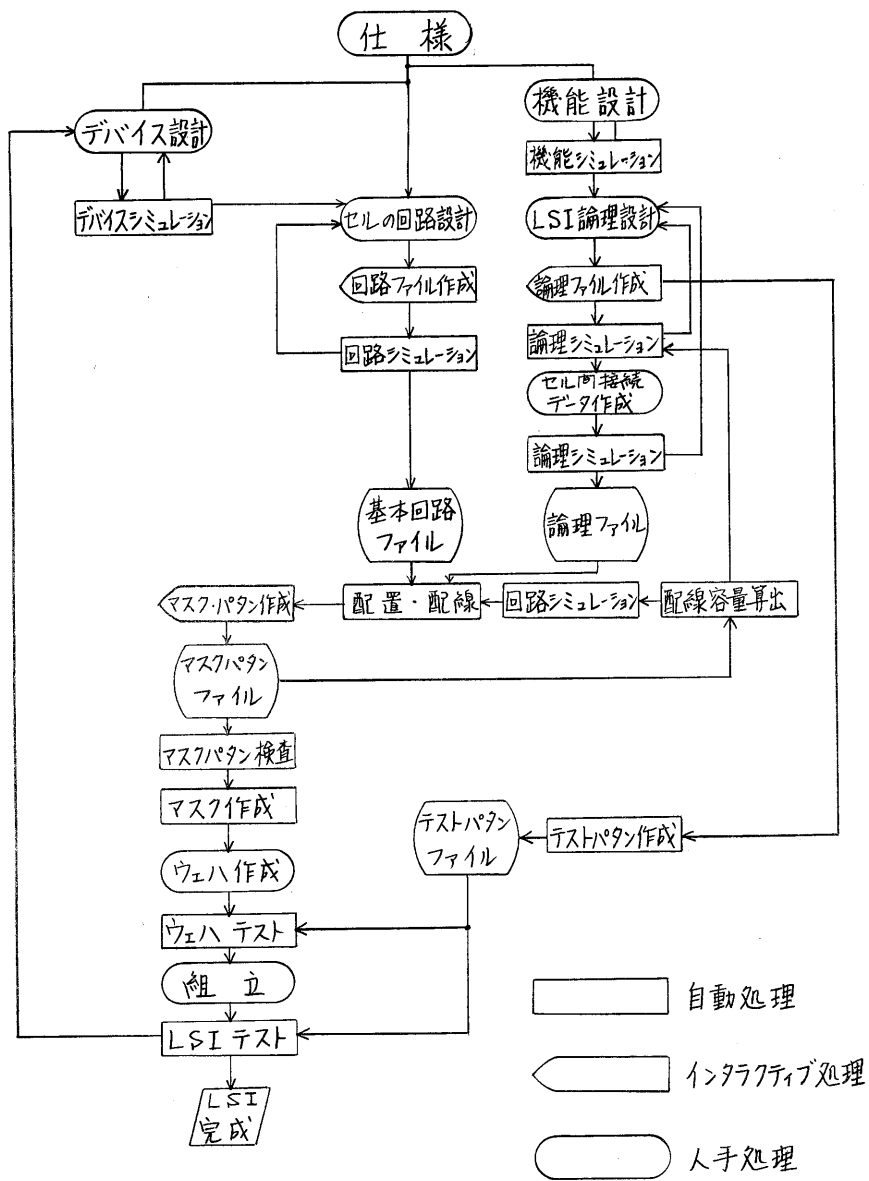


図1. LSIの設計フロー

各種の論理シミュレータが発表され(表1)、実用に供している。汎用シミュレータとしてはTEGAS3が有名である。TEGAS3では2値論理値("1", "0")の他に、遅延時間を扱うために"U"(0→1トランジション), "D"(1→0トランジション), "E"(ポテンシャルエラー)の合計7値を導入しており、タイミング関係を詳細にシミュレーションできるようにになっている。しかし、大規模な回路もすべてゲートレベルに展開してシミュレーションするので、処理時間が非常に長くなる。

表1. 主要論理シミュレータ

プログラム名	信号値	遅延	最大素子数	作成者
LAMP	3 値	標準, 立上り, 立下り, 最大, 最小	65,000ゲート	ベル研究所
TEGAS 3	3, 7, 値	同上	約50,000ゲート	テキサス大
LANAX	3 値	同上	10,000ゲート	日本IBM
LOGOS	3 値	単位, 標準, 立上り, 立下り, 最大, 最小	約10,000ゲート	日本電気
LAP-1	6 値	最大, 最小, 立上り, 立下り	約30,000ゲート	通 研

(2) 回路シミュレータ

DC, TR, AC, 統計解析, 感度解析等がバイポーラ, MOS, FET等を含む回路で行える汎用回路解析プログラムが多数存在する(表2)。比較的大規模な回路まで扱えるが、大きくなると計算時間がかかりすぎる。

表2. 主要回路シミュレータ

プログラム名	開発者	解析種別	デバイスモデル	TSS	特徴
ASTAP	IBM	DC, TR, AC 統計解析	関数記述 テーブル	×	きわめて汎用 比較的高速
SPICE II	カルフォルニア 大学	DC, TR, AC 雑音, 歪解析	組み込み	×	きわめて高速
ISPICE	NCSS	DC, TR, AC, 雑音解析 統計解析	組み込み	○	会話型
MOTIS-C	カルフォルニア 大学	TR	組み込み nMOS, pMOS	×	大規模回路解析 2500ゲート

(3) デバイスシミュレータ

高性能LSI研究の重点がデバイス研究にあること、及び微細加工技術の実用化を反映して、各種デバイスシミュレータが開発されている(表3)。デバイスの微細構造を反映した二次元解析プログラムがほとんどである。単純な構造のデバイスでさえも長いシミュレーション時間を要し、複雑な構造のデバイスのシミュレーションは禁止的である。

表3. デバイスシミュレータ

プログラム名	開発者	対象デバイス	解析次元
SITCAP	Leuven 大	バイポーラ	1次元DC, 疑似二次元
BIPOLE	Thomson CSF	"	"
TRANAL	通 研	汎用	2次元DC
COMSAP	"	MOS	"
CADDET	日 立	"	"

(4) マスクパターン設計プログラム

ビルディングブロック方式LSI、マスタスライス方式LSI用に各種自動設計プログラムが作られている(表4)。ROBINはビルディングブロック方式LSI用で、規格化セルの他にRAMやROM等のプリデファインド・ブロックの間を配線する特徴をもつ。100%配線を保証したうえで、チップ面積を最小化する手法が採られている。LTXは、インタラクティブ修正機能と自動設計機能とを併せもつため、高品質のマスク設計を行うのに適する。

表4. 自動配置配線プログラム

プログラム名	開発者	レイアウト方式	用途	配線層	インタラクティブ・モード
Advanced LILAC	日立	B. B.	MOS	2	-----
TAPLS	東芝	B. B.	MOS	3	オンライン
ROBIN	日電	B. B. *	MOS	2	-----
CAD 75	日立	M. S.	バイポーラ	2	オフライン
STARS-0	沖	M. S.	バイポーラ	2	オンライン
MARS-M	三菱	M. S.	DSA-MOS	2	オフライン
MARC	通研	M. S.	バイポーラ	2	オフライン
LTX	ベル研	B. B.	MOS	2	オンライン
LAELIC	COMPEDA	B. B. *	-----	-----	オンライン

M. S. …… マスタスライス方式

B. B. …… ビルディング・ブロック方式

* …… サイズの異なるブロックの扱い

マスタスライス用自動設計プログラムは配置済セル間を自動配線する機能をもち、どれも100%に近づけるような配線手法が採られている。

マニュアル設計をサポートするために各種の図形処理装置が用いられている(表5)。設計済マスクパターンを修正するのに用いることが多いようである。マ

表5. インタラクティブマスク設計システムの比較

開発者	白黒CRT	カラーCRT	図形データ変換	ホストとの接続	市販
Computer Vision	1台	なし	ソフト	オフライン	○
Applicon	1台	なし	ソフト	オフライン	○
Calma	1台	なし	ソフト	オフライン	○
IBM	1台		ハード	オンライン	×
Bell 研	1台	1台(7色)	ソフト	オンライン	×
日電・東芝	6台	1台(7色)	ハード	オンライン	×

ニューラル設計を省力化する方法として、シンボリック設計手法が注目されている(表6)。10%程度チップ面積は増えるが、入力時間が約半分に短縮でき、又、

表6. マニュアル設計の省力化

プログラム名	開発者	概要
FLOSS	RCA	ラフに設計したマスクパターンを詰め込む
SLIC	AMI	シンボリック設計
SLIP	ベル研	シンボリック設計、詰め込む

ミスも非常に少ないという。SLIPは、シンボリック設計サポートのため、シンボリック図からフィジカルパターンへの変換機能と、ラフなレイアウトを自動的につめてチップ面積を縮小する機能とをもつ。

(5) マスクパターンチェックプログラム

主要なマスクパターンチェックプログラムを表7に示す。

a. 幾何学的設計ルールチェック

L S Iマスクパターンについて最小幅、最小間隔等チェックを行う。L S Iマスクパターンのデータが膨大なため、プログラムの最大関心事は計算機処理時間にある。DRCは、チップ面積がA平方ミルの時IBM 360-67で $10 \cdot \left\{ \frac{A}{40000} \right\}^{1.25}$ 秒であるという。

b. 回路接続チェック

配線の誤接続を検出する。マスク図より回路接続図を作り、目視によりチェックを行う方法と、回路接続データと自動的に照合チェックする方法とがある。

c. 電気的特性チェック

回路素子の寸法が不適当であったり、寄生素子のため意図した回路特性が得られないこと等をチェックする。

表7. マスクパターンチェックプログラム

プログラム名	開発者	概要
IC SORT	BTL	バイポーラICのマスクパターンから回路図作成
XY TOLR	〃	設計ルールチェック
DRC	NCA	設計ルールチェック
APPRAISE	BTL	Appliconで発生したデータの接続関係、設計ルールチェック
—	日電・東芝	マスクパターンから回路図作成、シンボル図作成
PAS-1	通研	〃
PALLEQ	三菱	マスクパターンより論理式作成
PALMS	日電	マスクパターンより接続情報を抽出し、論理接続データと自動照合

(6) テストパターン発生

大規模なL S Iを系統的に扱う方法としてIBMのLSSDが注目されている(表8)。LSSDの基本的戦略は、論理設計の規則を定め、これを守ったL S Iについてテスト可能な固定故障を100%検出するようなテストパターンを自動生成するというものである。

〈論理設計の規則〉

④ レベル感応形設計

入力の変化する順序に無関係に変化後の信号によって状態が定まるように順序回路を構成する。

⑤ 内部記憶素子のシフトレジスタ化

内部記憶素子をテスト時にシフトレジスタとして動作させ、論理回路のテストをシフトレジスタのテストと、シフトレジスタ間の組合せ回路のテストの2つに分離する。

論理設計の規則を6個に要約し、これらの項目について自動チェックする。プログラムは100,000ゲートまで適用可能である。大きな論理回路については、

出力端子又はレジスタ入力に注目して分割する。

従来のスタック故障以外に、遅延状態を端子まで伝播させ、規定以上の遅延時間を検出することを目的としてテストパターン発生も行われている。

表 8. 主要試験パターン生成プログラム

プログラム名	適用回路	最大素子数	生成手法	作成者
ATG (LAMP)	組合せ回路 順序回路	20,000ゲート	故障シミュレーション法	ベル研
ATPG	同上	20,000ゲート	ランダム故障シミュレーション法	IBM
FLT-700	同上	10,000ブロック	D-アルゴリズム+パスセンティタイズ法	日本電気
	同上	5,000ゲート	D-アルゴリズム+ランダム故障シミュレーション	日立
FALD	同上	2,000ゲート	同上	富士通
TPG-1G	組合せ回路	2,000ゲート	G-アルゴリズム + D-アルゴリズム	通研

4. VLSI設計法

4.1 VLSI化の設計作業に及ぼす影響

VLSIチップの設計作業は、デバイス、電子回路、論理回路に加えて機能レベルを含んだ広範囲なものである。これに伴い、多人数が長期間にわたってチップの設計を分担することになる。

高集積化に伴う設計工数の増大を定量的に調べた報告はあまり見られない。しかし、VLSIでは、性能面で一層の高速化、低消費電力化が目指されており、きめ細かい設計と設計データの高精度化は一層進む。これらは、取扱い規模の増大と相まって、論理、テスト、レイアウト、電気的特性等を不可分にするため、設計作業は著しく困難になる。

4.2 ブロックオリент設計

このように複雑化する設計工程を効率良く行う方法としてブロックオリент設計手法がある(図2)。この方法は、VLSIチップとゲートとの中間にブロックという階層を設けるものである。ゲートによるブロックの設計、ブロックによるVLSIの設計という具合に階層化することで、それぞれの階層の設計が人間、及び各種CADプログラムが利用できる規模の問題になる。ブロックオリент設計では、VLSI設計をこのように階層的に扱い、規模の問題を解決すると同時に、プリデファインドブロックを有効利用することにより設計の高効率化をはかる。このため、方式設計から論理設計に至る過程はプリデファインドブロックの利用を考えながらトップダウン的に、マスクパターン設計はチップ全体のレイアウトを考慮してボトムアップ的に行う必要がある。

このようなブロックオリент設計の効果として次の4点が考えられる。

① プリデファインドブロックの有効利用による設計工数の削減

② 機能の階層構造をレイアウトに反映させ、設計変更の容易化

③ 既存ソフトウェアリソースの有効利用

④ 設計ターンアラウンド短縮のためのフィードバックループの設定

このようなブロックオリент設計を円滑に行うためにはデータベース化と、データベースの効率的利用、設計データの作成、修正を円滑に行うためのインタ

ラクティブ機能が不可欠である。各種アプリケーションプログラムを準備すべきことは言うまでもない。

アプリケーションプログラムのうち、デバイスシミュレータは素子の微細構造化を反映して、より層の高精度化が、回路シミュレータは取扱い規模の拡大が望まれる。また、LSIをブロック複合体と見てその動作を確認するために機能シミュレータが望まれる。各ブロックの動作を詳細に調べるため、論理シミュレータとリンクして使えることが望ましい。マスクパターン設計のためには、レイアウト設計を階層的に行うのをサポートするプログラムが必要である。インタラクティブマスク設計装置として、カラーCRTを搭載し、マルチモニター化により操作性を増したシステムが出現しつつあり注目される。テストパターン発生方法としては、LSSDやブロック活性化法などの試みがあり今後の発展が望まれる。

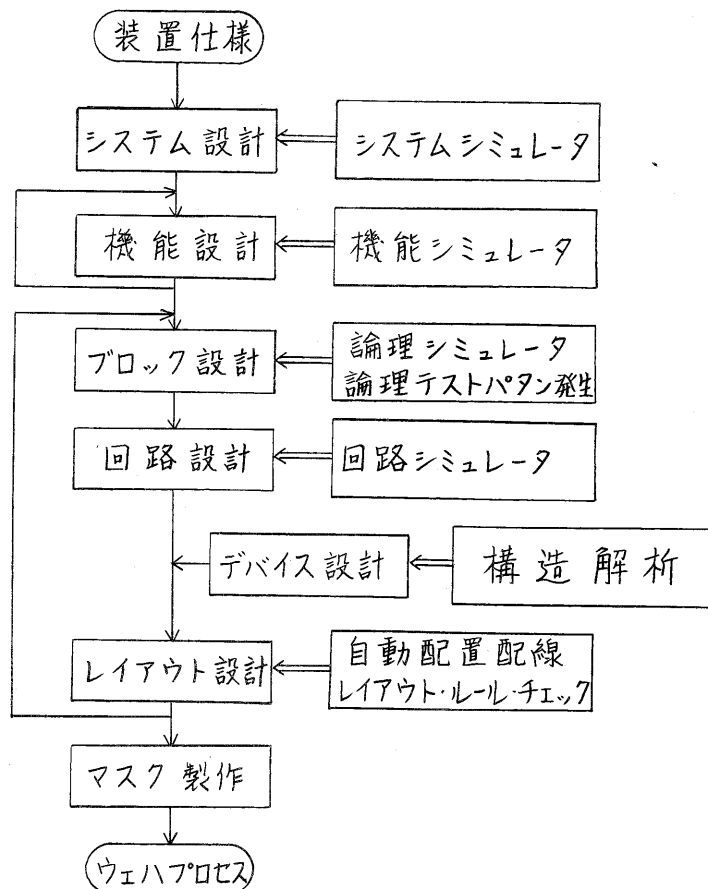


図2. VLSI設計フロー

- (1) Watanabe, M. : " CAD Tools for Designing VLSI in Japan", ISSCC 79, p.242
- (2) VanCleemput, W., M., et al. : "Initial design considerations for a hierachical IC Design System", Proc. 11th Asilomar Conf. Circuits, Systems and Computers(1977)
- (3) Preas, B., T., et al. : "Methods for hierachical automatic layout of custom LSI circuit masks", Proc. 15th DA Conf., p. 206