

LSI機能ブロック自動レイアウトシステム (PLASMA)

永谷 三義 宮下 弘 岡本 秀孝 丹生 和男 杉山 吉
(日本電信電話公社 武蔵野電気通信研究所)

1. はじめに

近年、VLSI時代を反映して、階層的レイアウト設計手法の提案⁽³⁾⁽⁵⁾がなされており、①単一ゲート、複合ゲート、フリップフロップ等のマスクパターンに対応した単位セル、②数百〜数千ゲート規模の機能ブロック、③チップ等の階層を設けている。

現実のVLSIのレイアウト設計において、高性能、高密度なVLSIを設計するためには、VLSIを構成する機能ブロック自体が高性能、高密度であり、かつチップ全体のレイアウトに都合の良い形状および上位階層の機能ブロック間配線に都合の良い端子位置をもつことが不可欠である。

このため対象とするVLSI毎に最適なレイアウト構造を持つ機能ブロックを設計する必要があり、機能ブロック内レイアウト設計がVLSIレイアウト設計の中で最も工数を要する工程となる。

我々は、VLSIレイアウト設計のターンアラウンドタイムを短縮することを目的として、機能ブロック内レイアウト設計の自動化を検討するとともに、論理図入力からマスクパターン出力に至るまでのVLSIレイアウト設計工程をインタラクティブCADシステムとして構築した。

本稿では、主にシステム構成、機能ブロック内配置配線アルゴリズム、および300〜500ゲート規模の機能ブロックを数10ブロック設計した例について報告する。

2. システムのねらい

本システムは以下の点に主眼を置いて開発した。

- (1) 機能ブロック内の配線領域および単位セルのレイアウトを固定せずに、配線処理と同時に個々のセルのレイアウトを決定する手法により、100%配線を保障し、高密度レイアウトを実現する。
- (2) 有効と考えられる多くの配置配線アルゴリズムをプログラムモジュールとして用意し、制御情報により問題別に最適なアルゴリズム、処理シーケンスを選択できるようにする。
- (3) インタラクティブグラフィックシステムを有効に利用することにより、機能ブロック内各単位セルの自動配置、自動配線の結果に対しての人手介入を容易にすると共に、論理接続情報を図形イメージで入力し、省力化および人為ミスの低減を図る。

3. 機能ブロック内基本レイアウト

ビルディングブロック方式に代表される従来の配線手法⁽⁸⁾⁽¹⁰⁾⁽¹¹⁾においては、基本セルの入出力端子は配線チャンネルと並行に並べられ固定されているのが一般的であり、入出力端子数に比例して基本セルの横幅が増加することにより高密度化に不適であるという欠点があった。この欠点を解決するため、MOSおよびI²LタイプのLSIに適した手法として1次元アレイ方式⁽⁹⁾が提案されている。本手法では基本的にこの1次元アレイ方式を採用している。

図1に基本セルの形状を示す。基本セルはセル基本部と入出力端子が存在するセル付加部に大別される。入出力端子はセル付加部の任意の位置に垂直方向に配置される。セル基本部および入出力端子間の接続は拡散層、および第2層配線を使用する。

図2に機能ブロック内基本レイアウトを示す。複数の基本セルを横に並べてセル列を構成し、そのセル列を複数並べて機能ブロックを構成する。原則として第2n-1番目のセル列と第2n番目のセル列とを向いあわせてレイアウトすることにより、2つのセル列間で1つの配線チャンネルを持たせる。また各セル列内にはゲートを構成する基本セルのほか、必要に応じて各セル列間の配線領域を確保するための疑似セル（以下フィードスルーセルと呼ぶ）を含む。

同一セル列内の各基本セル間は原則として折曲

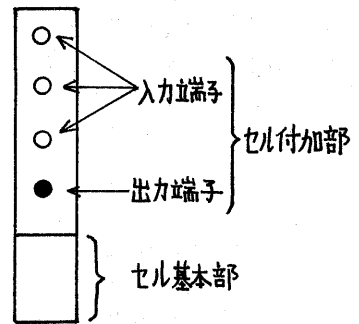


図1. 基本セルの形状

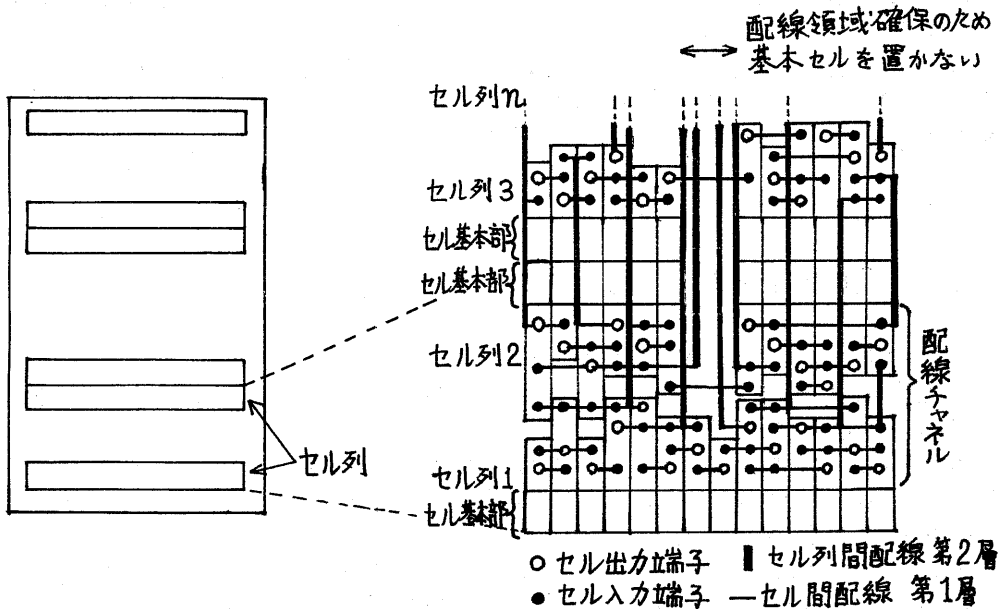


図2. 機能ブロック内基本レイアウト

げを許さな第1層配線を用い、同時に基本セルの入出力端子を第1層配線に合わせるようにその都度基本セルのレイアウトをおこなう。一方セル列間は第2層配線を使用する。第2層配線は極力基本セル上のフィードスルーを使用し、配線占有領域の減少を図るが、不足する場合には基本セルの代りに上述のフィードスルーセルを置き、配線領域を確保する。

4. システム構成

本システムの処理の流れを図3に示す。本システムに必要なハードウェア構成はインタラクティブ図形処理装置とホストコンピュータで磁気テープでデータの授受をおこなっている。以下に処理の流れを説明する。

(1) 論理図入力

図形処理装置を使用し図形イメージでインタラクティブに入力する。論理図は適当なゲート数(高々500ゲート)で分割して入力する。ここで作成された論理図はグラフィックデータベースに保存されVLSI設計工程中適宜使用される。また論理変更は論理図を修正して対処する。ただし、後の処理において同一の論理図に記述した論理を2つ以上の機能ブロックに分割することはできない。

(2) 論理接続情報の作成と機能ブロックへの分割

上述の方法により作成された論理図を解析して論理接続情報を作成する。ここでチップ全体の論理図を処理対象とすれば、チップ全体の論理接続情報が得られるが、特定の機能ブロックに含ませる論理図のみを処理対象とすれば、その機能ブロックのみを表現した論理接続情報が得られる。この時、他の機能ブロックへ接続されている信号線に対応して機能ブロックの入出力端子が自動的に発生され、チップ全体の論理を機能ブロックへ分割する処理はすべて本工程で終了する。

(3) セル列への割付け

各々のゲートを機能ブロック内のどのセル列に配置するかをインタラクティブに指定する。具体的にはグラフィックデータベースに保存されている論理図上のゲートを特定の図形で囲むことにより指定する。

(4) 配置処理

対向したセル列ごとに第1層配線トラック数が最小になるように配置される。セル列間の配線は原則として基本セル上のフ

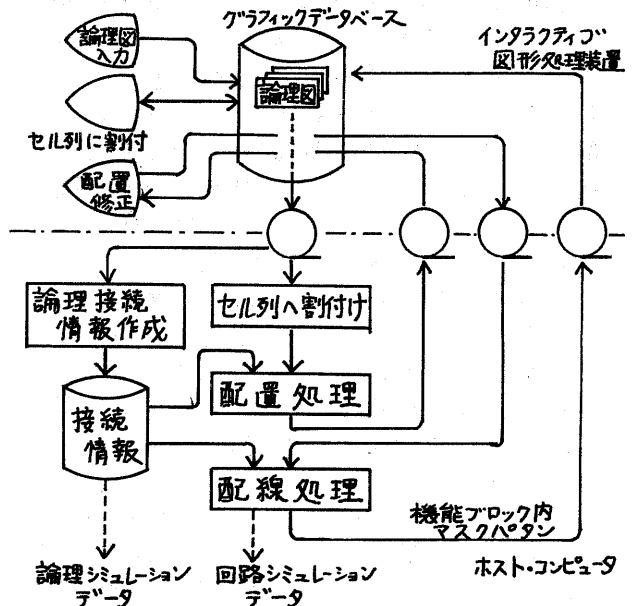


図3. 処理の流れ

ィードスルーを使用するが不足する場合には、基本セルの代りにフィードスルーセルが配置される。本配置結果は図形イメージ（各ゲート名を表現した文字列）で出力されインタラクティブ図形処理装置にフィードバックされる。必要ならばインタラクティブ図形処理装置上にて配置修正をおこなう。

(5) 配線処理

配置結果にもとつき配線処理をおこなう。同時に各基本セルのレイアウトをおこなひ、機能ブロックのマスクパターンが作成される。ここで作成された機能ブロックのマスクパターンはグラフィックデータベースに保存される。

5. アルゴリズム

本システムの配置配線処理では、①100%配線を実現し、②十分な性能を有し、③高密度なレイアウトを実現することをねらいとした。このため有効と考えられる多くの配置配線アルゴリズムをプログラムモジュールとして用意して、制御情報により選択して実行できるプログラム構成とした。

3で述べたように各セルは配線領域（以下配線チャンネルと呼ぶ）をはさんで並べられる。チャンネル内の配線は幹線を第1層配線、支線を拡散層と第2層配線とする幹線支線方式である。

5.1 配置アルゴリズム

機能ブロック内の各ゲートのセル列への割付け、および機能ブロックの外部端子の位置は、機能ブロック内の各ゲートの接続関係および機能ブロック間の配線を考慮して人手で指定する（図4）。本入力にもとつき基本セルの自動配置をおこなひ、トラック数の少ないチャンネル配線が得られるような配置をおこなう。

(A1) フィードスルーの挿入：接続情報にもとつきセル列間にまたがる配線のためにフィードスルーを確保する。フィードスルーは各基本セル上に用意されたものを用いるが足りなひ場合にはフィードスルーセルを配置する。

(A2) セル再配置Ⅰ：幹線長を短くするように1対のセル、又はフィードスルーを交換する（図5）。パラメータの指定によりフィードスルー同志の交換のみ、セル同志の交換のみも可能である。

(A3) セル再配置Ⅱ：各セル毎に接続関係のあるセルの位置を調べ、それらの平均位置を求め、その値の順にセルを再配

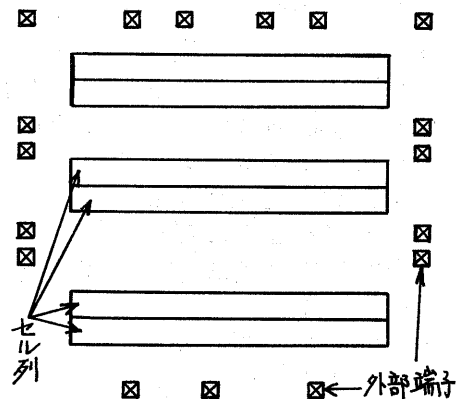


図4. セル列と外部端子の関係

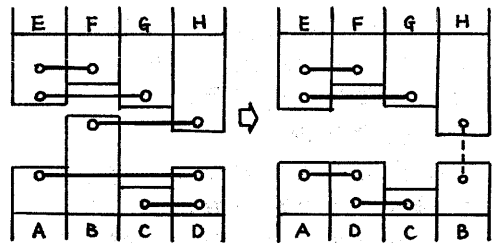


図5. セル再配置Ⅰ

置する(図6)。パラメータにより繰り返し回数、対象とするセル(通常の基本セルあるいはフィードスルーセルのみ)を指定できる。

(A4) セル再配置Ⅲ: 幹線長を短くするようにセル又はフィードスルーを移動する。パラメータ指定は(A2)(A3)と同様である。

(A5) セル再配置Ⅳ: 幹線の重なりをくずすために基本セル又はフィードスルーセルを移動する。最右幹線の重なりを減らす。

(A6) セル再配置Ⅴ: (A5)と同様の目的で基本セルまたはフィードスルーセルの交換をおこなう。

(A7) フィードスルーセルの再配置: (A1)で挿入されたフィードスルーセルの位置の修正をおこない、幹線長を減少させる。

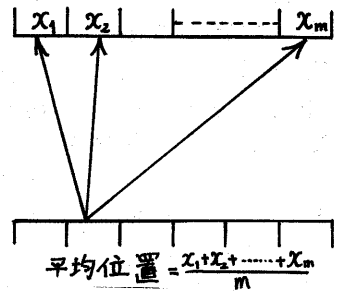


図6. セル再配置Ⅱ

5.2 配線アルゴリズム

配線は幹線支線方式でおこなう。幹線の上下制約は図7に示すように、①上側セルに属する幹線か下側セルに属する幹線かによる上下制約、②第2層配線による上下制約の2つがある。この上下制約による有向ループは幹線分割により解除される。さらに上側セルと下側セルを結ぶ幹線を図8のように幹線分割することにより基本セルの長さを縮めることができる。従って高性能な基本セルを実現するための幹線分割も必要となる。

(B1) 幹線分割しない初期配線: 上側セル、下側セルによる上下制約にもとづく有向ループの解消以外には幹線分割をおこなわないで初期配線をおこなう(図9)。この初期配線では1トラック当り1ネッ

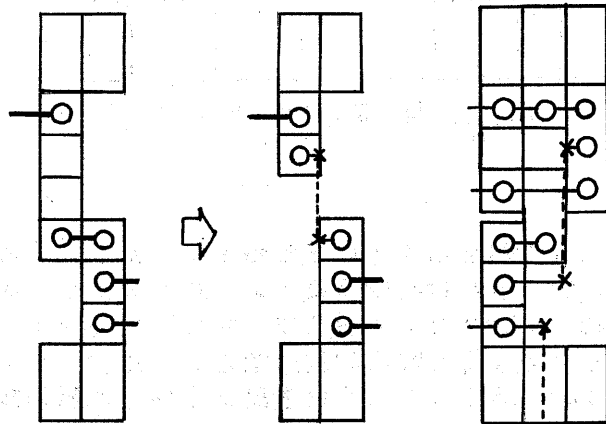
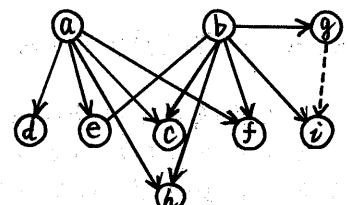
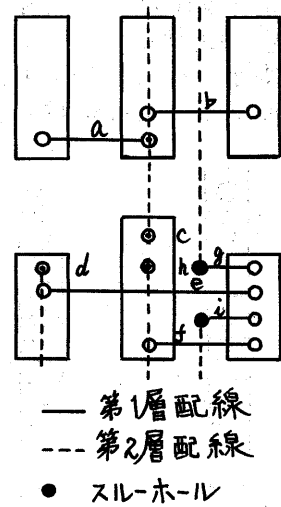


図8 幹線分割

図9 幹線分割しない初期配線



→ 上側セル下側セルによる上下制約
→ 第2層配線による上下制約

図7. 上下制約の例

トを割当ててる。パラメータ指定により、幹線上の入力端子密度（幹線の単位長さ当りの入力端子数）の高い順、あるいは低い順にトラックに割当ててる。

(B2) 幹線分割した初期配線：上側セル、下側セルを結ぶ幹線に対して、幹線分割をおこない初期配線をおこなう(図10)。本アルゴリズムにより基本セルの長さを縮める効果が期待できる。この初期配線でも1トラック当り1ネットを割当ててる。パラメータの指定は(B1)と同様である。

(B3) 幹線のトラック割当てⅠ：幹線をトラックに割当てて詰めていく。パラメータの指定により、上方にあるいは下方に詰める、詰める方向に入力端子をもつ幹線あるいは詰める方向に入力端子以外の支線をもつ幹線を詰める等を自由に選択できる。

(B4) 幹線のトラック割当てⅡ：配線トラック数を減少させるように幹線を詰める。基本セルの入力端子をもつ幹線に対しては配線順序を変えないが、入力端子をもたない幹線に対しては配線順序を変えることもある。

(B5) 基本セルの長さの縮小：基本セルの長さを縮めるため図11のように支線（第2層配線）を使用して基本セルの入力端子の位置を移動させる。

(B6) 配線のパッキング：幹線を折曲げて基本セルの長さの縮小を図る(図12)。配線チャンネルの上側の基本セルは上側に、下側の基本セルは下側に詰める。本アルゴリズムは配線の最後に使用する。

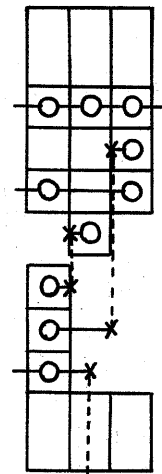


図10. 幹線分割した初期配線

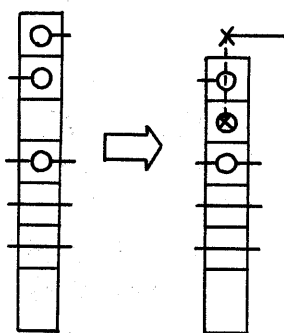


図11. 端子の移動

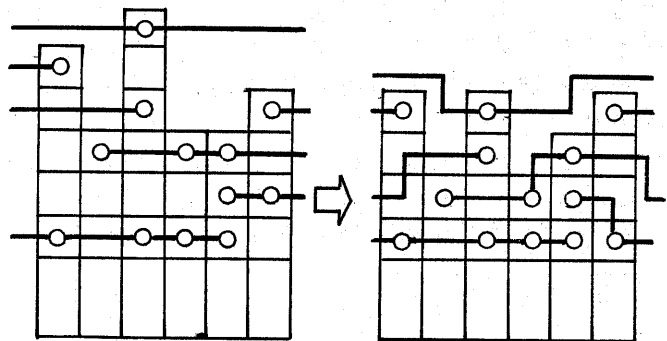


図12. 配線のパッキング

5.3 配置配線手順の構成

以上説明した配置配線アルゴリズムを組合わせて配置配線をおこなう。どのアルゴリズムをどのような順番で実行するかは制御情報により指示することができる。各配置アルゴリズム、配線アルゴリズムの選択法、あるいは各アルゴリズムのパラメータの選択法により多種多様な配置配線処理をおこなうことができるのが本システムの特徴であるが、表1に示した配置配線手順は比較的良いレイアウトが得られた代表的な例である。

表1. 配置配線手順

配置配線手順	内 容	使用アルゴリズム
P1	幹線分割しない初期配線をもとにしてセル、フィードスルーの交換をおこなう。	(B1) (A2)
P2	各セル毎に接続関係を調べ、その平均値に各セルを移動する。	(A3)
R1	幹線分割した初期配線をもとに幹線を詰める。	(B2) (B3) (B5)
R2	幹線分割した初期配線をもとに配線順序を交換して幹線を詰める。	(B2) (B3) (B5)
R3	幹線分割した初期配線をもとに配線順序を交換して幹線を折曲げて詰める。	(B2) (B3) (B5) (B4) (B6)

6. 実行結果

本システムを使用し、数10個の300~500ゲート規模の機能ブロックの設計を試みた。

前節で述べた配置配線手法P1, P2, R1, R2, R3を組み合わせ、4通りの手法について比較してみる。その結果を表2に示す。

表2の結果より、機能ブロックの集積度を上げるには③のP2, R2の組み合わせが有効であることがわかる。また基本セルの長さの面(基本セルを構成するトランジスタの大きさに影響をあたえ、基本セルの長さは短かい方が性能的に良好である)では④のP1, R3の組み合わせが有効であることがわかる。

配置配線アルゴリズムのちがいのほか、基本セルの縦、横の配列数がレイアウト品質に大きな影響をあたえる。この関係を表3に示す。この例においては

表2. アルゴリズムとレイアウトの関係

番号	配置手順	配線手順	チャンネル1		チャンネル2		チャンネル3		CPU時間		集積度
			トラック	セルの長さ	トラック	セルの長さ	トラック	セルの長さ	配置	配線	
①	P2	R1	35	17	44	15	47	18	148.5 SEC	159.0 SEC	200/ mm ²
②	P1	R2	38	16	47	18	47	13	139.9 SEC	175.6 SEC	175/ mm ²
③	P2	R2	35	17	44	15	46	18	147.6 SEC	170.5 SEC	205/ mm ²
④	P1	R3	36	16	44	16	46	13	138.9 SEC	212.1 SEC	200/ mm ²

表3. 配列数とレイアウトの関係

セル配列数 縦 × 横	セルの長さ	集積度
8 × 63	16	170/mm ²
6 × 83	18	205/mm ²

基本セルの長さを短かくし性能をあげるためには、横方向の配列数を少なくし（すなわち同一セル列に配置する基本セル数を少なくする）、機能ブロックの集積度の向上を図るためには、縦方向の配列数を少なくするのが良好であることがわかる。

図13に機能ブロック内のゲート数と集積度の関係を示す。一つの機能ブロックに収容するゲート数の増大と共に集積度が減少する傾向が認められるが、ネット数が増加する理由により、ある程度は避けられないことと思われる。

また図14にはゲート数と総トラック数の関係を示す。この図よりゲート数と総トラック数との間には比例関係が認められる。

7. 考察

以上報告したシステムは、機能ブロック内において100%自動配線を保障したこと、論理接続情報の入力、および配置修正における人手介入にあたり図形処理装置のみを人間とのインタフェースにしたことにより人為ミスを皆無にすることができた。さらに問題に応じて配置配線のアルゴリズムおよびそのシーケンスを選択できる機能により、性質の異なる幾多の論理機能ブロックに対して常に高密度、高性能化が期待できるシステムとすることができた。

以下に本システムの各処理に要する処理時間の概略を示す。

- ① 論理図入力：2人月/10kゲート
- ② セル列への割付け：
2時間/500ゲート（思考時間を含む）
- ③ 配置処理（CPU時間）：
100秒/500ゲート
- ④ 配線処理（CPU時間）：
200秒/500ゲート

図3に示したように本システムでは配置処理の結果を図形処理装置上で人手修正することが可能であること、および後に続く配線処理の時間が十分に短いことにより、配置修正→配線処理を繰返し実行し、満足できるレイアウトに収束させることが可能である。実際の例においては5~10回程度の繰返しで満足できるレイアウトが得られている。

本システムを使用した機能ブロック設計に要する時間は、セル列への割付けに必要な人手介入、および自動配置機能の貧弱さによる配置修正がネックとな

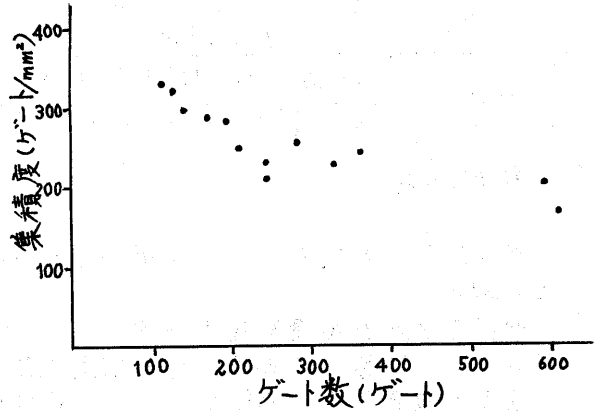


図13. ゲート数と集積度の関係

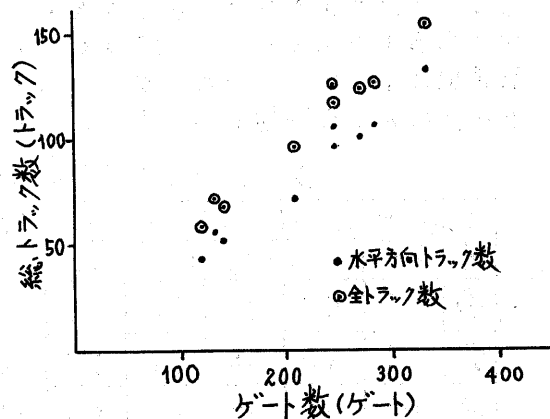


図14. ゲート数と総トラック数の関係

っている。セル列への割付けの自動化および自動配置機能の充実が急務である
と考える。配置機能の充実に関しては、まとまりの強いゲートをグループ化し
グループ単位で再配置を試みることにより解消されと考えられ、これらの課
題は論理分割の手法に帰着するものと思われる。

8. まとめ

現在、上記課題に対する検討、および機能ブロック相互間の自動配線プログラ
ムの検討を進めている。機能ブロック相互間の自動配線プログラムを含めた
VLSIレイアウト設計システムについては別途報告したい。

謝 辞

日頃御指導いただく論理回路研究室須藤室長ならびに室員各位に感謝する。

参考文献

- (1) 宮下他：機能ブロックマスク自動設計の一試案 54年信学全大
- (2) 永谷他：ブロックレイアウト設計プログラム (PLASMA) の構成
宮下他：ブロックレイアウト設計プログラム (PLASMA) のアルゴリズム
岡本他：ブロックレイアウト設計プログラム (PLASMA) の評価
以上 55年信学全大
- (3) B.T. Preas and C.W. Gwyn, " Methods for Hierarchical Automatic Layout of Custom LSI Circuit Masks," Proc. of the 15th Design Automation Conference, pp 206-212, June 1978.
- (4) K.J. Loosemore, " Automatic Layout for Integrated Circuits," Proc. of International Symposium on Circuits and Systems, pp 665-668, June 1979.
- (5) K. Sato, et al., " MIRAGE - A Simple Model Routing Program for the Hierarchical Layout Design of IC Masks," Proc. of 16th Design Automation Conference, pp 297-304, June 1979.
- (6) M. Watanabe, " CAD Tools for Designing VLSI in Japan," ISSCC DIGEST OF TECHNICAL PAPERS, pp 242-243, Feb. 1979.
- (7) H. Yoshizawa, et al., " A Heuristic Procedure for Ordering MOS Arrays," Proc. of the 12th Design Automation Conference, June 1975.
- (8) T. Kozawa, et al., " Advanced LILAC - An Automated Layout Generation System for MOS/LSIs," Proc. of the 11th Design Automation Conference, pp26-46, 1974.
- (9) A. Hashimoto., et al., " Wire routing by optimizing channel assignment within large apertures," Proc. of the 8th Design Automation Workshop, pp155-169, 1971.
- (10) G.Persky, et al., " LTX A System for the Directed Automatic Design of LSI Circuits," Proc. of the 13th Design Automation Conference, pp399-407, 1976.
- (11) K.Kani, et. al., "ROBIN; A Building Block LSI Routing Program," Proc. of International Symposium on Circuit and Systems, pp.658-660, Apr. 1976.