

論理接続チェックシステム

酒見淳也 西田隆夫 小澤時典 築添明 三浦地平

(株)日立製作所 中央研究所)

福田考樹 江口一彦 高橋強

(株)日立製作所 武蔵工場)

1. 緒言

LSI開発のアートワーク工程ではマスクパターンの検図が行なわれる。従来この検図は、設計者の目視検査によって行なわれ、長時間にわたる集中的な注意力を要す仕事になっている。しかも、ここでの設計ミスの見逃しは、マスクの再製作、再試作を招いて、開発期間、開発コストの上で大きな損失となる。マスクパターンの検図では主に次のチェックを行なっている。(1)プロセス設計基準チェック、(2)論理的接続のチェック、(3)回路の特性チェック。一方、LSIの規模は、年1.5~2倍の割合いで増加しており、これらのチェックを人手に頼ることは、もはや困難になりつつある。我々は、大規模LSIを対象とした(2)の論理的接続の検証を行なうCADシステムIVS (Interconnection Verification System)を開発した。

本システムについては、方式提案を昭和52年に、システム機能を昭和54年に報告してきた。本稿ではこれらをまとめて報告する。

IVSは、LSIのマスクパターンデータから論理回路の接続関係を復元し、論理設計の過程で作成される論理ファイルと比較照合して、不一致箇所を検出表示するチェックシステムである。IVSの特長は以下のものである。

- (1) 製造プロセスに依存しない。例えば、SiゲートやAlゲートのC-MOS, N-MOS, P-MOS およびバイポーラのいずれにも適用可能である。
- (2) 任意角度の斜め図形を含むマスクパターンに適用可能である。
- (3) 300Kトランジスタまでの大規模なLSIに適用可能である。

本稿では、IVSのシステム構成、接続関係の復元法、チェック機能および性能について述べる。

2. システム構成

論理的な接続関係を検証するためのアプローチとしては次の2つが考えられるが、IVSでは、マスクパターン上でエラーの場所が指摘できること、大規模なLSIに適用できることなど、現実的かつ実用的な(1)のアプローチを採用した。

- (1) マスクパターンから復元した論理回路の接続関係を論理ファイルと比較照合する。
- (2) マスクパターンから復元した論理回路の接続関係を、論理シミュレータや回路シミュレータに入力し、シミュレーション結果を人手で検証する。

両者を比較すると、(1)は前述したように、設計不良があった場合マスクパターン上でエラーの場所を指摘することが出来るが、(2)は指摘することが出来ない。又、計算機の使用時間は、(2)の場合シミュレータの実行が必要であり、(1)に比べ不利である。(1)の課題は、非セル回路の接続復元と可換性端子をもつ論理回路の接続検証であるが、IVSでは後述する方法でこれらの課題を解決した。

図 2.1 に I V S のシステム構成を示す。I V S の入力情報を以下に述べる。

(1) レイアウトファイル

アートワークシステムの出カであり，次の情報を含む。

- (a) マスクパターンの図形データ。任意角度の斜め図形を許す。
- (b) セルに対して，セル名および論理ファイルと対応したゲート名。
- (c) 入出カパッドには入出力信号名，電源パッドには電源名。
- (d) 非セル回路には，出力配線上にゲート名。

(2) セルライブラリ

アートワークシステムの出カであり，次の情報を含む。

- (a) セルパターンの図形データ。任意角度の斜め図形を許す。
- (b) セルの論理機能と端子情報（端子名，端子図形，端子の可換情報など）
- (c) 配線禁止領域（他のセルまたは配線が侵入することができない領域）

(3) 論理ファイル

論理シミュレータの出カであり，次の情報を含む。

- (a) ゲート間の接続情報

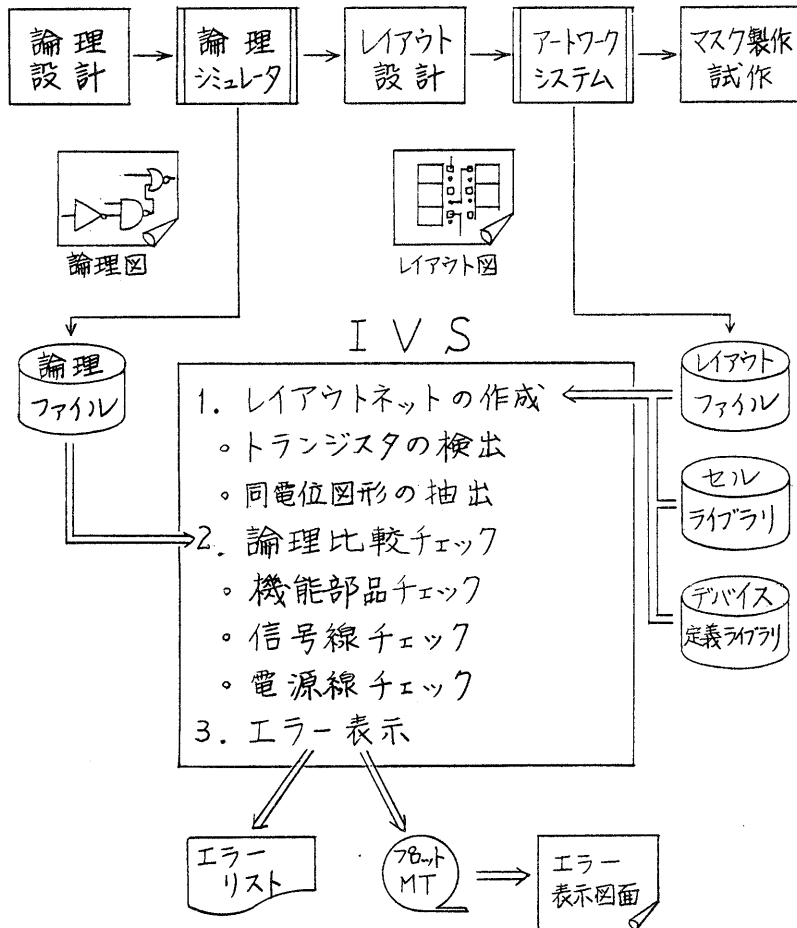


図 2.1 I V S システム構成

- (b) 各ゲートの論理機能とゲート名および端子名
- (c) 各ゲートに供給すべき電源名
- (4) デバイス定義ライブラリ
マスクパターンから接続関係を復元する時の処理手順を記述したライブラリである。処理手順は製造プロセスによって異なるため、これをライブラリ化して汎用性を図った。図 2.2 に Si ゲート MOS の場合の例を示す。

```

00010  EXAMPLE : PROCEDURE
00020  C ***** DEVICE DEFINITION *****
00030      DCL TRS      DEVICE      G DS DS
00040      DCL ( DF PS AL )      LAYER EXTERNAL CONDUCT
00050      DCL CT      LAYER EXTERNAL
00060      DCL ( DF_AL PS_AL )      CONNECT
00070  C ***** PROCESS START *****
00080
00090      PS      = OR( PS )
00100      AL      = OR( AL )
00110  C      /* GET TRS AREA & ACTIVE DIFFUSION AREA */
00120      TRS      = AND ( DF PS )
00130      DF      = SUB ( DF TRS )
00140  C      /* FIND TRS TERMINAL */
00150      TRS.G    = LAP ( TRS PS )
00160      TRS.DS    = TOUCH( TRS DF )
00170  C      /* FIND CONNECTIVITY WITHIN LAYERS */
00180      DF_AL    = LAP ( DF CT AL )
00190      PS_AL    = LAP ( PS CT AL )
00200  C ***** PROCESS END *****

```

図 2.2 デバイス定義ライブラリの例

3. 接続関係の復元法

ここまでの目的は、マスクパターンから「どの素子（セルあるいは非セルのトランジスタ）の端子とどの素子の端子が繋がっているか」を求めることである。この端子集合のことをレイアウトネットと呼ぶ。その作成手続きは、デバイス定義ライブラリに記述されている。以下に Si ゲート MOS を例にして、レイアウトネットの作成法を述べる。図 3.1 に、図 2.2 の手続きに従った処理内容を示す。

(1) 前処理

レイアウトファイルからマスクパターンデータを入力する。セルは、パターンデータは入力せず、端子図形のみを入力する。図 3.1 の DF は拡散層、PS はポリ Si 層、AL はアルミ層、CT はコンタクトホール層を示す。図 2.2 の行番号 40, 50 でこれらが入力層であり、DF, PS, AL 層は導電層であることを示している。

これらの入力層は、あらかじめ層別に OR 演算を行なって、分割して入力されたデータを一つにまとめる。図 2.2 の行番号 90, 100 が PS 層、AL 層の OR 演算手続きであり、図 3.1 にこの様子を示している。

(2) トランジスタの検出

非セル回路のトランジスタを検出する。Si ゲートの場合、拡散層とポリ Si 層の重なり部分が MOS トランジスタのチャネル領域であり、拡散層はこの

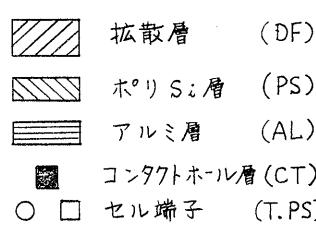
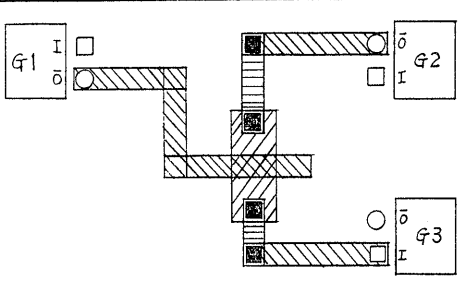
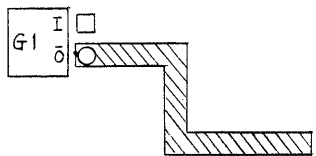
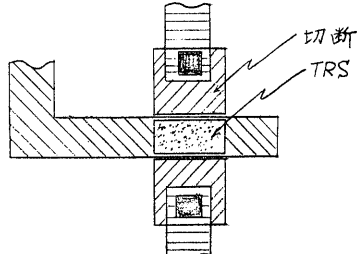
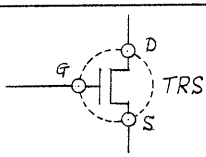
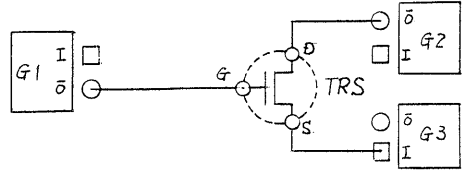
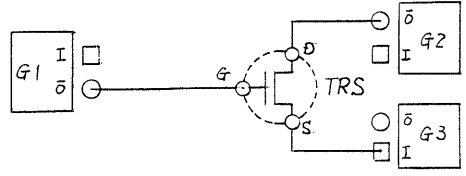
項番	処理内容	説明図												
1	入力データ 													
2	入力層の $\bar{O}R$ 演算 $PS = \bar{O}R(PS)$													
3	トランジスタ の 検出 $TRS = AND(DF PS)$ $DF = SUB(DF TRS)$													
4	トランジスタ端子 の 決定 $TRS.G = LAP(TRS PS)$ $TRS.DS = TOUCH(TRS DF)$													
5	配線追跡 $DF.AL = LAP(DF CT AL)$ $PS.AL = LAP(PS CT AL)$													
6	セル端子の 接続配線追跡 $LT.PS = LAP(T.PS PS)$													
7	レイアウトネット表の作成	<table border="1"> <thead> <tr> <th>ネット番号</th> <th>端子数</th> <th>端子名</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>2</td> <td>G1-O TRS-G</td> </tr> <tr> <td>2</td> <td>2</td> <td>G2-O TRS-D</td> </tr> <tr> <td>3</td> <td>2</td> <td>G3-I TRS-S</td> </tr> </tbody> </table>	ネット番号	端子数	端子名	1	2	G1-O TRS-G	2	2	G2-O TRS-D	3	2	G3-I TRS-S
ネット番号	端子数	端子名												
1	2	G1-O TRS-G												
2	2	G2-O TRS-D												
3	2	G3-I TRS-S												

図 3.1 レイアウトネットの作成法

チャンネル領域によって切断される。図2.2の行番号120がチャンネル領域の検出手続きであり、130が拡散層の切断手続きであり、重なり処理をAND演算、切断処理をSUB演算で行なう。図3.1にこの様子を示している。

(3) トランジスタ端子の決定

(2)で求めたチャンネル領域と切断された拡散層から、各トランジスタのゲート端子およびソース・ドレイン端子を決定する。チャンネル領域と重なるポリSiがゲート端子であり、チャンネル領域と接する拡散領域がソースまたはドレイン端子である。ここで、ソース端子とドレイン端子を区別する必要はない。

図2.2の行番号150がゲート端子、160がソース・ドレイン端子の決定手続きであり、LAP、TOUCH演算を用いる。

(4) 配線追跡

コンタクトホールを介して同電位となる、複数層にわたる配線間の接続関係を追跡する。拡散層とアルミ層の重なる部分にコンタクトホールがあればこれらは同電位であり、さらにポリSi層とアルミ層の重なる部分にコンタクトホールがあればこれらは同電位である。配線追跡の対象となる層は導電層に限られ（但し、コンタクトホールは導電層とは見なさない）、図2.2の行番号180,190に配線追跡の手続きを示す。

(5) 後処理

(a) セル端子の接続配線の追跡

セル端子がどの配線と繋がっているかを追跡する。この処理は、図2.2の行番号30で定義されている導電層とセル端子図形とのLAP演算を行なう。

(b) レイアウトネット表の作成

以上の結果から、同電位となる配線（ネット）に繋がっているトランジスタ端子およびセル端子をネットごとに求めて、レイアウトネット表を作成する。

以上述べた手続きの中で、OR演算、AND演算等の処理は、図形演算処理プログラムVSO⁵⁾⁶⁾Pを使用しており、任意角度の斜め図形を含む図形データにも適用できる。

4. チェック機能

IVSのチェック機能を表4.1に示す。チェック機能は、大きく次の3つに分類される。

(1) 機能部品チェック

セルの割り当て方が正しいかどうかの機能不良チェック、セルの配線禁止領域に他のセル又は配線が侵入しているかどうかの干渉チェック、ゲートの余分および不足のチェックを行なう。

(2) 信号線チェック

ネットチェックと端子可換性チェックを行なう。

(a) ネットチェック

論理ファイルに記述されている接続情報とマスクパターンから復元したレイアウトネット表を、ネット単位に次の方法で比較照合する。

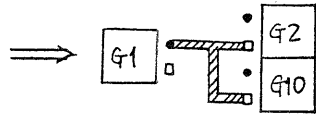

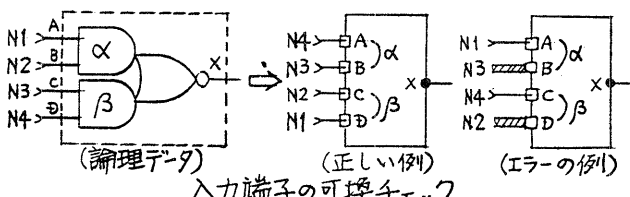
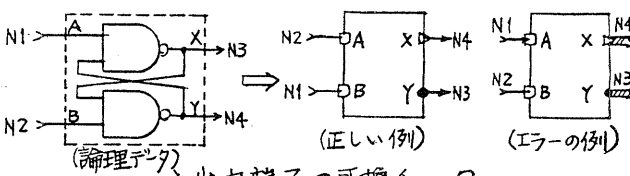
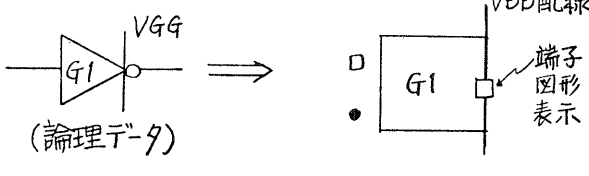
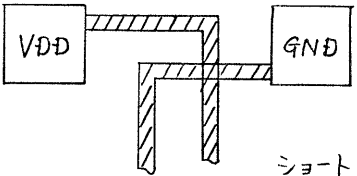
(i) ネットに繋がる端子数が一致するか？

不一致の場合、断線またはショートである。

(ii) ゲート名と端子名が一致するか？ 但し、可換端子をもつゲートの場合はゲート名のみを比較する。不一致の場合、誤結線である。

表4.1 チェック機能

チェック項目	機能説明 又は エラーの表示例
機能部品 セルの 機能不良チェック	<p>NOR G1 ⇒ (論理データ) G1 NAND</p>
干渉チェック	<p>G1 G2</p>
余分チェック	<p>(G100が論理ファイルにない時)</p> <p>G100</p>
不足チェック	<p>レイアウトファイルに不足している ゲートの一覧表を出力する。</p>

チェック項目	機能説明 又は エラーの表示例	
信号線 ネット チェック	ネット	 <p>誤結線の例</p>
	(論理データ)	 <p>断線の例</p>
端子可換性 チェック	端子可換性 チェック	 <p>(論理データ) (正しい例) (エラーの例) - 入力端子の可換チェック</p>
		 <p>(論理データ) (正しい例) (エラーの例) 入出力端子の可換チェック</p>
電源線 電源供給 種類チェック	電源供給 種類チェック	 <p>(論理データ) VDD配線 端子図形表示</p>
	電源線 接続チェック	 <p>ショートの場合</p>

(b) 端子可換性チェック

可換端子をもつゲートに対し端子可換性チェックを行なう。表4.1に入力端子の可換チェックと入力端子と出力端子が組になった場合の可換チェックの例を示している。前者の場合、 α , β への入力信号は可換であり、さらに(A, B)(C, D)の各端子の入力信号は α , β 内で可換である。後者の場合は(A, X)(B, Y)が組となって可換である。このような端子の可換性を考慮し、各ゲートの入力信号線のチェックを行なう。

(3) 電源線チェック

各ゲートに供給されるべき電源線の種類と、電源線の断線、ショートをチェックを行なう。

5. システムの性能

図5.1にIVSの性能を示す。計算機はM-180を使用した。図5.1からわかるように、10KトランジスタのLSIで、処理時間は約15分である。

IVSの特長は、処理時間がLSI規模に比例しているという点である。この種のシステムでは、3章で述べたマスクパターンの図形演算に要す処理時間が、全体の処理時間の6~8割を占める。この図形演算処理は、従来入力データ規模に対し1.2~1.5乗で比例していた⁵⁾。しかし、本システムでは、理論的に1.0乗で比例する高速化手法を開発した⁵⁾。図5.1からも、処理時間は入力データ規模の1.0乗で比例していることがわかる。なお、4章で述べたチェックのための処理時間も、入力データ規模の1.0乗で比例していることを確認した。

また、IVSが処理できるLSI規模は、計算機のメモリ量で決まる。計算機メモリ量が8MBの場合、300Kトランジスタまで処理可能である。

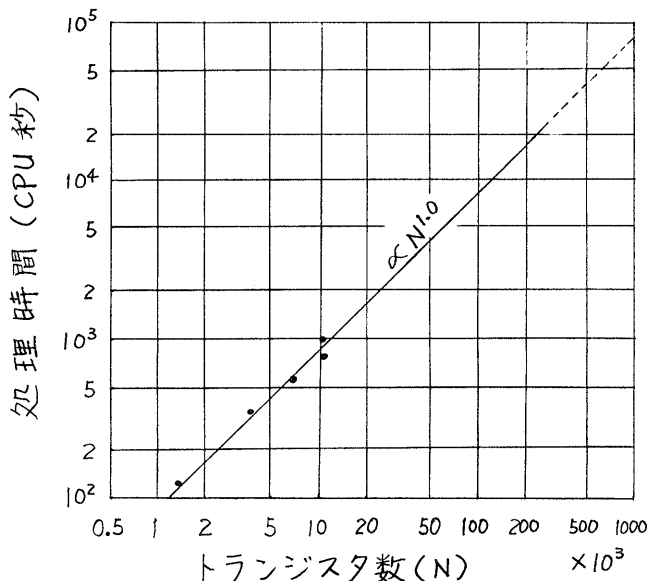


図5.1 IVS 処理時間

6. 結 言

マスクパターンから論理回路の接続関係を復元し、論理ファイルと比較照合して、不一致個所を検出表示するチェックシステムを開発した。

本システムの特長は、以下のものである。

- (1) 製造プロセスに依存せず、SiゲートMOS、AlゲートMOS、バイポーラなどに適用できる。
- (2) 任意角度の斜め図形を含むマスクパターンに適用できる。
- (3) 処理時間は、LSI規模に対し比例する。
- (4) 300kトランジスタまでの大規模LSIに適用できる。

7. 参 考 文 献

- 1) 小澤 他2: 論理接続チェックシステムの方式検討; 信学会半導体部門全国大会, Nō67 (1977.8)
- 2) 酒見 他2: 論理接続チェックシステムの論理比較法; 同上, Nō66 (1977.8)
- 3) 江口 他4: LSI接続チェックシステムIVS—機能概要と基本構成—; 信学会半導体材料部門全国大会, Nō58 (1979.10)
- 4) 酒見 他5: 論理接続チェックシステムIVS—チェック機能—; 信学会総合全国大会, Nō361 (1980.3)
- 5) 築添 他2: マスクパターンの図形演算手法; 情報処理学会電子装置設計技術研究会 (1979.12)
- 6) 築添 他3: LSIマスクパターン図形演算処理プログラム(VSOP); 信学会CAS79-141 (1980.1)
- 7) H. S. Baird; Fast Algorithm for LSI Artwork Analysis; Proc. of DA Conf., pp303 (1977.6)
- 8) H. S. Baird et al; An Artwork Design Verification System; Proc. of DA Conf., pp414 (1975.6)
- 9) 吉村 他: マスクパターン接続チェック, 回路特性算出プログラム(MICAP); 信学会全国大会, Nō52,53 (1978.3)
- 10) 大野 他: 論理接続チェックシステムPALMS; 信学会全国大会, Nō409,410 (1979.3)
- 11) T. Mitsuhashi et al; An Integrated Mask Artwork System; Proc. of DA Conf., pp277 (1980.6)