

# LSIアートワーク情報の電氣的接続検証システム —SIMPLE PALMS—

藤岡 督也

西口 信行

森 邦雄

岸本 有豊

高橋 節夫

川西 宏

( 日本電気(株) 集積回路専業部 )

## 1. はじめに

半導体集積回路の集積度(1チップ内の素子数)の向上はめざましく、ここ数年毎年2倍程度の割合で増加しており<sup>[1]</sup>、現在40万個を超えるものも出てきつつある<sup>[2]</sup>。このようなLSIの大規模化は、その設計過程に對して大きな影響を及ぼしており、計算機の助けを借りることが必要不可欠になっている。図1は、LSI設計の流れの例<sup>[3]</sup>を示したものであり、これらの各々の段階でその自動化がさまざまな形で進められている。このときの計算機の使われ方は、次の2通りに分けることができる。

- (1) 与えられた仕様に従って、計算機が自動的に(設計者の代わりに)設計を行なう使われ方
- (2) 設計は人間が行なうが、その結果が正しいかどうかを計算機を用いて確認する使われ方

上記(1)は、設計の自動化(DA: Design Automation)と呼ばれ、設計における計算機の使われ方の理想であるが、現実にはまだまだ問題が多く、必ずしもすべての集積回路で実用化されているとは言いがたい。一方、(2)は、計算機援用設計(CAD: Computer Aided Design)と呼ばれ、人手設計の結果が定められた規格、仕様に合っているかどうかを検証すること(ベリフィケーション)や、人手設計後実際にはそのものを作らず計算機上でその動作を模倣すること(シミュレーション)などがこれに含まれる。CADに関しては、設計の各段階において、いくつかの実用的なシステムが報告されている。

レイアウトアートワーク設計の検証は、図1の「ブロックレイアウト設計」、「チップレイアウト設計」、「アートワーク処理」の各部分で用いられている。これらの各部分において人手設計した場合、または、自動設計の結果を人手で修正した場合に、次に述べるような誤りが設計結果に混入する恐れがある。

- (1) 設計製造条件違反----最小素子寸法、最小素子間隔などに違反した誤り。
- (2) 論理的な接続違反----与えられた論理接続を実現していない誤り、例えばオープン、ショート、素子の欠落などの誤り。

これらのうちで、(1)に関しては、デザインルールチェックプログラム(DRCプログラム)がすでに実用的に使われている<sup>[4]</sup>。また、(2)に関しては、誤りの検出手法に例えば次のものがあり、それぞれ成果を上げている。

アートワークデータから論理情報を復元した後、

- (i) あらかじめ与えられた論理接続情報と自動的に照合する手法<sup>[5]-[7]</sup>。
- (ii) 論理シミュレーションプログラムの入力データを自動作成し、論理シミュレーションを実行する方法<sup>[8][9]</sup>。
- (iii) 論理図面、回路図面をプロット出力し、設計者の目視検査にゆだねる手法<sup>[10]-[12]</sup>。

これらの各々には、次のような長所欠点がある。(i)の場合、誤りがあればそ

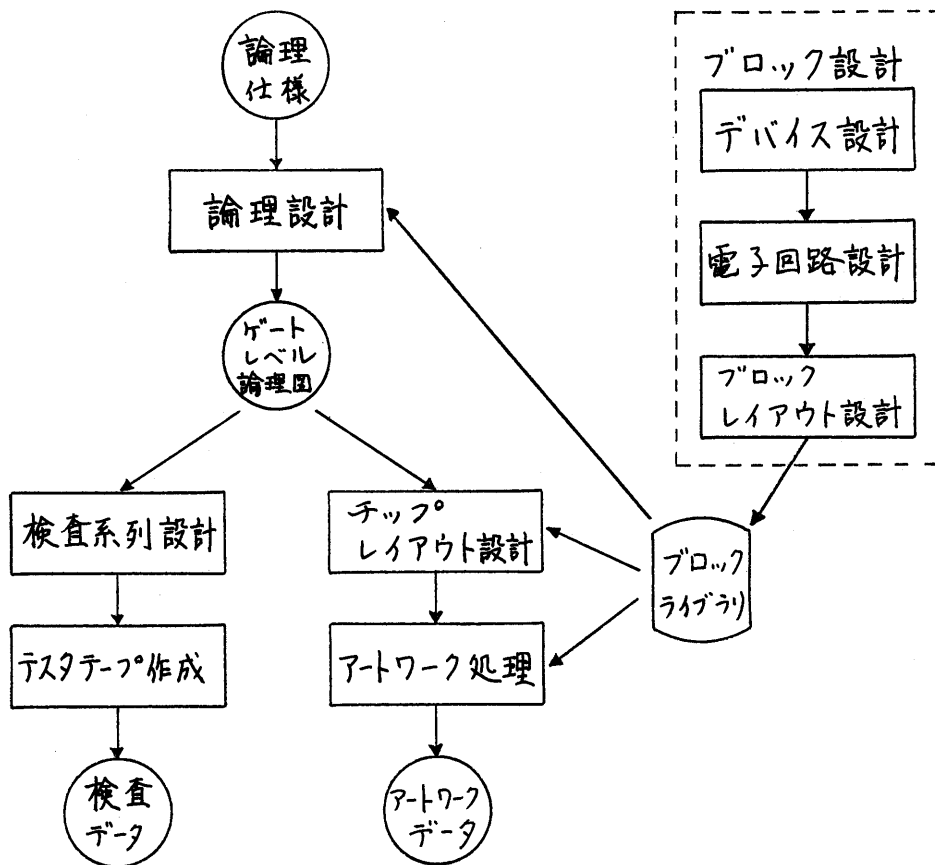


図 1. L S I 設計の流れ

の箇所をプログラムで特定できるという点で、最も精密な検証が可能であるが、そのためには、レイアウト図面上にブロック名の付与、端子名の付与などという付加作業が必要となる。(ii)の方法は、レイアウト図面上の付加作業は不要であるが、誤りの箇所の特定が困難であるという欠点がある。(iii)の方法は、設計者が目視検査を行なうので、回路が大規模になると実用的でなくなる。

本文では、アートワークデータの電気的接続関係の誤りを検出するシステム (SIMPLE PALMS) について述べる。

## 2. SIMPLE PALMSの概要

### 2.1. 特徴

本節では、SIMPLE PALMS のレイアウト設計における位置付けと特徴について述べる。

以前、筆者ら(の一部)は、レイアウト-論理自動照合システム: PALMS を発表した<sup>[5],[6]</sup>。PALMSにおいては、誤接続ネットなどをレイアウト図面上にプロットできるので非常に有効な検証システムではあるが、自動的に照合する

ためには、レイアウト中のブロックに論理接続情報と同一のブロック名を付与しなければならない。

SIMPLE PALMSは、PALMSにおける検査項目を減らす代わりにブロック名の付与を全く不用にしたシステムである。SIMPLE PALMSの用途としては、PALMSの前段階として実行する、レイアウト修正品種(以前に完成した品種で、性能向上、機能向上などのために一部分レイアウト変更したものに適用する、などがある。

SIMPLE PALMSにおける検査項目には、次のものがある。

- (1) 電源-グランド間のショート
- (2) 名前を付与した等電位集合間のオープンおよびショート
- (3) 1つの素子(トランジスタ等)にしか接続していない等電位
- (4) 電源もしくはグランドにショートしたゲートの等電位
- (5) すべてのトランジスタをオンしたときに、電源とグランドへのルートをもたない等電位
- (6) 孤立配線および孤立コンタクト  
N-MOSトランジスタの場合；
- (7) 負荷トランジスタのオ向違い
- (8) 複数の負荷トランジスタが接続している等電位(電源は別)
- (9) グランドに接続している負荷トランジスタ
- (10) プッシュプル・ゲートの検出  
C-MOSトランジスタの場合；
- (11) 接続関係の誤り
  - i) P型トランジスタがグランド側に接続しているもの
  - ii) N型トランジスタが電源側に接続しているもの
- (12) 相補性の検査

図8に、レイアウト検証システムにおけるSIMPLE PALMSの位置付けを示す。図中のPARADISEは、レイアウト図より回路図面を復元するシステムであり、詳細については文献[12]を参照されたい。図8に示す如く、これら3つのシステムは、図形処理を共通に持っている。図形処理の入力は、スタンドアロンインタラクティブシステムが出力するアートワークデータである。図形処理において、トランジスタの認識および等電位の追跡が行なわれ、その結果が等電位ファイルに出力される。図8の右側は、それ以後のPALMSの処理の流れを示す。PALMSでは、等電位ファイルから論理を復元し、与えられた論理接続と照合することによって、誤りの箇所をプロット出力される。図8の左側がPARADISEの処理の流れである。PARADISEにおいては、等電位ファイルから設計者が検証し易いような回路図面をプロット出力する。図8の中央が本文で述べるSIMPLE PALMSの処理の流れである。等電位ファイル中の電氣的な接続関係を検査し、誤りの箇所をプロット出力する。また、設計者の指示によって、電源やグランドなどの図形情報をプロット出力することもできる。

以下に、SIMPLE PALMSの特徴を述べる。

- (1) チップ全体を一度に実行する。
- (2) 入力データは、配線上に名前を付与したアートワークデータだけである。
- (3) 配線名は、電源、グランドやクロックなどに極少数付与するだけでよい。

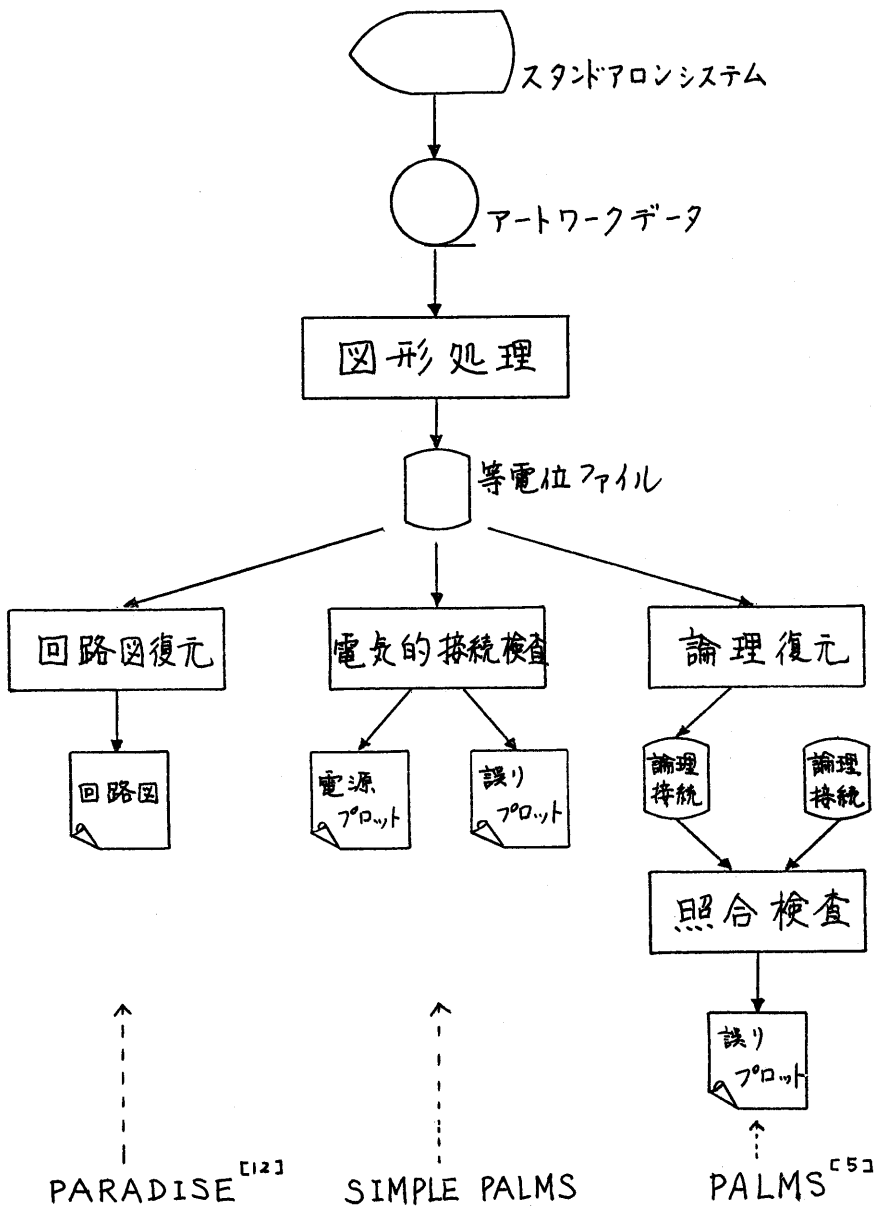


図 2. レイアウト検証システム

- (4) 出力は、レイアウトのモニター図と1対1に対応することができる誤りの箇所を特定したプロット図である。
- (5) 電源とグラウンドなどの図形情報をアウトラインしてプロット図に出力することができる。
- 次節より SIMPLE PALMS で用いている算法について述べる。

## 2.2. 図形処理

SIMPLE PALMSの図形処理では、与えられたアートワークデータより等電位な図形をひもとくために、図形全体を等電位な集合の集まりとして表わしている。ここでその処理の概略を述べる。

### 2.2.1. 問題の定式化

アートワークデータは、矩形、三角形、線分の形状をした基本図形 $u$ の集合 $\mathbb{U}$ と考えられる。また、基本図形 $u$ は、次の4つのパラメータで表現できる。

$$u = (s_u, z_u, l_u, i_u)$$

ここで、 $s_u$ :形状の区別(矩形, 三角形, 線分)

$z_u$ :座標

$l_u$ :層区別(ポリシリコン, 拡散, アルミ, コンタクト)

$i_u$ :図形の名称(ソース, ゲート, ドレイン等)

ここで解かれるべき問題は、次のとおりである。

[トランジスタ認識問題]

$u, w \in \mathbb{U}$  に対して

i)  $l_u$ :ポリシリコン

$l_w$ :拡散

ii)  $u$ が $w$ を横切っているとき、 $w$ を $u$ によって生じた図形 $w_1, w_2$ に分割し、 $w_1$ :ソース,  $w_2$ :ドレイン,  $u$ :ゲートとせよ(図3参照)。

(定義)

(i)  $u, w \in \mathbb{U}$  に対して、

$u \cap w \neq \emptyset$  かつ  $l_u = l_w$

または  $l_u$  もしくは  $l_w$  がコンタクト層のとき、 $u$ と $w$ は接続しているという。

(ii)  $u, w$  に対して、鎖  $u_0, u_1, \dots, u_n$  が存在して  $u = u_0, w = u_n, u_i$  と  $u_{i+1}$

( $i = 0, \dots, n-1$ ) が接続しているとき、 $u$ と $w$ は等電位であるという。

[等電位追跡問題]

$\mathbb{U}$  を等電位な集合  $\mathbb{U}_1, \dots, \mathbb{U}_n$

に分割し、 $\mathbb{U} = \mathbb{U}_1 \oplus \dots \oplus \mathbb{U}_n$

とせよ。

### 2.2.2. ページング法

Step 1:  $\mathbb{U}$  の存在領域  $A$  をいくつかの部分領域(ページ)

$A_1, A_2, \dots, A_p$  に区分する。

Step 2: 未処理のページがあれば  $A_i$  として Step 3 へ、なければ終了。

Step 3:  $A_i$  内でトランジスタの

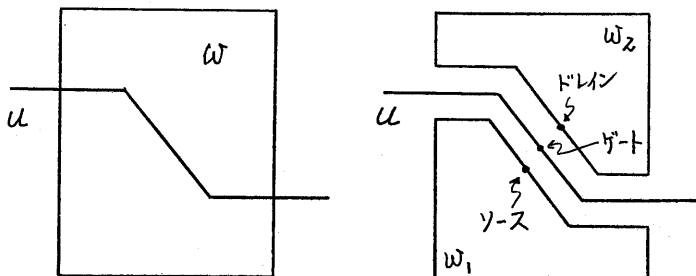


図3. トランジスタの認識

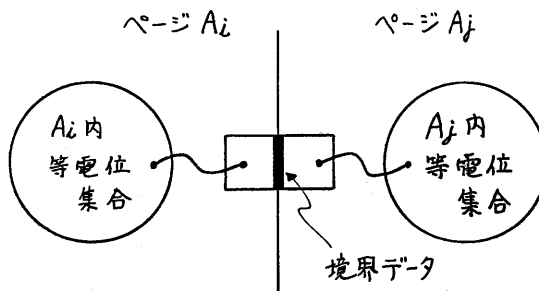


図4. 境界データの発生

認識問題を解く。

Step 4:  $A_i$ 内で等電位追跡問題を解く。

Step 5:  $A_i$ のページ境界に接する基本図形に対して境界データを発生させ、他のページの等電位集合と $A_i$ 内の等電位集合を合体させる(図4参照)。

Step 2へ。

### 2.2.3. トランジスタ認識

図3のように、ポリシリコン図形 $u$ が拡散図形 $w$ を横切っているとき、 $u$ によって $w$ を2つの図形 $w_1, w_2$ に分割し、それぞれをトランジスタのソースヒドレイン、 $u$ をトランジスタのゲートとして認識する。

### 2.2.4. 等電位追跡

ページ $A_i$ に対するメモリマップ $M_i$ を用意する。ページ $A_i$ に属する基本図形 $u$ で、 $\alpha$ 層に属するものと $\alpha$ 層と $\beta$ 層を結ぶコンタクト層に属するものを同じ $M_i$ 上に書き込む。2つの図形 $u_1, u_2$ が $M_i$ 上の同じ位置に書かれた場合 $u_1, u_2$ は接続しているのので、同一の等電位集合に入れる。この処理をすべての層について行なえば、ページ $A_i$ 内のすべての等電位集合を得ることができる。

## 2.3. 電氣的接続検査

図形処理における等電位追跡の結果得られた等電位ファイルは、各等電位毎に分かれており、それぞれの等電位に含まれるべき図形情報およびそれに付与した名前がポインタで連結されて格納されている。SIMPLE PALMSは、この情報をもとにして等電位集合だけから判別できる電氣的な接続関係を検査するシステムであり、検査方法は次のとおりである。

#### (1) 電源-グラウンド間のショート

同じ等電位集合内に電源とグラウンドに付与された名前が入っているかどうかを検査する。

#### (2) 名前を付与した等電位集合間のオープンおよびショート

同じ等電位集合内に異なった名前があるとショート、別々の等電位集合に同じ名前が入っているとオープンとする。

#### (3) 1つの素子にしか接続していない等電位

等電位集合内に1つしか素子が存在しないときに出カする。

#### (4) 電源もしくはグラウンドにショートしたゲートの等電位

電源もしくはグラウンドの等電位集合にトランジスタのゲートが存在するとそれをすべて出力する。

#### (5) すべてのトランジスタをオンしたときに、電源とグラウンドへのルートをもたない等電位

これは、論理を合成して行なっているわけではなく、電源に接続しているトランジスタから

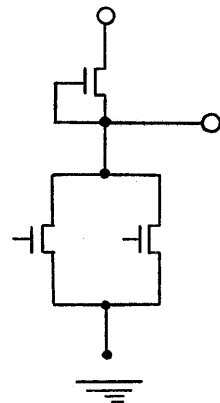


図5. 検査項目(5)の例

開始して各トランジスタをオンしながらソースとドレインの等電位集合を結び付ける処理を行なって、グラウンドへ通ずるルートがあるかどうかを判断している。例えば、図5の場合は、グラウンドへ接続するためのコンタクトを忘れているために、グラウンドへのルートがなくなった誤りの例である。

(6) 孤立配線および孤立コンタクト

等電位集合の中に配線情報もしくはコンタクト情報しかない場合に誤りとして出力する。

N-MOSトランジスタの場合；

(7) 負荷トランジスタの方向間違い

電源の等電位集合に負荷トランジスタのソースが存在するとそれをすべて出力する（負荷トランジスタは、あらかじめ登録したブロックのみ取扱える。登録ブロックのソース端子は、あらかじめ指定しておく。）。

(8) 複数の負荷トランジスタが接続している等電位

電源以外の等電位集合で、その中に複数の負荷トランジスタが入っているとそれらを出力する。

(9) グラウンドに接続している負荷トランジスタ

グラウンドの等電位集合に負荷トランジスタがあるとそれをすべて出力する。

(10) フォッシュフル・ゲートの検出

電源の等電位集合に負荷トランジスタ以外のトランジスタが存在するとそれをすべて出力する。

C-MOSトランジスタの場合；

(11) 接続関係の誤り

i) P型トランジスタがグラウンド側に接続しているもの

ii) N型トランジスタが電源側に

に接続しているもの

これらは、電源の等電位集合にN型トランジスタが、グラウンドの等電位集合にP型トランジスタがそれぞれ接続している場合に誤りとして出力する。

(12) 相補性の検査

P型とN型のトランジスタがある等電位集合から始めて、電源側とグラウンド側にあるトランジスタの接続関係からそれらを直並列グラフで表現する。この結果をもとにして、P側とN側の相補性の検査を行なう。

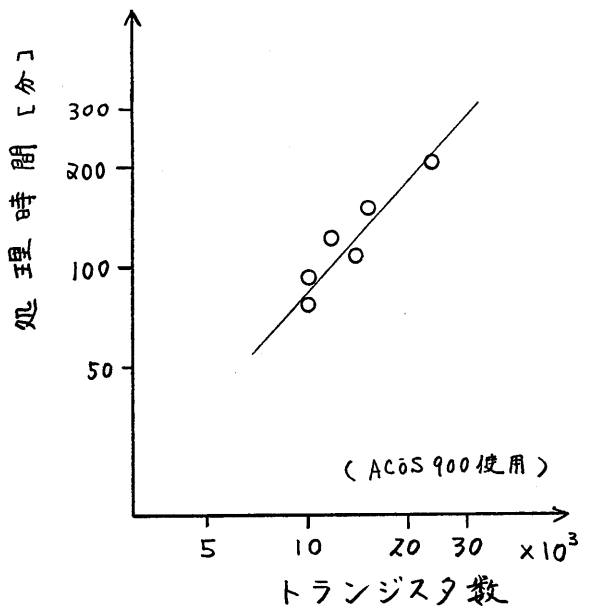


図6. 処理時間

3. 実行結果

図6は、トランジスタ数を横軸にして処理時間を両対数でプロットしたものである。この結果から、

処理時間は、ほぼトランジスタ数に比例していることがわかる。

図7は、誤りのプロット出力の例である。誤りの種類は、プロット出力された誤りの層を分けることによって区別している。また、ある等電位が何らかの誤りとして検出されたときは、その等電位に含まれる図形をすべて出力している。こうすることによって、どんなに大きな等電位集合であっても一目で全体を見ることができ、結果の解析を非常に簡単に行なうことができる。

図8は、電源の等電位集合をアウトライン処理をしてプロット出力したものである。この図面を見れば、電源(もしくはグランド)が本当に設計どおりに配線されているかどうか一目でわかり、検査を非常に簡単にすることができる。さらには、この結果を用いることによってDRCプログラムを実行する際に、電源やグランドを判別できるのでより詳細な設計規則の検査と実行することができる。

#### 4. あとがき

本文では、アートワークデータの電氣的接続検証システム: SIMPLE PALMSの概要について述べた。本システムは、入出力関係の操作性の良さおよび出力結果の解析が非常に簡単であるということから、LSIアートワークデータの検証の有力な手段としてその実用性が実証され、現在多くの品種で用いられている。

残された問題としては、チップの大規模化への対応、階層検査などである。

#### 謝辞

本文をまとめるに当って、有益な助言を戴いた関係上司の方々に深謝する。

#### 参考文献

- [1] 西出: LSIにおけるCAD, 計測と制御, 19, 5, P.54 (1980)
- [2] J.W. Bayers, et al: A 32b VLSI CPU Chip, Proc. ISSCC '81, P.104 (1981)
- [3] 可児: LSIのCAD, 電子通信学会誌, 61, 7, P.710 (1978)
- [4] D. Alexander: A Technology Independent Design Rule Checker, 3rd USA-Japan Computer Conf., P.412 (1978)
- [5] H. Kawanishi, et al: An Automatic Layout-Logic Verification Algorithm for VLSI, Proc. ECCTD '80 (1980)
- [6] A. Kishimoto, et al: An Interconnection Check Algorithm for Mask Pattern, Proc. ISCAS, P.669 (1979)
- [7] 江口他: LSI接続チェックシステムIVS—機能概要と基本構成—, 信学会半導体・材料部門全大, 講演番号58 (1979)
- [8] 今藤他: マスフレイアウトパターン逆変換システム: PALLEQ, 信学会全大, 講演番号404 (1979)
- [9] 河村他: 論理シミュレーションによるマスクパターンの自動検証(MACLÖS), 信学会全大, 講演番号360 (1980)
- [10] 高島他: マスクパターン解析システムの回路図作成プログラム, 信学会全大, 講演番号402 (1979)



[11] S. Yamada, et al: A Mask Pattern Analysis System for LSI (PAS-1),  
Proc. ISCAS, P. 858 (1979)

[12] 西口他: LSI回路図復元アルゴリズム, 回路とシステム研究会, CAS 80-75  
(1980)

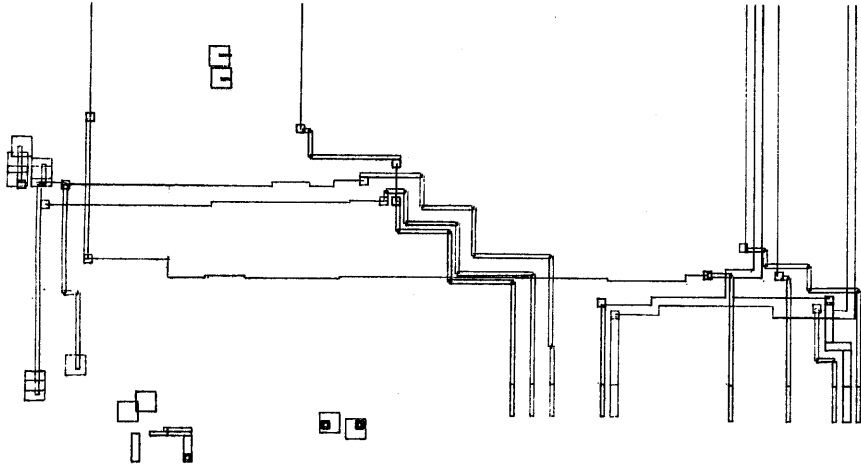


図7. 誤りのプロット出力

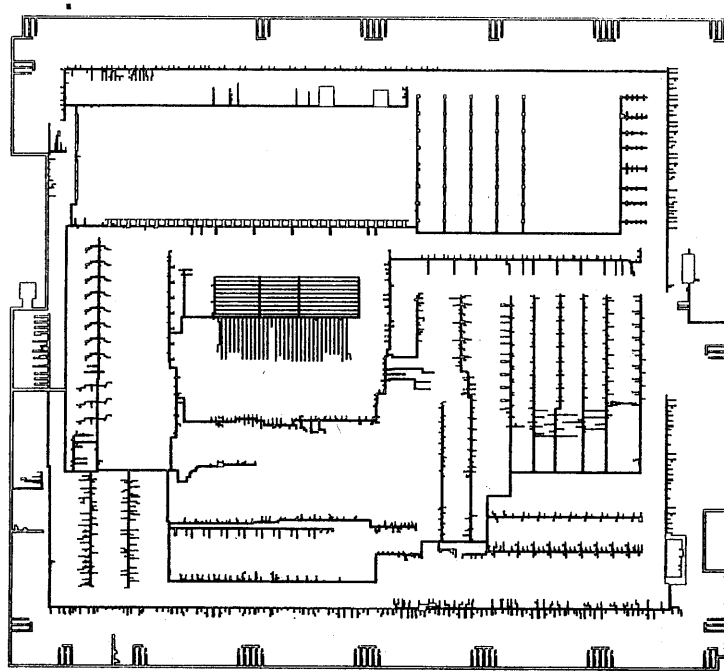


図8. 電源のプロット出力