

“ 信号線の属性を考慮したチャネルルータ ”

石井 真, 原田敬子, 井戸幸彦, 小山正弘, 井上隆秀
(ソニー株式会社 半導体事業本部)

あらまし

ゼネラルセル方式のLSIパターン設計システムにおける、チャネルルータの一手法を報告する。その特徴は、優先順位を持つ2層配線プロセスに適応し、電源線等、信号線の属性から要求される配線層割当の制約を考慮している点にある。手順としては、層割当からの要求を、配線間の上下制約としてモデル化し、従来からの上下制約に追加する操作を行っている。実験の結果、制約の増加によるトラック幅への影響は少なく、十分実用に耐え得る見通しをもった。

1. はじめに

LSIレイアウトの自動設計システムにおける2層配線によるチャネルルータに関しては、従来さまざまな手法が提案されている。(1)~(3) これらの手法は、トラック幅の最小化を目指したものであり、その際に、配線が割当てられる2層の重みは、等価とみなされている。

一方現実のプロセス上の制約からは、Al, Poly 2層配線のように、割当てられる2層の間に、優先順位が存在する場合があり、その際には、特定の層が優先的に配線されるのが普通である。又、電源線やGND等、強制的に特定の層に割当てることが要求される場合もある。このような場合には、従来のチャネルルータを直接適用することは出来ない。

本文に報告するチャネルルータは、

ゼネラルセル方式のセル配置に対し配線層に割当てられる2層に優先順位が存在する場合に、対応し得る柔軟なルータであり、特定の層を優先的に配線することが可能である。特に、信号線をその属性により、特権、準特権、一般の3種類に分類し、その優先順位に応じた層割当を実現している。又、各配線に、幅コードもパラメータとして与えることにより幅広配線にも対応出来るものとなっている。

このチャネルルータは、現在開発中のLSIレイアウト自動設計システムの配線処理ルーチンで使用されている。

2. 背景

2.1 処理フロー

システムのレイアウト部分の流れ図を図1に示す。

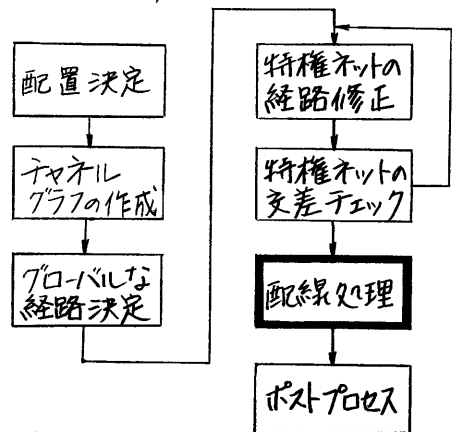


図1. レイアウト設計の流れ

本システムでは、任意サイズの矩形モジュールの取り扱いが可能であり、図2に示すようにサーキット内のモジュール、パッドの位置が決定されると、その配置に対してチャネルグラフ(4)を作成する。チャネルグラフは、モジュール間の配線領域(チャネル)を枝に対応させたグラフである。このグラフに於て、垂直(水平)方向に連続した枝から成る、極大パスをストリートと呼ぶ。ストリートは、チャネル配線を行う際処理される配線領域の基本単位である。次のステップにおいては、各信号線に対して、チャネルグラフ上でのグローバルな経路を決定する。(5)その後、持権ネットと呼ばれる特定層への割付けが強制される信号線に対しては、人手による経路修正によって持権ネット相互の交差が無い状態にする。これらの処理を経て、本チャネル配線ルーテンに入る。配線ルーテンの詳細については、以降に述べる。

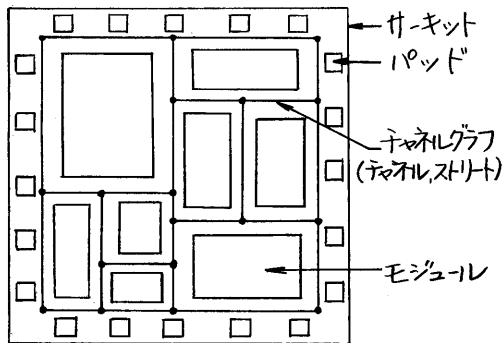


図2. モジュール配置とチャネルグラフ

2.2 レイアウトルール

配線のレイアウト上の基本的なルールについて説明する。配線は、一つの図形として考えられるがチャネルルータのプログラムにおいては、中心線の

線分情報と幅情報によってそのデータを管理している。以下この中心線の線分を、その信号線のセグメントと呼ぶことにする。一つの信号線は複数のセグメントの集合とみなせる。配線の幅に関しては、基本単位幅の整数倍で定義されるが、以下の議論においては、便宜上すべての信号線は、基本単位幅を持つものとする。幅広信号線への議論の拡張は容易である。セグメントをモジュール間に割当てて行く際の単位間隔をピッチと呼ぶ。ピッチの値は、プロセス上の要求から決定され、レイアウトの初期段階にパラメータとして入力される。信号線のレイアウトの基本ルールは、以下の2点にまとめられる。

- ①異なる信号線のセグメントで、同一層にあるものは1ピッチ以上離れていること。
- ②信号線のセグメントとモジュールの外形線とは、1ピッチ以上離れていること。

この関係を図3に示す。図からわかるように、セグメントの端点にはスルホールが置かれる場合があるが、上述のルールはスルホールの有無には依らない。

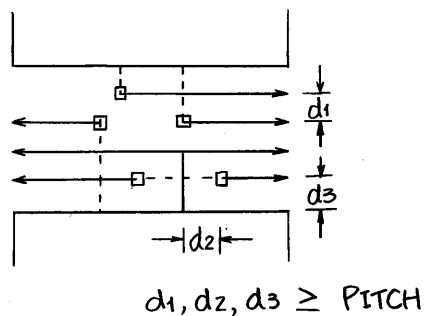


図3. レイアウトルール

2.3 信号線の属性と層割当

本報告に述べる設計ルールでは、信

号線の割当層は才1層 (Poly Silicon) と才2層 (AL) からなるが、両層の間には電気的特性において大きな差がある。(通常抵抗率で 10^3 倍程度) のため、回路特性上の理由から信号線によっては特定層のみで配線することが要求される。電源線、GND線等は、必ず才2層で配線しなければならない。従って電源線とGND線が交差する場合には、層割当不可能となるためあらかじめこの様な交差が生じないように前処理が必要となる。又、その他の信号線の中でも、クロックラインのように可能な限り才2層で配線することを要求されるものも存在する。

この様に、層特性の違いにより信号線集合の間に属性から決まる、層割当の優先順位が発生する。こうした層割当の制約が、チャンネルルールにおける新たな制約として付加される。

3. 前提条件

3.1 属性による信号線の分類

信号線の集合を、その属性によって次の3種類に分類する。

- ① 特権ネット …… 電源、GND等、必ず才2層で配線される信号線。
- ② 準特権ネット …… クロックライン等特権ネットに次いで層割当の優先順位の高い信号線。
- ③ 一般ネット …… ①、②以外の信号線。

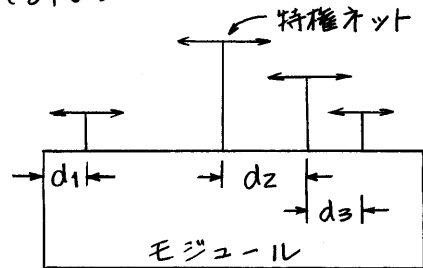
この順序で信号線の層割当の優先順位が決定される。従って異なる優先順位の信号線が交差する場合は、その優先順位に応じて才1層、才2層への割付けがなされなければならない。

3.2 ピン位置に関するルール

モジュールのピン位置に関して以下の設計ルールを設ける。(図4)

- ① 異なる信号線につながるピン対は、1ピッチ以上離れていること。
- ② ピンとモジュールの端点との距離は、1ピッチ以上離れていること。
- ③ 特権ネットにつながるピンと、他のピンとの間は2ピッチ以上離れていること。

これらのうち、①は(2.2)で述べたレイアウトルールより自明である。②、③は、層割当が上下制約に及ぼす影響を緩和するために設定したルールである。



$$d_1, d_3 \geq \text{PITCH}$$

$$d_2 \geq 2 \times \text{PITCH}$$

図4. ピン位置のルール

4. 層割当と上下制約

4.1 層割当の基本ルール

チャンネル配線は、ストリートと呼ばれる連続したチャンネル領域ごとに行われるが、その際一つの信号線の層割付は、原則としてストリート方向の配線(幹線)を才2層に、ストリートと直交する方向の配線(支線)を才1層に当てる。(図5)これは、才2層の使用率を高めるためである。この際直交するストリートへ流れ込む配線に対し

では、層変更の必要が生じるがその地点としては、図に示すように交差点出口の両側モジュールのうち、内側にあるモジュールの端点の位置を選んでいる。

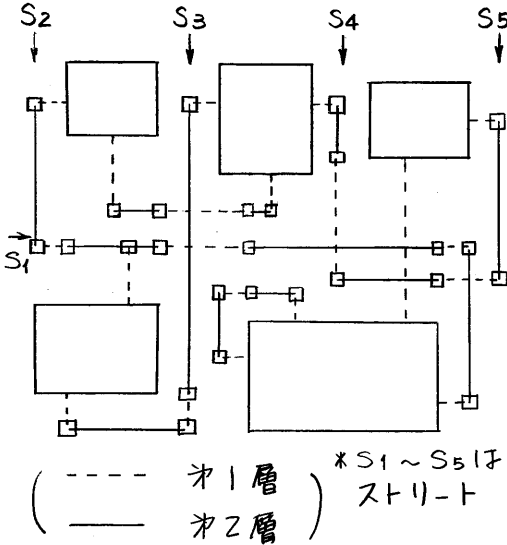


図5. 層割当の基本ルール

4.2 幹線間の上下制約

ストリート内の配線は、図5に示す様に各信号線の幹線を1ピッチ間隔で重ならないように並べる問題に帰着されるが、その際ピン位置によっては、幹線間に上下の制約関係が発生することが従来から良く知られている。

一方これまで述べてきた層割当のルールによって新たな幹線間の上下制約関係が発生する。そこでこれからの上下制約関係をまとめ、図6に列挙する。

タイプ1は従来から知られている上下制約であり、この制約が破られると、a, bの支線間の距離が2.2の設計ルールに違反する。

タイプ2, 3は、特権ネットのピンの位置で発生するという意味で同じ性質を持つが、aが特権ネットであるか

否かにより、その後の扱いが異なるため分けてある。

タイプ4は、ストリートの境界部分にあるピンに接続する信号線と、この地点で層変更をおこなう信号線との間に発生する制約で、図において、a, b間の制約が破られると、aの支線, bの幹線間の距離が2.2の設計ルールに違反する。

タイプ5は、交差するストリートに属するピンにつながる信号線と、そこを通過する特権ネットとの間に発生する制約である。

準特権ネットについては触れていないが、以降の手順に述べるように特権ネットとの間で問題が発生しない限り、特権ネットと同様にみなして、制約を考えている。

| 917° | 制約関係 | |
|------|------|-------------|
| 1 | | a ↓ b |
| 2 | | a ↓ b |
| 3 | | a ↓ b |
| 4 | | a ↓ b |
| 5 | | a ↓ b |

図6. 制約の分類

4.3 制約矛盾の解消

一連の制約を制約グラフとして表現した場合、制約関係が閉路をなす場合がある。Type 1の制約が閉路をなす場合の解消法としては、幹線分割による手法が良く知られている。

一方、本文で定義した制約のうち、Type 2の制約については、図7に示すような層変更によって制約自身を解消出来る。しかしこの場合、新たに制約が発生する可能性があるため注意を要する。

図8において、 $b \rightarrow a$ への制約を図8のようにbの層変更で解消したとする。その際、aのピンの水平座標を X_a とすると、bの層変更点は、 $X_a \pm \text{PITCH}$ の位置となる。この時、 $\text{PITCH} \leq |X - X_a| < 2 * \text{PITCH}$ なるXの領域にピンが存在すると、そのピンにつながる信号線とbとの間に、図8に示すような新たな制約が発生する。aが特権ネットである場合には、前述のピン位置のルールから、図8においてS_{DL}やS_{DR}につながるピンは存在しないため、制約の発生は半減される。

本処理手法においては、Type 2の制約を見つけに時点で、これらの隣接ピンの存在を同時に調べている。

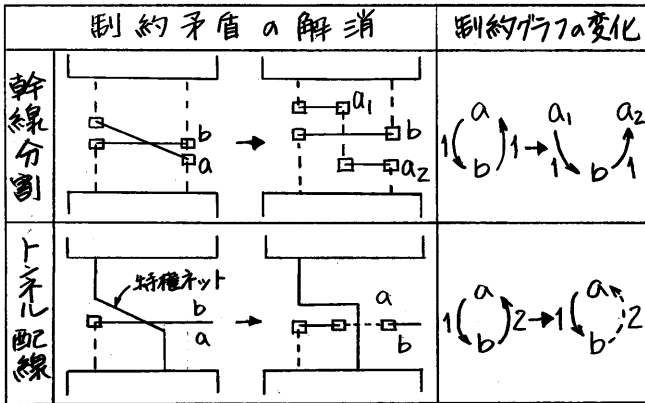


図7. 制約矛盾の解消

5. 処理手順

図9に配線処理の大きな流れ図を示す。まず、チャンネルグラフの構造から決まる順序に従って処理ストリートを選択する。

次に、信号線の幹線間の上下制約グラフを作成する。その際、仮に準特権ネットも一般ネットと同様にみなして、Type 1~5の制約を求める。その後、準特権ネットにつながるピンの特権ピンとみなせるか否かを次の手順により判定する。G_cは上下制約グラフを表わす。

<手順5.1>

準特権ネットにつながる各ピンに対して、以下の処理をする。

Step 1. ピンの特権ピンとみなし、真の特権ネットとの間のType 3の制約の有無を調べる。制約がなければStep 3へ。

Step 2. 発生したType 3の制約を $a \rightarrow b$ とする時、G_cにおいて $b \rightarrow a$ の制約パスの存在を調べる。

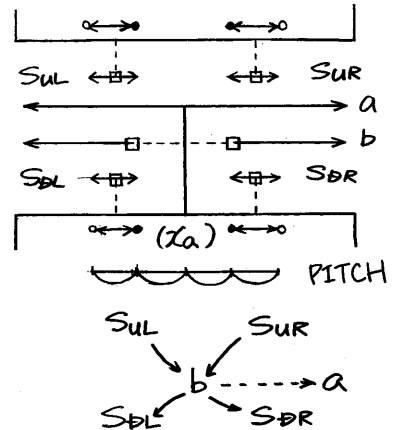


図8. 層変更と発生する制約

パスが存在しなければ、Step 3へ。
 存在するならば、ピンは一般ピン(オ1層の支線で配線する)とみなし終了。
 Step 3. ピンを特権ピンとみなし、Type 2, Type 3の制約をGcに追加する。
 終了。

〈手順完〉

この手順のStep 2では、新たな制約閉路の発生を制限している。
 こうして得られたエ下制約グラフにおいて、DFSによるループ探索を行う。探索の結果、ループが存在する場合には、制約矛盾を解消するための処理を行う。(図10)

その手順としては、まずループ内にタイプ2の制約があるか否かをチェックする。タイプ2の制約がある場合には、トンネル配線による制約解消可能性を調べる。解消可能と判定された場合には、その制約を制約グラフから除き、発生する制約があればグラフに付加する。ループ内にタイプ2の制約がない場合、あるいは制約が解消不可の場合には、幹線分割を試みる。

現在の手順では、これらの方法により解決されない制約矛盾に対しては、該当信号線の経路変更やモジュール移動等の方法で対応している。

一連の処理を経て、閉路のない状態にセットアップされたエ下制約に従い、次のトラップ割当ルーチンを用いて、各幹線のチャンネルへの埋め込みを行う。その際には、ストリーートの凹部への幹線の埋め込みを積極的に行い、使用チャンネル中の最小化を図っている。本チャンネルルーチンは、層割当の要求を満了事を最終目標としているため、結果として冗長なスルホールも生じる。これらのスルホールは、ポストプロセ

スのスルホール除去ルーチンにより除かれる。

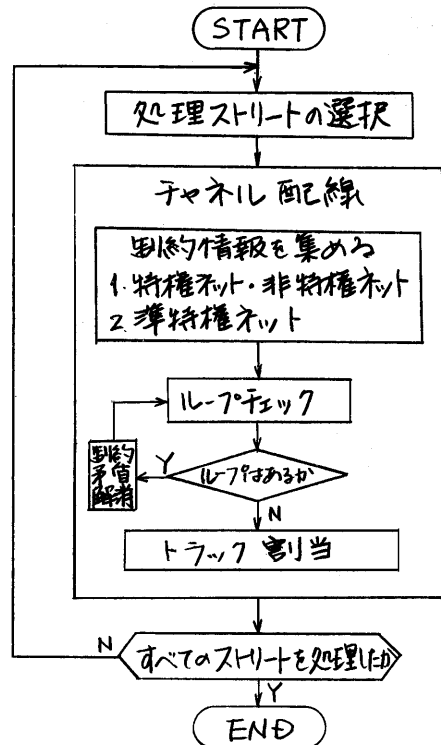


図9. 配線処理の流れ

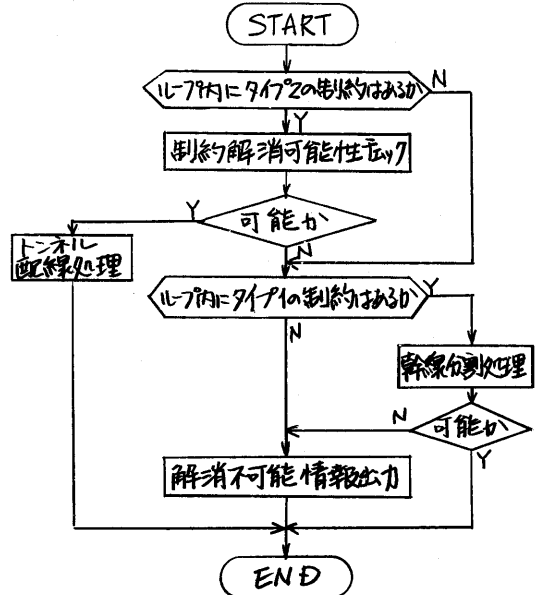


図10. 制約矛盾解消処理の流れ

6. 処理結果

図11に、規模の異なる2つのデータに対して、特権ネット処理を施した際の結果を示す。両データに関して、全ネットを一般ネットとして扱った場合とを比較している。

特権コードを与えたネットに対しては、オ1層配線長は0となり、準特権ネットに対してもオ1層配線の割合が大幅に減少している。又、総配線の分布の比較においても、オ2層配線はオ1層配線の4~5倍となっており、配線層の優先度を考えた層割当ルールが結果に反映していることが解る。

一方、特権ネットに関する制約を、追加した事によるチップ面積への影響は、きわめてわずかであり、ほとんど無視出来る範囲内であると考えられる。図12に、実際の配線例を示す。

(データ1)

7. おわりに

信号線の属性による層割当要求を配慮したデュアルルータについて報告し

た。本ルータは、現在開発中のゼオウルセルレイアウト自動設計システムにおいて使用されている。今後は、さらに大規模なデータに対して適用しながら、性能改善(制約矛盾解消性能の増強等)を目指したいと思う。

最後に、日頃御指導御援助頂く中村事業本部長、青木設計部長に感謝致します。

<参考文献>

- (1) A. Hashimoto and J. Stevens, "Wire Routing by Optimizing Channel Assignment Within Large Aperture" Proc. 1971 D.A. Workshop.
- (2) B.W. Kernighan, D.G. Schweikert, G. Perky, "AN OPTIMUM CHANNEL-ROUTING ALGORITHM FOR POLYCELL LAYOUTS OF INTEGRATED CIRCUITS" Proc. 1973 D.A. Workshop.

| データ | モジュール数 [ストリ+数] | ネット数 | 配線層分布(ユニット) | | チップサイズ (ユニット) | CPU (sec) | |
|-----|-------------------|----------------------|------------------|--------------------|------------------|---|--------------|
| | | | オ1層 | オ2層 | | | |
| 1 | 12 [15] | 特権 × 1 (VDD) | 特権 | 0 (255) | 775 (540) | 930 × 840 (920 × 830) [2.3%増] | 2.2 (1.2) |
| | | 準特権 × 1 (CLOCK) | 準特権 | 20 (290) | 1185 (905) | | |
| | | 一般 × 16 | Total | 2790 (2745) | 10405 (10267) | | |
| 2 | 74 [76] | 特権 × 2 (VDD, GND) | 特権1 | 0 (685) | 2565 (1890) | 3585 × 2080 (3565 × 2080) [0.6%増] | 8.6 (6.5) |
| | | 準特権 × 1 (CLOCK) | 特権2 | 0 (1500) | 3355 (2035) | | |
| | | 一般 × 95 | 準特権 | 370 (3740) | 11575 (9315) | | |
| | | Total | 28284 (31295) | 133661 (131920) | | | |

()内は、特権処理を施さない場合。
CPUは VAX11/780 に依る。

図11. 処理結果

(3) David N. Deutsch "A DOGLEG CHANNEL ROUTER"
Proc. 1976 D.A. Conference.

研究会 80-107, 1980

(4) 井上, 井戸, 小山, 石井, 三木
"LSIレイアウト設計に於る
配線チャンネル構成の手法"
電子通信学会 回路システム

(5) 井戸, 石井, 小山, 三木, 井上
"LSIパターン設計システム
に於る自動配線経路決定の手法"
情報処理学会 電子装置
設計技術 7-1, 1980

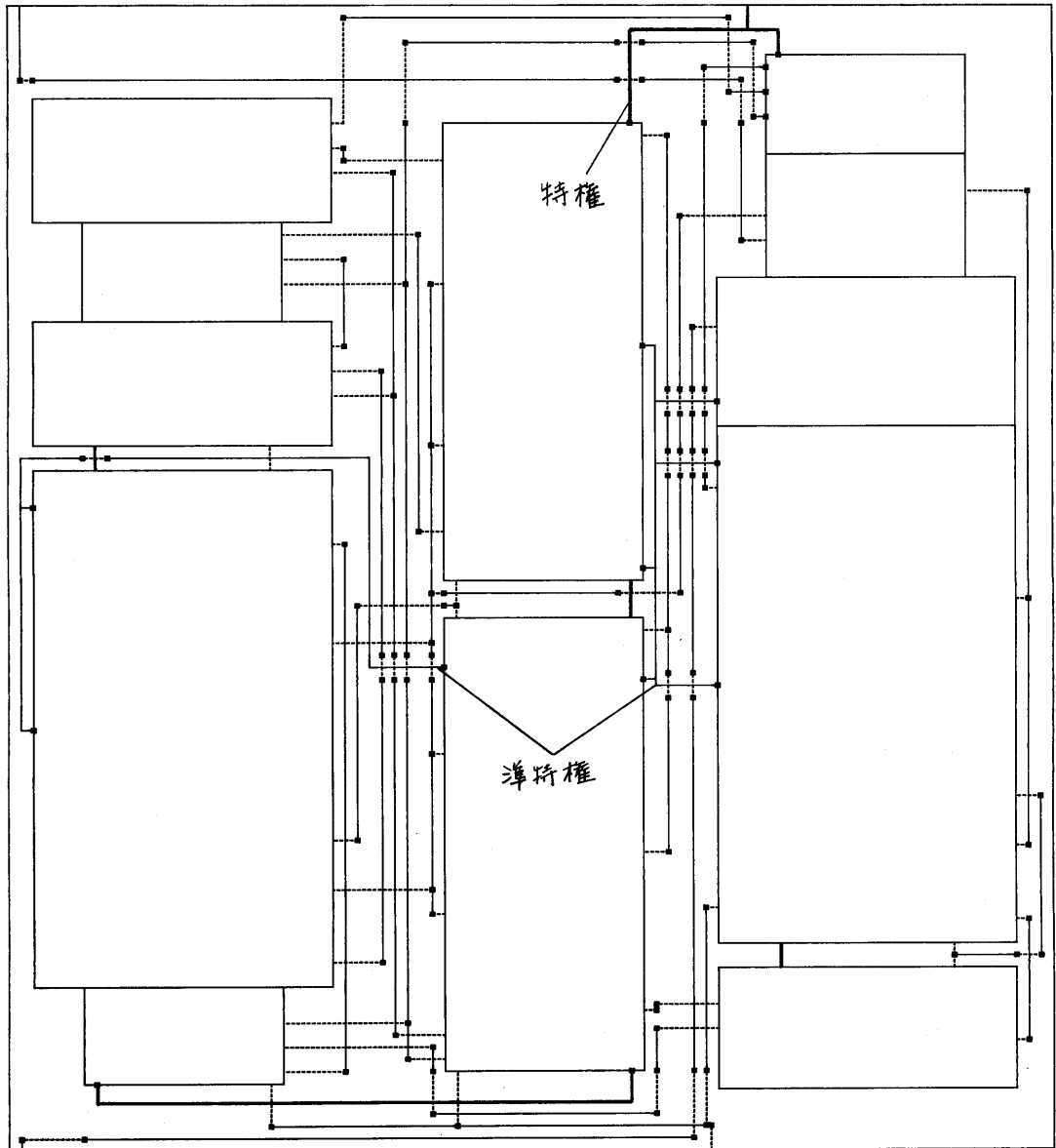


図12. 配線例 (デ-91)