

分布抵抗を考慮したMOSLSIの 配線遅延時間計算法

小川 公裕、井上 隆秀

(ソニー株式会社 半導体事業本部)

概要

配線の抵抗分が無視できないようなMOSLSIのタイミング検証を精度良く、効率的に行う方法は未だ確立されていない。本論文ではこの問題解決の一端として、任意の多層配線で作られるツリー状配線網に対し、①配線網毎に駆動MOSトのモデルパラメータを決定し、②前段からの入力波形を遅延時間計算に反映し、③出力端-受信端毎に遅延時間の上下限を算出する一計算手法を示す。本手法を自動レイアウトされたLSIに適用した結果、回路シミュレーションと比較して計算時間は一桁速く、精度は多くの場合±10%以内、最悪ケースでも±50%以内に収まっているので、MOSLSIのタイミング検証用デレイ算出手段として利用できる見通しがたった。

レイの差が数 μsec に及ぶ場合があり、分布定数回路として取扱う必要が生じてくる。このデレイを大規模なICにターンに対して十分な精度で高速に求める手法は未だ確立されていない。

Penfield [9,10] は任意のツリー状ネットの受信端毎のステップ応答の上下限を簡単な計算式で求める方法を提案した。しかしこれをMOS回路に適用するには、駆動MOSトを独立電圧源と出力抵抗で表現する必要がある。

Glasser [11] が一つのモデリング手法を示したがスイッチング時間や電圧レベルの最適な決定法が示されていない。

本論文では独自のモデリング手法とこれを用いたデレイ計算法について述べる。その特徴は次のようにまとめられる。

1. はじめに

集積規模の増大に対応するためMOSLSIのパターン自動設計システムが数多く開発されている[1-3]、これらの設計システムの機能として配線遅延時間(以降デレイと呼ぶ)の検証が問題となる。現在知られているレイアウト手法では、タイミング条件を厳密に考慮して自動レイアウトを行うことは不可能であり、レイアウト後何等かの検証が必要である。

配線網(以降ネットと呼ぶ)毎のデレイ値についてもメタル配線のように抵抗分が無視できる場合には、ネット全体を単一容量で集中近似して実用上十分な精度が得られるが[4-8]、配線抵抗が高い場合には受信端間のデ

①負荷ネットに入力波形が与えられたときドライバMOSトのモデルパラメータを決め直すことによりモデルの精度を上げる。

②前段からドライバMOSトに入力される波形を次段のデレイ計算に反映させることによりデレイ値の精度を上げる。

③ツリー状ネットに対するPenfieldのステップ応答とMOSトモデルを組合せることにより受信端毎のデレイ値の上下限を効率よく算出する。

本手法をビルディングブロック自動レイアウトシステムで設計されたメタル、ポリシリコン二層配線のLSIに適用した結果、回路シミュレーションと比較して、計算時間は一桁速く、精

度は多くの場合±10%以内、最悪ケースでも±50%以内に収まっているのでLSI設計システムのタイミング検証やパターン設計後の論理シミュレーション用デレイ計算法として利用できる見通しがついた。

以下2章では本研究の背景として現行のデレイ計算法の限界を説明し、Penfieldのステップ応答計算法の紹介を行う。3章ではMOSFETのモデリング手法とモデルパラメータの決定法及びそのモデルの評価を行う。4章ではMOSFETモデルを用いてPenfieldのステップ応答からデレイ値を求める方法とデレイ計算全体の計算手順を説明する。5章では本手法をLSIに適用した評価結果を示す。6章では現状での問題点と今後の課題を述べる。

2. 背景

2.1 現行のデレイ計算法の限界

現在LSIチップ全体を対象にして用いられているデレイ計算法は、ネットを単一の集中容量に近似するもの状代表めである。しかしネットの分布抵抗を問題にする場合単一容量近似は以下に示すような欠点を持っている。

図1(a),(b)にMOSFETの静特性を示す。このMOSFETをドライバとして同図(c)に示すネットを駆動する場合のデレイ、即ち受信端電圧 V_2 、 V_3 が論理スレッシオールド(LV_{th})に到達する時間について考察する。単一容量モデルでは $V_1=V_2=V_3$ となり図1(d)の応答波形を得る。通常図1(b)の縦線で示すsaturation-triodeの切換え点Pは図1(d)のように LV_{th} よりも高いためMOSFETのtriode領域の特性は考慮しなくても良いことになる。これに対し図1(c)のネットをRC分布線路とした場合、 V_1 と V_3 に明らかな差が生じ図1(e)の応答波形を得

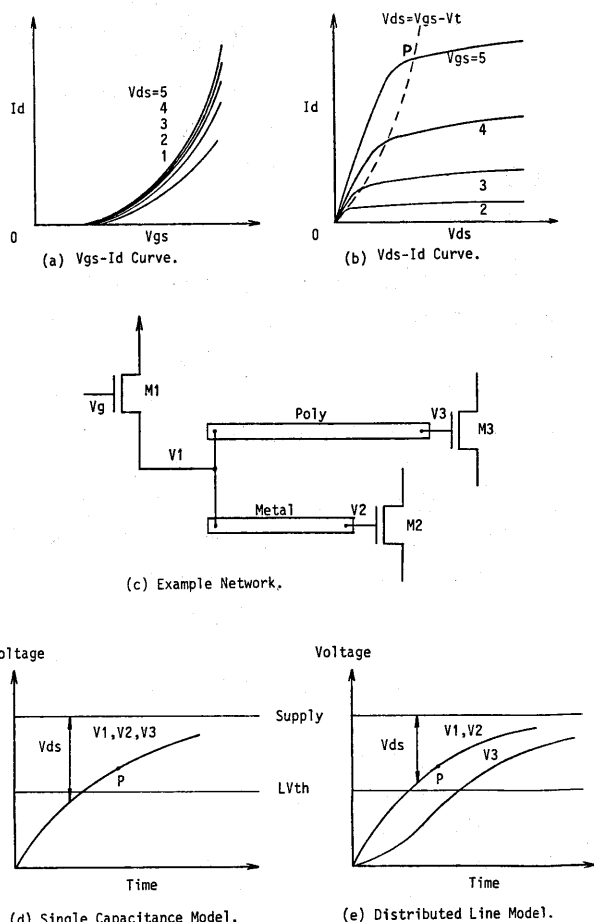


図1 単一容量モデルと分布線路モデルの比較

る。ここで注目すべき点は V_3 が LV_{th} に到達する以前に V_1 がP点を越え M_1 がtriode領域に入り、ドライブ能力が低下していることである。このためMOSFETの状態変化も扱えるデレイ計算法が必要である。

2.2 Penfieldのステップ応答計算法

Penfieldは任意の多層配線から成るツリー状ネットを独立電圧源で駆動した場合に受信端毎のステップ応答の上下限を簡単な計算式で求める方法を提案している。要約すると次のようになる。

図2(a)のネットを均一線路と見なせるサブネットに分解してノード番号 n ($n=1, 2, \dots$)

をふり当てる。サブネットの全抵抗 R_{kk} と全容量 C_{kk} を求めて図2(b)の等価回路を作る。各段信端の番号を e ($e \in E$) として次の諸量を定義する。

R_{ee} : 出力端子 $\bar{o}$ から e に至る経路の全抵抗。

R_{ek} : $\bar{o}$ から k に至る経路の全抵抗。

R_{ee} : $\bar{o}$ から e に至る経路と $\bar{o}$ から k に至る経路の共通部分の全抵抗。

ここで、 $R_{ee} < R_{ek}$, $R_{ke} < R_{ee}$ である。次に時定数

$$T_p = \sum_k R_{kk} C_k \quad (1)$$

$$T_{pe} = \sum_k R_{ek} C_k \quad (2)$$

$$T_{ee} = \frac{\sum_k R_{ke} C_k}{R_{ee}} \quad (3)$$

を定義する。ただし扱っているのが分布線路なので(1)-(3)式中のRCの項は

$$RC \rightarrow \frac{RC}{L^2} \int_0^L x dx \quad (L \text{ は線長})$$

と置き換える。これらの時定数を用いて各段信端電圧のステップ応答が次の上下限で押えられることが示される。

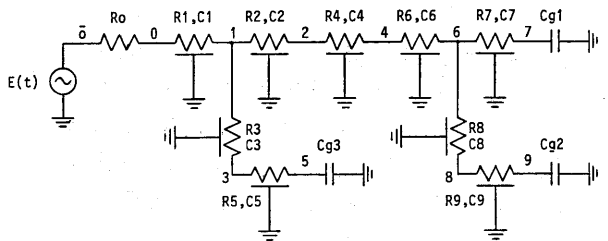
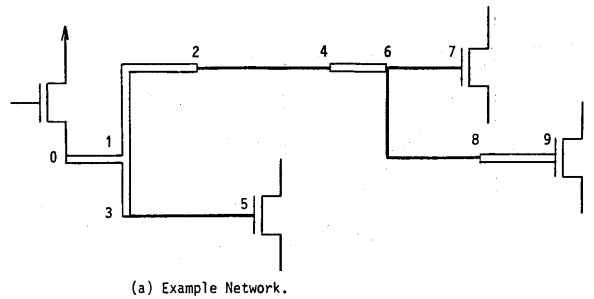
① 上限

$$\begin{cases} v_e(t) \leq 1 - \frac{T_{pe}-t}{T_p} \\ v_e(t) \leq 1 - \frac{T_{pe}}{T_p} e^{-t/T_{ee}} \end{cases} \quad (4)$$

② 下限

$$\begin{cases} v_e(t) \geq 0 \\ v_e(t) \geq 1 - \frac{T_{pe}}{T_{ee}+t} \\ v_e(t) \geq 1 - \frac{T_{pe}}{T_p} e^{(T_{ee}-T_{pe})/T_p} e^{-t/T_p} \end{cases} \quad (5)$$

さらにステップ入力ではなく、任意形状の入力波形状 $E(t)$ が加えられた場合には(4)・(5)式の応答を $v_e(t)$ で代表させて



Example. ($k=2, e=5$)

$$R_{ee} = R_0 + R_1 + R_3 + R_5$$

$$R_{kk} = R_0 + R_1 + R_2$$

$$R_{ke} = R_0 + R_1$$

(b) Equivalent Circuit.

図2. 配線網の例と等価回路

重畳の定理から、

$$v_e(t) = v_e(0) E(t) + \int_0^t v_e(t-z) E'(z) dz \quad (6)$$

として $v_e(t)$ から $v_e(t)$ が得られる。

3. MOS Trモデルパラメータの決定

3.1 MOS Trモデル

図1(a)・(b)に示したようにMOS Trは出力電流が出力電圧の関数となっている素子である。これに対して(b)式は電圧源が時間のみの関数であることを要求しておりMOS Trの近似が必要となる。また(1)-(3)式を計算するためには出力抵抗を定義する必要がある。

図1(a)・(b)を参考にしてMOS Trにラング入力印加される場合の応答電圧を考える。図3で α を入力ディレイ、MOS

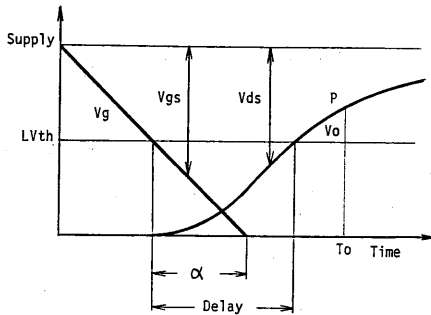


図3 ランプ入力と出力波形

Tr の状態切替時刻 t_0 、応答のディレイを定義しておく。通常図3の入出力波形が得られる。MOS Tr は時間と共に V_{ds} が減少し図1(b)を右から左へ移動して *saturation* → *triode* という状態変化を起す。このとき次の近次法を考える。

- ① *saturation* 領域では図1(a)より $I_d = I_d(V_g(t)) = I_d(t)$ と見なす。
- ② *triode* 領域では図1(b)より特性曲線を直線と見なして定電圧源・定抵抗とする。

そこで、図1(b)の曲線を *saturation*、*triode* それぞれの領域で直接近似した傾きを R_{sat} 、 R_{tri} とし、MOS Tr のスレッショルド V_T 、伝達コンダクタンス係数 β とすると、次のMOS Tr 簡易式が導ける。

$$I_d = \begin{cases} \frac{\beta}{2} (V_{gs}(t) - V_T)^2 & t < \alpha, \text{ saturation} \\ \frac{\beta}{2} (Supply - V_T)^2 & t \geq \alpha, \text{ saturation} \\ \frac{1}{R_{tri}} (Supply - V_o(t)) & \text{triode} \end{cases} \quad (7)$$

これを電圧源等価変換すれば

$$E_{sat} = \begin{cases} \frac{\beta}{2} R_{sat} (V_{gs}(t) - V_T)^2 \\ \frac{\beta}{2} R_{sat} (Supply - V_T)^2 \end{cases} \quad (8)$$

$$E_{tri} = Supply \quad (9)$$

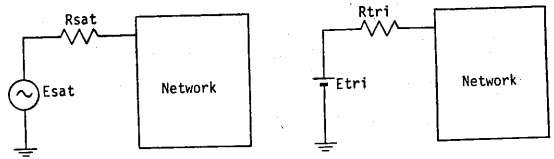


図4 MOS モデリング

となり図4で示される。このモデルが MOS Tr を精度良く近似するためにはモデルパラメータ R_{sat} 、 R_{tri} 、 β の値の決定が重要である。

3.2 モデルパラメータの決定

回路シミュレータで用いられる精密な MOS Tr モデル式で計算される応答と前章で説明した簡易モデルの応答が一致するようにモデルパラメータを決める。便宜上精密なモデルのドレイン電流が次式で与えられるとする。

$$I_d = I_{dcs}(V_{gs}, V_{ds}) \quad (10)$$

(1) R_{sat}

図1(b)から R_{sat} が最も変化が少なく決定しやすい項目である。まず適当な動作点 (V_{gs}, V_{ds}) を決めて(10)式の偏微分から R_{sat} を求める。

$$\frac{1}{R_{sat}} = \frac{\partial I_d}{\partial V_{ds}} \quad (11)$$

(2) β

図3のようにドライバ MOS のゲートへの入力をランプ波形とすれば、

$$V_{gs} = at + LV_{th} \quad (12)$$

$$a = -LV_{th}/\alpha$$

であり、(7)式は

$$I_d = \begin{cases} \frac{\beta}{2} (\alpha t - L V_{th} - V_T)^2 & 0 \leq t < \alpha \\ \frac{\beta}{2} (\text{Supply} - V_T)^2 & \alpha \leq t < t_0 \end{cases} \quad (13)$$

となる。ここで t_0 は *saturation* → *triode* の切換え時刻である。対象ネットの全負荷容量を C とし、(13)式の電流で充電する場合の解析解は次の形になる。

$$V_0(t) = \beta f_1(t) + \beta f_2(t - \alpha) u(t - \alpha) \quad (14)$$

ただし $u(t)$ は単位ステップ関数。一方(10)式の数値積分により、

$$V_0(t_0) = \frac{1}{C} \int_0^{t_0} I_{dss}(t) dt \quad (15)$$

を求め(14)、(15)式から β を決定する。

(3) R_{tri}

$t \geq t_0$ では(14)式の $V_0(t_0)$ を初期値として、解析解

$$V_0(t) = \text{Supply} - (\text{Supply} - V_0(t_0)) e^{-(t-t_0)/CR_{tri}} \quad (16)$$

が得られる。

受信端が $L V_{th}$ に達する時の送信端電圧を V_E とした場合、(15)式を $V_0 = V_E$ となるまで積分を続け(16)式と比較して R_{tri} を決定する。

3.3 MOSモデルの評価

MOS簡易モデルを評価するため、ネットが一本の均一線路から成る場合について回路シミュレーションとの比較を行う。た、この条件は図5(a)で示される。ここで均一線路をRC元形回路に等価変換すると図5(b)の回路が得られる。この等価回路と $E(t)$ に対しては $V(t)$ を解析的に求めることができる。

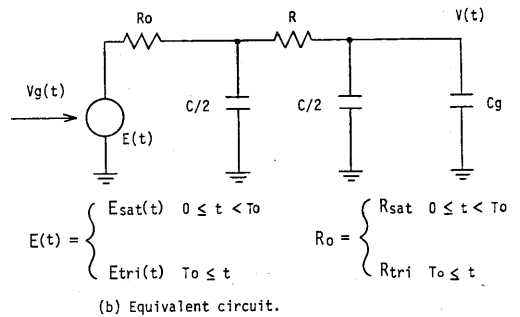
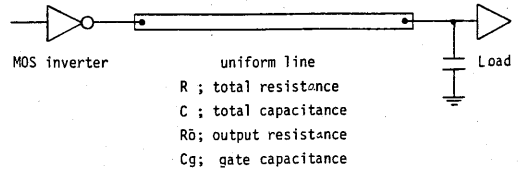


図5 均一線路と等価回路

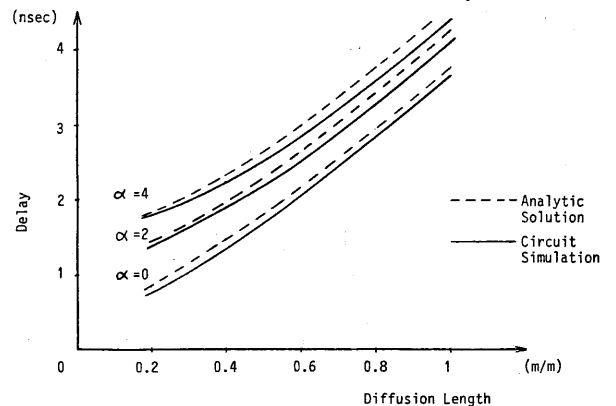
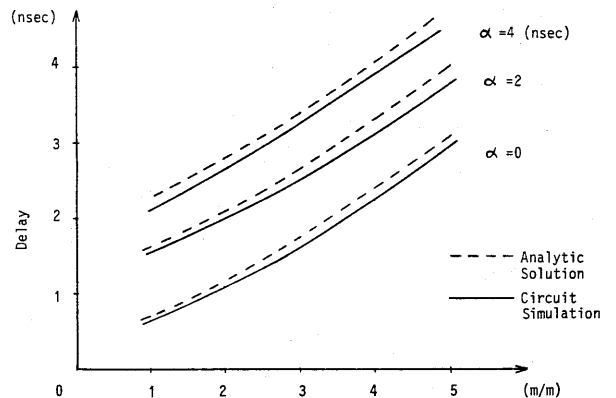


図6 均一線路に対する解析解と回路シミュレーションの比較

この解析解と図7(a)を回路シミュレータで計算した解とで比較した結果を、図6に示す。図6(a)は均一線路をポリシリコン層とした場合、(b)は拡散層とした場合で、共に横軸に線長をとり三種類の α (入力デレイ)の値に対する結果を示す。これよりMOS Trモデルそのものの誤差は回路シミュレータに対して高々10%であることがわかる。

4. ネットデレイ計算法

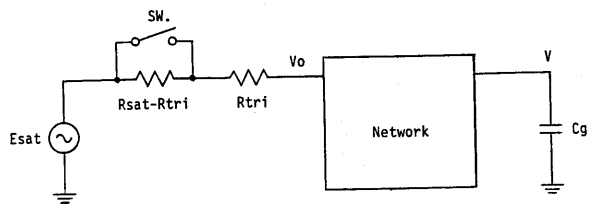
4.1 MOS Trの状態変化に対する計算手順

与えられたネットの各受信端の時定数(1), (2), (3)式)及びMOS Trのモデルパラメータが決定されたとする。次に行うことは入力波形とパラメータから電圧源 $E(t)$ を求め(6)式を計算することである。七 t_0 までは(8)式で与えられる $E_{sat}(t)$ を電圧源として(6)式を計算する。七 t_0 では出力抵抗が $R_{sat} \rightarrow R_{tri}$ と変化するためこの分の補償が必要となる。図7(a)は七 t_0 でsaturationの状態を示している。七 t_0 でSW. が閉じ系の状態が変化し、電源も $E_{sat} \rightarrow E_{tri}$ と変わる。この後の段信端電圧には系変化がない図7(b)で求まる電圧 V_a と、系変化分にかかる電圧 $E_s(t)$ を変化後の系に入力して(図7(c)) 求まる電圧 V_b との和である。ここで、

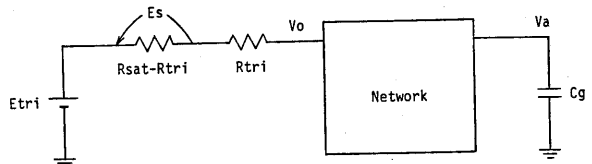
$$E_s(t) = \frac{R_{sat} - R_{tri}}{R_{sat}} (E_{tri} - V_a(t)) \quad (17)$$

であり、(6)式は数値積分で行っている。

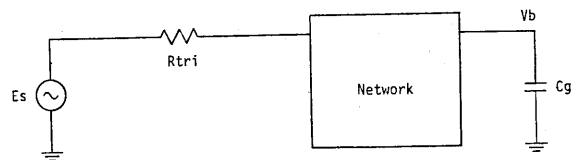
4.2 ネットデレイ計算の手順



(a) Saturation.

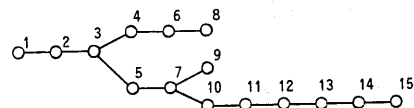


(b) Triode.



(c) Triode.

図7 状態変化に対する補償



(a) Tree representation

Node	Backward Pointer	Forward Pointer	Layer	Resistance (Ω)	Capacitance (pF)	Length (μ)
1	0	2		0.0	0.0	0.0
2	1	3	poly	0.0	0.0	0.0
3	2	4 5	poly	66.7	0.0175	100.0
4	3	6	Al	7.33	0.352	1760.0
5	3	7	Al	1.96	0.0939	470.0
6	4	8	poly	66.7	0.0175	100.0
7	5	9 10	poly	66.7	0.0175	100.0
8	6	term.		0.0	0.22	0.0
9	7	term.		0.0	0.23	0.0
10	7	11	Poly	66.7	0.0175	100.0
11	10	12	Poly	1590.0	0.418	2390.0
12	11	13	Poly	80.0	0.021	120.0
13	12	14	Al	1.25	0.0599	300.0
14	13	15	Poly	80.0	0.021	120.0
15	14	term.		0.0	0.21	0.0

(b) Electrical Parameters.

表1 ツリーの例

ディレイ計算は次の4ステップから成り、一つのネット中のドライバMOS Tr毎に①→④を行い、それに対する受信端毎に③、④を繰り返して実行する。

- ① レイアウト情報からネット毎にドライバMOS Trを根とし受信端を葉とするツリーテーブルを作成する。
- ② ドライバMOSの回路シミュレーション用モデル及び入力ディレイの、ネットの全容量からモデルパラメータ (R_{ext} , R_{tri} , β) を求める
- ③ ツリーの各ノードの抵抗と容量から(1),(2),(3)式の T_P , T_{de} , T_{ee} を求める。
- ④ 求めた時定数とモデルパラメータ、入力ディレイ α から(6)式の計算を行いディレイを求める。

表1にツリー構造とツリーテーブルの例を示す。表1のノード番号は図2のノード番号と同じ意味である。表1(b)中の *term.* は受信端を示す。

5. 評価結果

ポリシリコン、メタル二層配線で自動レイアウトされたビルディングブロック方式LSIに本手法を適用してディレイ計算を行った。このLSIの平均ネット長はポリシリコン層が 289μ 、メタル層が 1364μ で、メタル層が優先的に割付けられていた。表1に掲げたツリーはこのLSI内のネットの一本であり、ポリシリコン層のネット長に占める比率が高かったものである。たとえば表1のネットのノード15に対しては図8のように応答波形が計算できる。

5.1 入力波形の影響

入力ディレイ α の変化がディレイ値

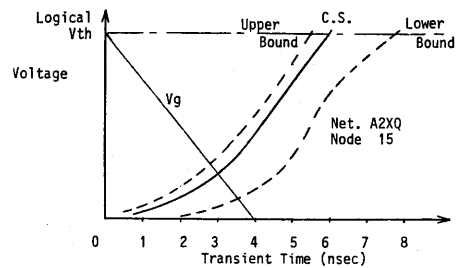


図8 応答計算の例

に与える影響を調べた。表1のネットのノード8, 15について、横軸に、縦軸にディレイ値をとり図9にプロットした。実線は回路シミュレーション、破線は本手法により得られる上下限である。

まず α に対するディレイ値の変化の傾向が回路シミュレーションと上下限でほぼ一致していることが判る。これはMOS Trモデリングが正しいことを意味している。上下限間の幅はPenfieldの式で決定され、 α と直接関連はない。また図9の曲線が総て緩やかな右上がりの傾斜を持っていることは、MOS Trが不完全なスイッチング素子であり前段からの入力波形の影響が無視できないことを示している。

5.2 ディレイ値の例

表2にディレイ値の代表例を6本のネットと計15個の受信端について掲げる。今回使用したLSIでは比較的ポリシリコン層配線が少なかったため、受信端間のディレイの差は最大で1nsec程度であった。回路シミュレーションによるディレイ値と本手法から求まる上下限との誤差を%で表2に表示した。LSI中の多くのネットでは $\pm 10\%$ 以内であり最悪でも $\pm 50\%$ 以内に収まっている。この誤差の主因はPenfieldの式に本質的に含まれているものと考えられる。6ネットをIBM3033上の回路

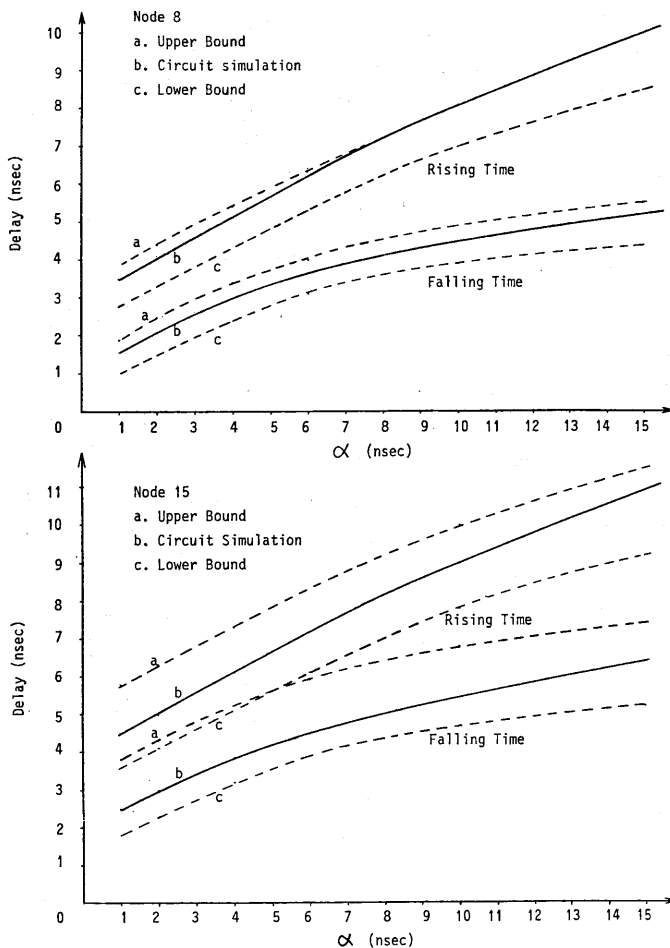


図9 入力デレイの影響

シミュレータにかけた実行時間とVAX 11/780 上の本手法によるプログラムでの実行時間を表2の上部に記した。本手法が約一桁速い。

以上述べた誤差、計算時間という要素の他に本手法の長所として、デレイ値の上下限を押えることができ、上下限間の幅を計算精度として明示できることが挙げられる。本手法はLSI設計システムのタイミング検証やレイアウト後の論理シミュレーション用デレイ計算法として利用できると考えられる。

6. おわりに

配線の分布抵抗を考慮した配線デレイ計算法に関して述べた。本手法はPenfieldのステップ応答を使うためにMOSモデルに加える制限内でできるだけ精度を上げることを考え、入力波形を計算に含めモデルパラメータをネット毎に動的に決めるようにしている。本手法を自動レイアウト設計したLSIに実際に適用した結果では、計算時間、精度共に実用可能とわかった。

現状では本論文で述べたMOSモデルはインバータだけであるが、今後、多入力ゲート、複合ゲートへの拡張を行い、実用LSIでの検討評価を重ねた後LSI設計検証システム内に組込む予定である。

最後に、日頃御指導御援助頂いている中村事業本部長、青木設計部長、並びに貴重な助言を頂いている田村博士に感謝いたします。

<参考文献>

- (1) Inoue T., Ido S., Miki Y., Koyama M. and Ishii M., "Automatic Placement and Routing Algorithm for Incremental Processing LSI Chip Design," European Conference on Electronic DA, 1981.
- (2) 石井, 原田, 井戸, 小山, 井上 "信号線の属性を考慮したチャネルータ" 情報処理学会研究会, 電子装置設計技術 11-2, 1981.

Total CPU Time; 77.3 (sec.) on IBM3033 by Circuit Simulation.
25.5 (sec.) on VAX11/780 by Our Method.

Net Name	Num. of Nodes	Terminal Node	Rise Fall	Circuit Simulation (ns)	Lower Bound (ns)	Upper Bound (ns)	Error (%)
A0XQ	6	1	R F	2.9 1.7	2.9 1.6	2.9 1.7	- 00 + 00 - 06 + 00
A1XQ	9	1	R F	3.7 2.2	3.6 2.2	3.7 2.3	- 03 + 05 - 00 + 00
			R F	3.7 2.2	3.6 2.2	3.7 2.3	- 03 + 00 - 00 + 05
		2	R F	5.1 3.1	4.2 2.4	5.3 3.4	- 18 + 04 - 24 + 10
			R F	5.2 3.1	4.3 2.5	5.2 3.3	- 17 + 09 - 19 + 06
A2XQ	15	3	R F	6.1 3.9	5.1 3.2	7.3 5.3	- 16 + 20 - 18 + 36
			R F	4.7 2.6	4.4 2.6	4.7 3.0	- 06 + 00 - 00 + 15
		2	R F	4.9 2.9	4.6 2.9	4.9 3.2	- 06 + 00 - 00 + 10
			R F	5.0 2.9	4.6 2.9	5.0 3.1	- 08 + 00 - 00 + 07
A4Q	15	1	R F	7.6 4.2	7.5 4.1	7.9 4.5	- 01 + 04 - 02 + 07
			R F	7.6 4.2	7.5 4.1	7.9 4.5	- 01 + 04 - 02 + 07
		2	R F	7.9 4.5	7.8 4.4	8.2 4.8	- 01 + 04 - 02 + 07
			R F	5.3 3.2	4.9 3.0	5.4 3.4	- 07 + 02 - 06 + 06
HARFQ	23	1	R F	5.3 3.2	5.0 3.0	5.3 3.3	- 06 + 00 - 06 + 00
			R F	5.4 3.3	5.1 3.2	5.5 3.6	- 00 + 02 - 03 + 09
		2	R F	5.3 3.2	5.0 3.0	5.3 3.3	- 06 + 00 - 06 + 00
			R F	5.4 3.3	5.1 3.2	5.5 3.6	- 00 + 02 - 03 + 09
DOWN	15	3	R F	5.3 3.2	5.0 3.0	5.3 3.3	- 06 + 00 - 06 + 00
			R F	5.4 3.3	5.1 3.2	5.5 3.6	- 00 + 02 - 03 + 09
		3	R F	5.3 3.2	5.0 3.0	5.3 3.3	- 06 + 00 - 06 + 00
			R F	5.4 3.3	5.1 3.2	5.5 3.6	- 00 + 02 - 03 + 09

表2 デレイ値の例]

(3) "小特集: VLSIのCAD", 情報処理学会誌, Vol. 22, No.8, 1981.

(4) Ohkura I., Okazaki k., and Horiba Y., "A New Exact Delay Logic Simulation for ED MOS LSI," Proc. ICCV, pp.953-956, 1980.

(5) Pilling D.J. and Skalnik J. G., "A Circuit Model for Predicting Transient Delays in LSI Logic Systems," IEEE proc., Circuit and Sys., pp424-428, 1972.

(6) Pilling D.J. and Sun H. B., "Computer-aided Prediction of Delay

in LSI Logic Systems," 10th D.A. Conference Proc., pp182-186, 1973.

(7) Chawla B. R., Gumme H. K., and Kozak P., "MOTIS- An MOS Timing Simulator," IEEE Trans. Circuits and Sys. vol. CAS-12, pp.901-910, 1975.

(8) Fan S. P., Hsueh M. Y., Newton A. R. and Pederson D. O., "MOTIS-C: A New Circuit Simulator for MOS LSI Circuits," IEEE Proc. Int. Symp. Circuits and Sys., pp.700-703, 1977.

(9) Penfield P., Jr. and Rubinstein J., "Signal Delay in MOS Interconnections," private communication, (VLSI Memo 81-40) 1981.

(10) Penfield P., Jr. and Rubinstein J., "Signal Delay in MOS Interconnections," private communication, (VLSI Memo 81-48) 1981.

(11) Glasser L. A., "The Analog Behavior of Digital Integrated Circuits," 18th D.A. Conference proc. pp603-612, 1981.