

スキャンデザイン用テスト発生システム DALG-T

東芝総合研究所 立石昭光 新田進 河村匡彦 平林莞爾

あらまし

スキャンデザインのテストについては、いくつかの報告⁽¹⁾⁽²⁾がなされているが、このたび筆者らは、スキャンデザイン用テスト発生システム DALG-T (D-algorithm - TOSHIBA) を、D-algorithm⁽³⁾ の手法を参考にして、開発した。

DALG-Tの特徴は、

- 1) 組合せ回路のテスト発生を行うことができる。
- 2) 出力および入力の一縮退故障を扱う事ができ、等価故障削除の機能を持つ。
- 3) 回路規模が大きい場合、回路を分割してテストパターン発生を行う。
- 4) スキャンデザインされた回路⁽⁴⁾に対して、スキャン回路のシステムクロック系についてテスト発生できる。
- 5) 発生したパターンを、テストデータ記述言語を介して、自動的にテスト用のフォーマットに変換できる。

である。

まえがき

DALG-T (D-algorithm - TOSHIBA) は、組合せ回路用テスト発生アルゴリズムであるD-algorithm に、乱数法を組合せたスキャンデザイン用テストパターンの自動発生システムである。

スキャンデザインされた回路のテストは組合せ回路の他に、スキャン回路のシステムクロック系のテストが必要である。

また、組合せ回路部分も、大規模化が進むにつれ、処理時間がネックとなる等の問題点がある。

筆者らは、以上の事に鑑み、スキャンデザインされた回路のテスト発生を行うシステムDALG-Tを開発したので報告する。本システムの特徴を以下に述べる。

- 1) 対象回路が大規模な場合、回路を任意に分割してテストパターンを発生することが可能である。
- 2) 故障の仮定においては、出力故障・入出力故障の両モードが選択可能である。
- 3) 等価故障を削除し、仮定故障数を減少することが可能である。
- 4) スキャンデザインされた回路において、そのレジスタ部のクロック系についてのテストを発生できる。
- 5) 発生されたテストパターン列を編集し、テストデータ記述言語で、出力

することができる。

本稿では、以上の特徴と共に、本システムの処理フローを説明し、また、DALG-Tをスキャンデザイン回路等に応用した適用結果例を示し、加えてテストビリティをテスト発生に応用した結果を示す。

1. DALG-Tの処理フロー

図1にDALG-Tの処理フローを示す。DALG-Tでは、入力データとして論理シミュレーション用接続データを用いるが、DALG-T用データ作成の

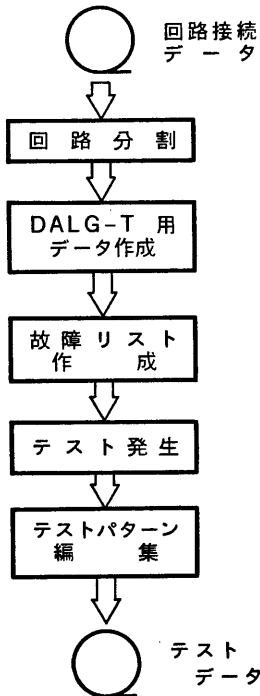


図 1

DALG-T処理フロー

為、レベルソートを行う。尚、回路が大規模な場合は前もって回路分割を行っておく。これらの処理の後、故障リストの作成を行い、故障仮定がされ、テスト発生ルーチンにより、テスト発生される。オプションとして、パターンの追加・既製パターンの評価も可能である。又、スキャン回路のシステムクロック系のテストも自動的に行われる。その後、パターン列編集プログラムにより、回路分割された場合の各分割回路に対するパターンの結合を行ったり、テスター用パターンの編集が行われる。

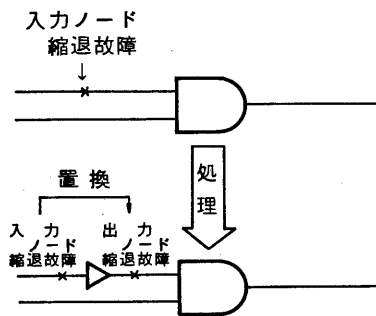


図 2

入力故障の出力故障への置換例

2. DALG-Tの故障リスト作成

2-1 出力・入出力故障仮定

故障仮定においては、単一0(1)縮退出力故障、又は、単一0(1)縮退入出力故障を仮定することができる。

本来のD-algorithmは、出力故障を仮定したものであるが、DALG-Tでは、

入力ノードにバッファを挿入し、ゲートの入力故障をバッファの出力故障に置換することにより、入出力故障モデルを実現している。図2にその例を示す。

2-2 等価故障の削除

入出力故障全てを仮定した場合、入力故障を出力故障に置換する為に挿入されたバッファによって、実際のテスト回路の規模が相当に増大してしまう虞れがある。

これを防ぐ意味でも、等価故障の削除を行う必要がある。簡単化の為、等価故障の削除を実例で示す。例えば、図3(a)のANDゲートの入力1つに、0縮退故障を仮定する。その場合、他の入力線の値に関係なく、ゲートの出力の故障値は0となる。即ち、出力の0縮退故障と等価ということである。同じことが他の入力ノードについてもいえるので、結局ANDゲートの入力ノードの0縮退故障は1つの出力ノードの0縮退故障にまとめられる。又FANOUTが1つの場合についても削除できる等価な故障があり、図3(b)の様なインバーターの連なった回路では等価故障削除処理により、最終段以外の故障は全て、最終段の故障に帰着できる。

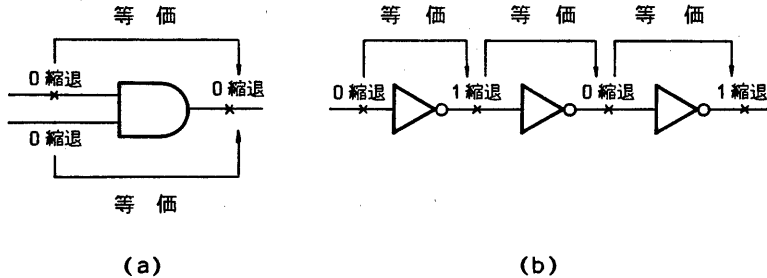


図3 等価故障例

表1 等価故障削除の効果

回路		#1	#2	#3
ゲート数		681	844	485
削除前	仮定故障数	3342	4312	2178
	テスト発生時間	7分40秒	10分32秒	15秒
削除後	仮定故障数	1338	1721	863
	テスト発生時間	3分18秒	5分36秒	7秒

この内、項目1)については、シフトレジスタのシフト動作により、テストは容易であるが、2)、3)については、テストパターンを各々独立に作る必要がある。DALG-Tは、この2)、3)についてのテスト発生を行う。ただし、対象とするスキャン回路はトライステート素子を含めないとする。

4. DALG-Tにおけるテスト発生処理

4-1 D-algorithm と乱数法の併用

図5はDALG-Tのテスト発生の処理フローである。

本システムのテスト発生においては、D-algorithm と乱数法を併用しているが、通常は、乱数法によりまずテスト発生を行い、一定回数（DALG-Tでは、経験的に3回に設定）連続して新たな故障が検出できなければ、D-algorithm に移行する手段をとっている。

又、乱数の質については、入力確率を 0.5（論理値0と1が同じ確率で出現すること）から、入力部ゲートにより偏らせる方法も採用している。

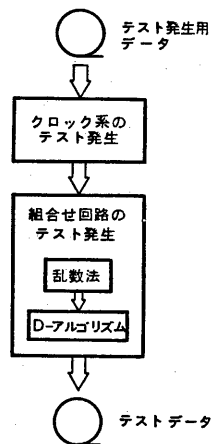


図5 テスト発生処理フロー

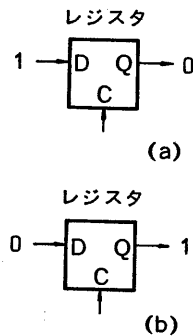


図6 システムクロックのチェック

4-2 クロック系のテスト

DALG-Tでは、レジスタの入出力名を与えることにより、各レジスタのクロック部の故障についてのテスト発生を行う機能を兼ね備えている。

クロックの故障としては、クロックが入った場合、入力データがとりこまれないと同時に内のデータが出力されない故障を考慮しており、その為に、レジスタの入出力で異なる値をとるようなテストパターンが必要となる。例えば、図6は、システムクロックのチェック時のレジスタ入出力値を示したものであり（(a)は入力1出力0、(b)は入力0出力1）レジスタの入力と出力で異なった値をとった

パターンによりシステムクロックの故障のチェックを行っている。

このクロック系のテストパターンについては、通常検査（組合せ回路部のテスト）のテストパターン発生の前段階として、乱数法により、生成される。

4-3 テスタビリティ（テスト容易性）による仮定故障の順序づけの効果

テスト発生の際、テスタビリティを故障伝搬のパス選択に使用して効果があるという報告⁽⁵⁾があるが、試みとしてDALG-Tにおけるテスト発生で仮定故障の順序づけを行い、どのくらい効果があるか調べてみた。ただしここでは、テ

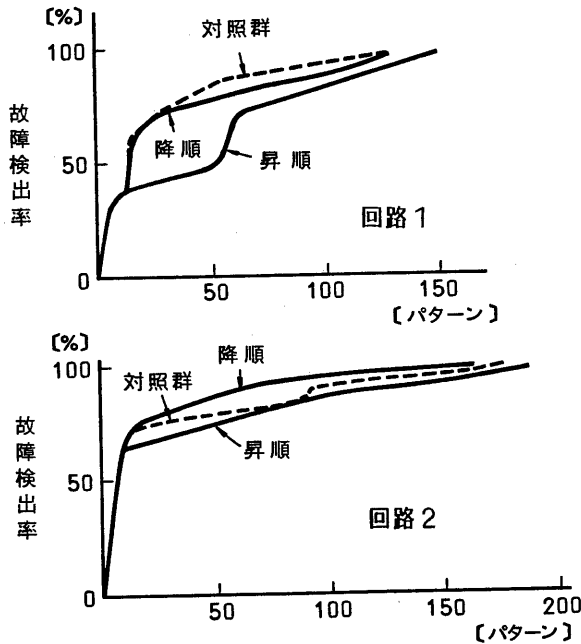


図7 テスタビリティの効果

有効性はほとんど見られなかった。又、昇順にテスト発生したものは傾向として悪くなる方向になっている。この様に、効果が今一つあられなかった理由は、テスタビリティ自体が完全にはテスト容易性を反映しておらず、再収斂の多い回路についてはその傾向が顕著であることからきているのかもしれない。

他に、テスタビリティの応用については、テスト不可能な故障についてあらかじめ検出しておき、その故障を故障リストから削除してテスト発生時間を短縮するという方法が考えられ、実際に、若干の効果が認められた。

5. 回路分割処理

スタビリティの計算はSCOAP⁽⁶⁾と同様の手法に基づいており、テストが困難な程、テスタビリティの値が大きくなるように定義している。

実際のテスト発生では、その順序づけを昇順（テスタビリティの小さいものから、即ちテスト容易と判断されたものから順にテスト発生）、降順（テスタビリティの大きいものから、即ちテスト困難と判断されたものから順にテスト発生）、の2群に分け、又、対照群としてテスタビリティに関係なく、テスト発生したものと比較した。

図7に、その故障検出率の上昇曲線（横軸：パターン数、縦軸：故障検出率）を掲げたが、図から明らか様に、テスタビリティの

5-1 分割の手法⁽¹⁾

大規模な回路の全体をテストする場合、通常のテスト発生では、処理時間が膨

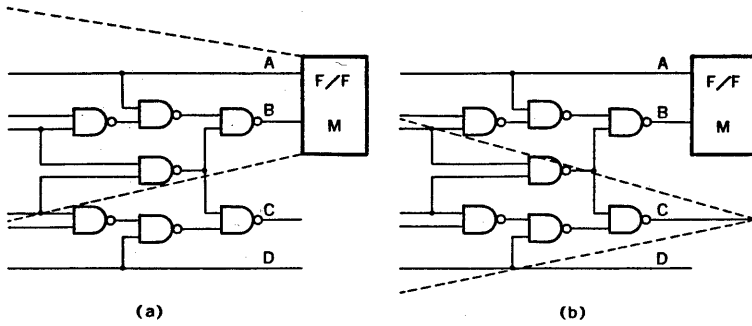


図8 回路分割 I

大になり現実的にテスト発生が困難な場合が生じてくる。その為、回路を分割して各々の部分回路についてテスト発生させる手法が色々と考案されている。

本システムでも、回路を分割してテスト発生を行っているが、その分割手法は、シフトレジスタの入力ノード及び外部出力ノードを起点として全経路を入力側に信号の流れに逆らってたどっていきシフトレジスタの出力か外部入力ノードに到達するまで続ける、というものである。

図8(a)は、起点をシフトレジスタラッチの入力A, Bとした円錐を示し、

図8(b)は、起点を外部出力Cとした円錐を示している。又、図9は大規模なスキャン回路を複数の部分に分割した装置の例を示している。

本稿では、図4の回路を3つのブロック（システムクロックIが入力するラッチの入力を出力とする組合せ回路I、システムクロックIIが入力するラッチの入力を出力とする組合せ回路II、外部出力から直接抽出された組合せ回路III）に分割してテスト発生を行った。

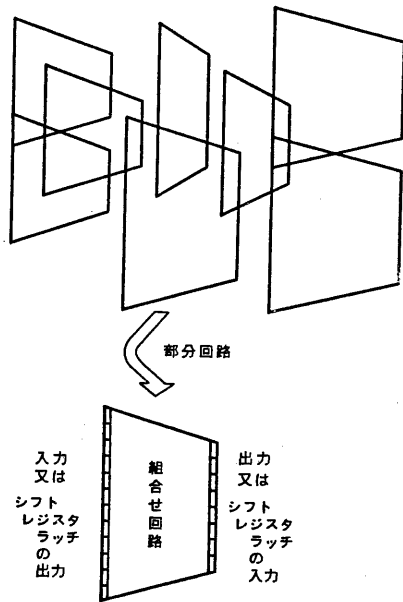


図9 回路分割 II

5-2 分割の効果

表2は、スキャンデザインの施された回路に対して3分割処理を行いテストを発生した時のデータである。対照群として分割せずに回路全体でテスト発生を行ったデータも掲げてある。

この例では、3分割された回路に対する処理時間の合計は、回路全体でテスト発生を行った場合の処理時間を大幅に下回っており、分割した効果があらわれている。

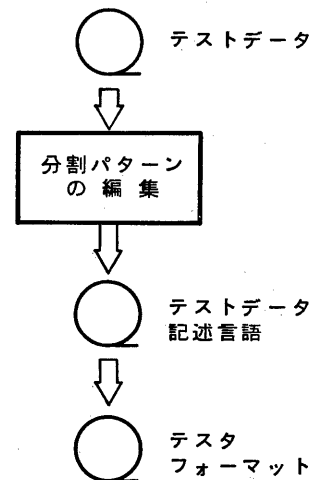
回路	I	II	III	I+II+III	全体
ゲート数	681	844	485	2010	1763
テストパターン数	195	126	24	345	286
テスト発生時間	3分18秒	5分36秒	7秒	9分01秒	16分34秒
故障検出率	100%	100%	100%	100%	100%
仮定故障数	1338	1721	863	3922	3828

表2 回路分割の効果

6. テスターインターフェイス

DALG-Tでは、テスター用のインターフェイスとして、分割されたパターンの編集ルーチン、及びテストデータ記述言語への変換ルーチンを備えている。これらのルーチンにより変換されたテストデータは、コンパイラによりテストフォーマットにおとされ、テスタへ受け渡される。

図10は、DALG-Tのテスターインターフェイス部の処理フローである。



7. 参考文献

図10 テスタインターフェイス処理フロー

- (1) P.S. Bottorff , R.E. France , N.H. Garges , and E.J. Orosz,
"Test generation for Large logic Networks, " 14th Design
Automation Conference, 1977
- (2) Donald Komonytsky, "LSI Self-Test using level sensitive scan
design and signature analysis, " IEEE Test Conference, 1982
- (3) J.P. Roth , W.G. Bouricius , and P.R. Schneider, "Programmed
Algorithms to Compute Test to Detect and Distinguish Between
Failures in Logic Circuits, " IEEE Transactions on Electronic
Computer, Oct 1967
- (4) E.B. Eichelberger and J.W. Williams, "A Logic Design Structure
for LSI Testability, " DA Conf., 1977
- (5) L.H. Goldstein, "Controllability/observability Analysis of
Digital Circuits, " IEEE Trans., 1979
- (6) T. Kirkland et al, " Software check testability and generates
tests of VLSI design, " ELECTRONICS March 10, 1983