

CMOS標準セル自動生成システム: ACG

宮下 弘

(日本電信電話公社)

上田 和宏

厚木電気通信研究所)

1. まえがき

論理LSIの集積度の向上に伴いレイアウト設計は極めて長い設計期間を必要とする作業となっており、人手設計の限界が認識されている。これは設計期間の長期化だけではなく誤りの混入の可能性がある点からも人手設計は欠点を有しているからである。

これらの問題点を解消し論理LSIのレイアウト設計を効率化し設計期間の短縮化をはかるためレイアウト設計の自動化の研究が進められている[1-4]。論理LSIのレイアウト設計自動化では階層的設計手法が採用されており、原理的には任意の規模の論理LSIの設計に適用できる。この階層構造の最下層は標準セルと呼ぶレイアウト上の基本単位となっている。これらの標準セルを用いて更に上位の機能ブロックを設計する。設計手法としてはチャンネル配線手法を用いたビルディングブロック方式が多く採用されている。

一方、レイアウトの基本単位となる標準セルは数トランジスタから数10トランジスタ程度と規模も小さくチップ内で数多く使用される。そのため、高密度、高性能をねらって長い設計期間をかけて人手で設計している。しかし、大規模な論理LSIのレイアウト設計では数10から100種類にも及ぶ標準セルボタンを必要とする。その上、デザインルールの変更に対してはボタン設計をやり直す必要が生じ、この設計工数はかなり大きなものになる。そのため、レイアウト設計期間を更に短縮化するためには標準セルボタンの自動生成システムの開発が必要となる[5-9]。

本報告では、CMOS標準セルを対象としたセルボタン自動生成システムACG (Automatic Cell Generation System for CMOS) について述べる。本システムで対象とするCMOS標準セルではトランジスタの拡散領域の共通化により高集積度を達成している。そのため、セル内のトランジスタ配置手法が重要となる。CMOS標準セルの論理機能が論理式で記述できる場合については、Uehara and VanCleave[7][8]によりトランジスタ配置手法が提案されている。ここでは、論理式記述が可能ではない一般の標準セルにも適用可能な新しい手法[10]を提案しその有効性を示

す。又、本システムは、インタラクティブグラフィックシステムとインタフェイスがとられている。本システムの使用により、従来の人手設計に比較し、標準セルボタン設計の大幅な設計期間の短縮化が達成された。

2. CMOS標準セルの構造

本システムではCMOS標準セルのレイアウト方式としてBPT (Building Pair Transistor)方式を採用する。BPT方式の特徴は以下の通りである[11]。

- (1) PチャネルトランジスタとNチャネルトランジスタをペアとして一次元的に配置する。
- (2) P拡散とN拡散の帯をX方向上下に配置し、隣接するトランジスタの拡散領域はなるべく共通化し、X方向サイズの縮小を計る。
- (3) 入出力端子は、標準セルの上下辺の同一X座標の位置にペアとして配置される。入出力端子はY方向のポリシリコン層に設置される。
- (4) セル内の配線は原則としてX方向アルミ配線で

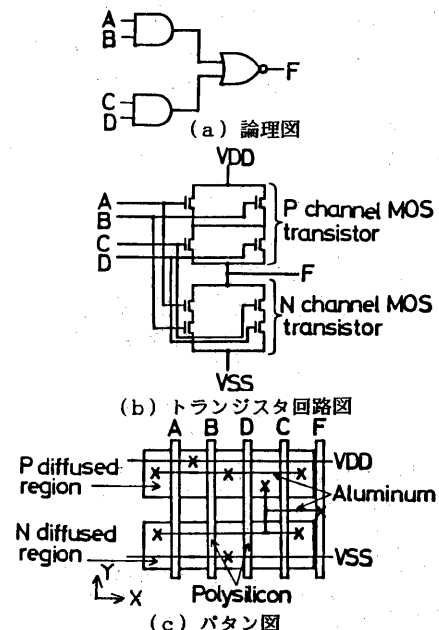


図1 BPT方式標準セルボタン例

う。

(5) 電源配線(VDD,VSS)を拡散上X方向に配置し、両電源配線間をセル内配線領域として使用する。

BPT方式の標準セルバタンの例を図1に示す。

一般には、複雑な標準セルは一個の拡散領域では実現できず複数の拡散領域を必要とする。また、電源配線間の配線領域では配線が完了せずセルの外側に配線がはみ出ることもある。このはみ出し配線領域は、チップレベルのレイアウトにおいては、配線禁止領域として取り扱われる。

3. システム構成

本システムの構成を図2に示す。入力標準セル内の素子間接続情報または論理機能の論理式記述である。素子間接続情報は階層仕様記述言語HSL(Hierarchical Specification Language)[12]を用いて記述する。HSLはHIDEMAP(Hierarchical Design Data Base Manipulator)を使用し素子レベルまで階層展開され、オブジェクトファイル(SOBJ File)となり、本システムの入力情報となる。

はじめに、トランジスタの配置を決定する。既に2.で述べたようにBPT方式を前提として拡散領域の共通化を行い、セルサイズの縮小化を計る。特に、論理式記述可能な標準セルについては、論理式入力もできる。配線は、セル上に配線格子を設定し、その上で行う。配置配線の終了後、実際のマスクボタンを自動生成する。マスクボタンはあらかじめ定義されたデザインルールに基づいて生成される。

自動生成されたマスクボタンは、インタラクティブグラフィックシステムに、容易に受け渡すことができ

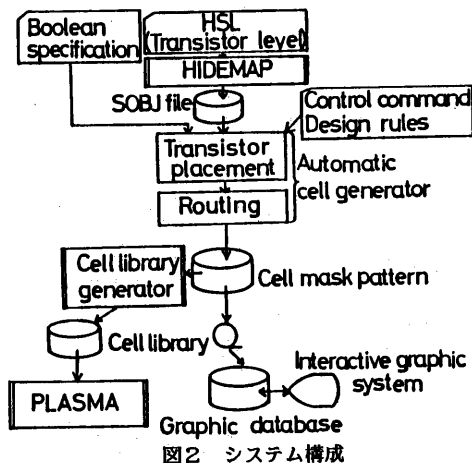


図2 システム構成

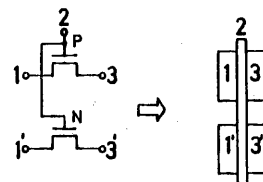
自由に図形処理コマンドを用いてマスクボタンの修正、追加が可能である。また、セルライブラリを通じて、標準セルを用いてチップレベルで自動レイアウトを行うシステム[1-3]とのインタフェースがとられる。セルライブラリ中には、各標準セル毎に、セル外形、入出力端子位置、セル上の配線禁止領域などが格納される。これらの情報は、自動生成された標準セルマスクボタン内から、セルライブラリジェネレータにより自動的に抽出される。

4. セルボタン生成手法

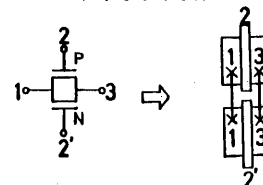
セルボタン生成は、(1)ベアトランジスタの抽出、(2)ベアトランジスタの一次元配置、(3)セル内配線、(4)ボタン生成の4段階処理によって行われる。本節では、各処理の概要について述べる。

4.1 ベアトランジスタの抽出

BPT方式の標準セルでは、図3(a)(b)に示す2種類のタイプのベアトランジスタを使用する。(a)のタイプではポリシリコンゲートを共通化したPチャネルトランジスタとNチャネルトランジスタをベアとしている。一方、(b)のタイプでは、トランスファゲートを実現する。この場合、ポリシリコンゲートは、PチャネルトランジスタとNチャネルトランジスタの間で切断されている。これら、2種類のベアトランジスタの抽出は以下の手順で行う。



(a) ポリシリコンゲート共通のベアトランジスタ



(b) トランスファゲート
図3 ベアトランジスタのタイプ

(Step1) 与えられたCMOSトランジスタ回路を、等電位点を節点、トランジスタを枝とするグラフに表現する。このグラフ上では、あるトランジスタのド

ラインまたはソースの端子がある等電位点に接続しているとき、そのときに限り対応する枝と節点が接続している。このときポリシリコンゲートとの接続は無視している(図4(a)(b))。

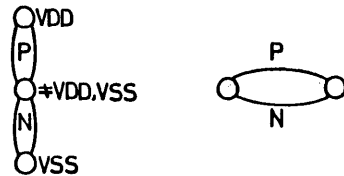
(Step2) 前記(Step1)において作成されたグラフ上で図5(a)(b)(c)(d)(e)で示す枝の直列縮約、並列縮約を行う。(e)のタイプの並列縮約はトランスファゲートの抽出に対応している。(a)(b)(c)(d)のタイプの直並列縮約では、各枝は、またそれぞれ同タイプ(PまたはN)の枝からなる(a)(b)(c)(d)と同様な構造を有するトランジスタの集合でもよい。

(Step3) 前記(step2)で抽出した直並列構造に基づき、トランジスタの集合を互いに共通部分のないサブブロックの集合 $\{S_i\}$ とトランスファゲートの集合 $\{T_j\}$ に分割する(図6)。ここで、サブブロックは図6(a)に示すように直並列構造の抽出により求めたPチャネルトランジスタの集合とNチャネルトランジ

スタの集合が電源(VDD,VSS)に対応する節点以外で接続して形成されるトランジスタの集合である。

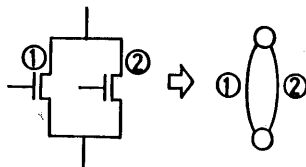
(Step4) (Step3)により、すべてのトランジスタの集合 $T = (U_i S_i) U (U_j T_j)$ と分解される。任意のP(N)チャネルトランジスタ $t \in T$ に対して、

- (1) $t \in S_i$ であれば、同じ S_i に属し、そのゲート端子が同一の等電位点に接続しているN(P)チャネルトランジスタとペアにする。
- (2) $t \in T_j$ であれば、 t と異なるトランジスタ $t \in T_j$ とペアにする。

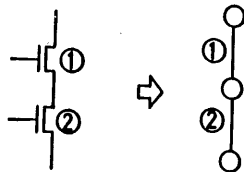


(a) サブブロック (b) トランスファゲート

図6 サブブロックとトランスファゲート



(a) 並列トランジスタ



(b) 直列トランジスタ

図4 CMOS回路のグラフ表現例

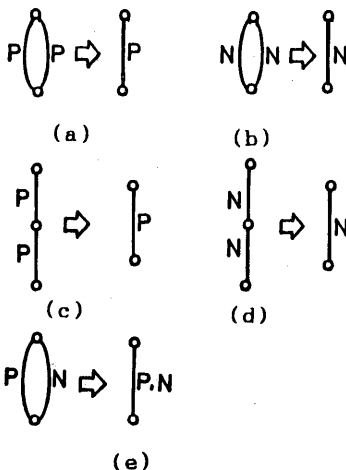


図5 直列縮約と並列縮約

4.2 ペアトランジスタの一次元配置

抽出したペアトランジスタを一次元的に配置する。このとき、図7に示すように拡散領域の共通化を行い、高密度化を計る。これを目的とした配置手法は、Uehara and VanCleave[7][8]により提案されている。しかし、この手法は論理式記述が可能な標準セルにしか適用できないと言う欠点を有する。ここで提案する手法は、素子間接続情報に基づいており、一般のCMOS標準セルに適用可能である[10]。

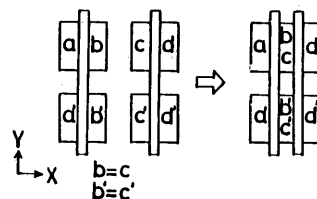


図7 拡散領域の共通化

(1) 評価関数の設定

BPT方式のCMOS標準セルのモデル図を図8に示す。非負の重み W_i が全ての結線すべきネット $i \in N$ に対して定義されているとする。ここで、 N は結線すべきネットの集合である。任意のネット $i \in N$ に対して、 L_i, R_i はそれぞれ最左端、最右端のX座標とする。さらに、 L, R はそれぞれ、対象とするCMOS標準セルの最左端、最右端のX座標とする。

(定義1) 重み付き配線長の総和 W_L を

$$W_L = \sum_{i \in N} W_i \cdot (R_i - L_i)$$

で定義する。

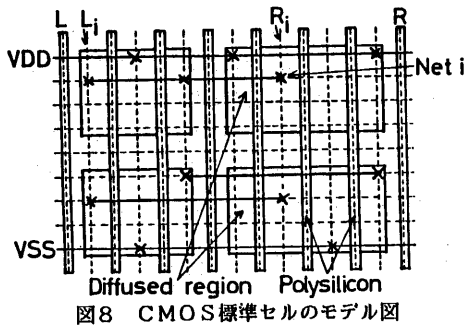
(定義2) 重み付き最大チャネル密度 W_C を

$$W_C = \max_{L \leq j \leq R} \sum_{i \in N} W_i \cdot f(j, L_i, R_i)$$

で定義する。ここで、 $f(j, L_i, R_i)$ は次式で定義する。

$$f(j, L_i, R_i) = \begin{cases} 1 & (L_i \leq j \leq R_i \text{ のとき}) \\ 0 & (\text{その他のとき}) \end{cases}$$

(定義3) 拡散領域数 N_X を、与えられたペアトランジスタの一次元配置に対して、隣接する拡散領域をできる限り共通化したときの拡散領域の個数とする。ただし、P拡散、N拡散の一方のみを共通化することは許さない。



上記3種類の評価関数値の最小化はそれぞれ高密度なトランジスタ配置を得るのに有効であると考えられる。また、拡散領域数の減少により一般に重み付き配線長の総和も減少する。更に拡散領域数の最小化は標準セルの横幅の最小化と同値であることは明らかである。そこでセル内のペアトランジスタの一次元配置の評価関数としては拡散領域数 N_X の最小化を採用する。一方、拡散領域数 N_X の最小化の過程で局所的な極小値に落ち込んだ場合、より良い解を求める過程に再び進めるように上記の評価関数 W_L 、 W_C を補助的に用いることとする。

今、 $f_i(p)$ ($i=1,2,3$)をそれぞれ3種類の評価関数

W_L 、 W_C 、 N_X を表わすものとする。ここで p はペアトランジスタの一次元配置を表わす。 π を集合 $\{1, 2, 3\}$ 上の置換とし、ベクトル値評価関数 $F_\pi(p)$ を、

$$F_\pi(p) = (f_{\pi(1)}(p), f_{\pi(2)}(p), f_{\pi(3)}(p))$$

で定義する。また、ベクトル値評価関数 F_π の値の大小関係 $\leq$ を

$$F_\pi(p) \leq F_{\pi'}(p')$$

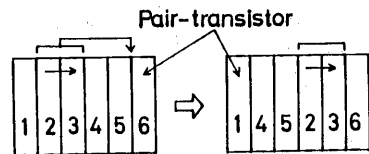
$\longleftrightarrow$ ある k ($1 \leq k \leq 3$)が存在して

- (1) $f_{\pi(j)}(p) = f_{\pi(j)}(p')$ ($1 \leq j \leq k$)
かつ
- (2) $f_{\pi(k)}(p) < f_{\pi(k)}(p')$

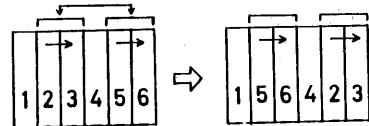
で定義し $F_\pi(p)$ の最小化をおこなう。これは、3次元ベクトル間に辞書式順序を導入して、3種類の評価関数 $f_i(p)$ ($i=1,2,3$)に $f_{\pi(1)}(p)$ 、 $f_{\pi(2)}(p)$ 、 $f_{\pi(3)}(p)$ の優先順序を付加して最小化を行うことに対応している。

(2) 逐次改善手法

前節で定義したベクトル値評価関数を逐次改善手法により最小化する。逐次改善は図9(a)(b)に示すペアトランジスタの挿入と交換の2種類の単位操作により行う。挿入または交換の単位とするペアトランジスタの個数および最大試行数は任意に指定できる。実際の処理では以下のフローで実行する。



(a) ペアトランジスタの挿入



(b) ペアトランジスタの交換

図9 逐次改善手法における単位操作

(Step1) 指定された逐次改善処理の中から未実行の最初のを1個選択する。もし、すべて実行済な

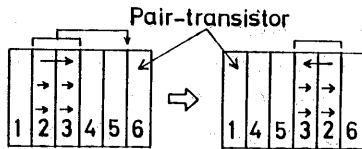
らば終了する。

(Step2) 指定された挿入または交換の対象とするトランジスタの組を決め、試行的に挿入または交換を行い評価関数値を計算する。すべての可能な挿入または交換について評価関数値を計算する。ただし、挿入または交換の最大試行数を越えた場合は以降の試行は行わず(Step3)へ行く。

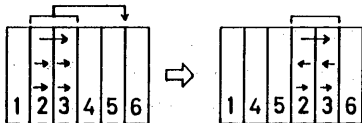
(Step3) 試行結果の中で評価関数値が最小となる挿入または交換を選ぶ。評価関数値が減少するならば、その挿入または交換を実際に行う。

(Step4) 最大試行数を越えていなければ、(Step2)へ行く。最大試行数を越えていれば(Step1)へ戻る。ただし、(Step2)(Step3)を通じて評価関数値の減少がなければ、(Step1)へ戻る。

また、ペアトランジスタの挿入または交換のときに図10(a)(b)に示すように配置方向の反転と拡散領域の端子の反転も行うことができる。図11に拡散領域の端子の反転の例を示す。



(a) 配置方向の反転



(b) 拡散領域の端子の反転

図10 ペアトランジスタの挿入または交換における配置方向の反転と拡散領域の端子の反転

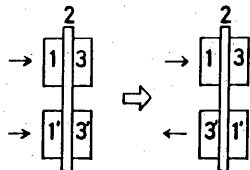


図11 拡散領域の端子の反転

4.3 セル内配線

標準セル内のアルミ配線は拡散領域の共通化によりかなり減少する。そこで、配線は配線格子レベルで以下に述べる簡略化した経路探索手法により行う。

はじめに、図12に示す配線格子を仮定する。図中で

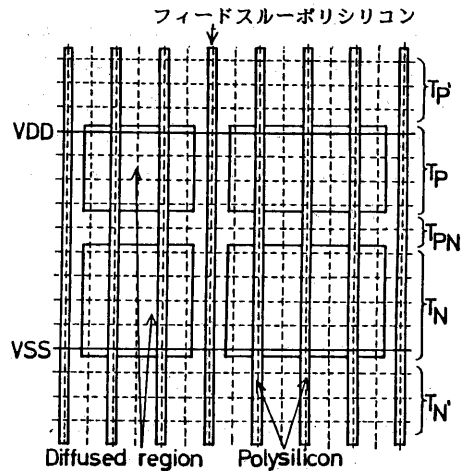


図12 セル内配線における配線格子

T_{P1} はP拡散の上側、 T_P はP拡散上、 T_{PN} はP拡散とN拡散の間、 T_N はN拡散上、 $T_{N'}$ はN拡散の下に各々設定されたトラック数である。これらの値は配線の前に自由に設定できる。また、標準セルの入力と出力はポリシリコンを使用して上下に出すこととする。セル内配線は原則としてP拡散あるいはN拡散上の配線格子を用いて行うが拡散領域間に設定したポリシリコンを使用することも許す(フィードスルーポリシリコン)。配線の手順は以下の通りである。

(Step1) 拡散領域間にフィードスルーポリシリコンを用意する(現在は2本用意している)。

(Step2) 配線の対象となるネットの集合をNとする。各ネットには高々1個の外部端子が含まれるとする。集合Nを外部端子の設定の必要性により次の5個の集合 N_i ($i=1-5$)に分類する。

N_1 ={入力端子としてフィードスルーポリシリコンを用いる必要のあるネット}

N_2 ={出力端子としてフィードスルーポリシリコンを用いる必要のあるネット}

N_3 ={入出力端子としてトランジスタのポリシリコンゲートを使用できるネット}

N_4 ={電源ネット}

N_5 ={その他のネット}

(Step3) 配線の対象となるネットの集合Nをそのネット内の外部端子は無視して、以下の5種類の集合に分解する。

C_1 ={P拡散のみを結ぶネット}

C_2 ={N拡散のみを結ぶネット}

C_3 ={P拡散とN拡散を結ぶネット}

$C_4 = \{\text{少なくとも一箇所ポリシリコンゲートと接続のあるネットで下記 } C_5 \text{ に含まれないネット}\}$

$C_5 = \{\text{ベアトランジスタのP拡散とN拡散を貫通するポリシリコンゲートのみからなるネット}\}$

ただし、 $C_1 \sim C_4$ の中ではそのネットに属する外部端子以外の端子のX座標 $\{X_i\}$ に対して

$$\Delta X = \max_i \{X_i\} - \min_i \{X_i\}$$

の小さい順に並べられているとする。

(Step4) C_5 に属するネットを結ぶ。

(Step5) C_3 に属するネットを配線する。もし、 N_1 または N_2 に属していれば入出力端子用のフィードスルーポリシリコンの位置として、未使用の位置でその位置のX座標を含めて計算した上記 ΔX が最小となる位置を選ぶ。配線経路の探索は(1) P拡散とN拡散の間(図12の T_{PN} に対応)、(2) P拡散上(図12の T_P に対応)、(3) N拡散上(図12の T_N に対応)、の順で行う。

(Step6) C_1 に属するネットを配線する。もし、 N_4 に属していれば(電源VDD)、所定のトラックに配線する(図12参照)。配線経路の探索はP拡散上(図12の T_P に対応)で行う。

(Step7) C_2 に属するネットを配線する。もし、 N_4 に属していれば(電源VSS)、所定のトラックに配線する(図12参照)。配線経路の探索はN拡散上(図12の T_N に対応)で行う。

(Step8) C_4 に属するネットを配線する。もし、 N_3 に属するとすれば、このネットに属するポリシリコンゲートの位置を1個選んで入出力端子位置とする。もし、P(N)拡散上のポリシリコンゲートと接続があれば未使用のP拡散(N拡散)の上側のトラックを1個選択し $t_P(t_N)$ とする。トラック $t_P(t_N)$ 上にアルミ配線し、接続すべきP拡散(N拡散)上のポリシリコンゲートと結ぶ(図13参照)。さらに、以下の処理を左端の拡

散領域から右端の拡散領域までを対象に行う。

(1) 拡散領域内での接続がすべてポリシリコンゲートとならば、次の拡散領域へ行く。

(2) 拡散領域内で接続がなければ、次の拡散領域へ行く。

(3) 拡散領域内で拡散と少なくとも1箇所接続があれば、次の(イ)(ロ)に分けて処理する。

(イ) ネットがこの拡散領域内のポリシリコンゲートと接続がある場合は、拡散とこれらのポリシリコンゲートの1個と結ぶ(図13のA)。配線経路の探索は、P拡散とN拡散の間、P拡散上、N拡散上の順番で行う。もし、以上の探索によっても経路が見出されなければ、フィードスルーポリシリコンを選択してトラック t_P またはトラック t_N 上のアルミ配線に接続する(図13のB)。

(ロ) ネットがこの拡散領域内のポリシリコンゲートと接続がない場合は、フィードスルーポリシリコンを選択して(イ)の場合と同様アルミ配線に接続する。

(Step9) 拡散領域間の未使用なフィードスルーポリシリコンを削除し拡散領域間を詰める。また、P拡散の上側およびN拡散の下側を対象にして冗長なアルミ配線の除去とトラックのコンパクションを行う。

ただし、(Step4)~(Step8)の配線過程で結線できなかったネットは未結線とする。

4. 4 バタン生成

配置配線結果に基づいてセルボタンを生成する。セルボタンは、インタラクティブグラフィックシステムの図形ファイルの形式で作成され、そのシステム上で自由にボタンの追加、修正ができる。作成されるボタンは、ウェル、チャンネルストップ、P拡散、N拡散、ポリシリコン、拡散層イオン注入、コンタクトホール、アルミ配線などにより構成される。ボタン内の図形データは矩形と多角形を用いた。また、チップレベルのレイアウトシステムとのインタフェースのためにセル外枠、外部端子名、はみ出し配線による配線禁止情報などが図形データとしてセルボタン内に格納される。

5. 実行例と評価

ここでは、4. で述べたセルボタン生成手法を実際の標準セル生成に適用した結果について述べ、その有効性を示す。

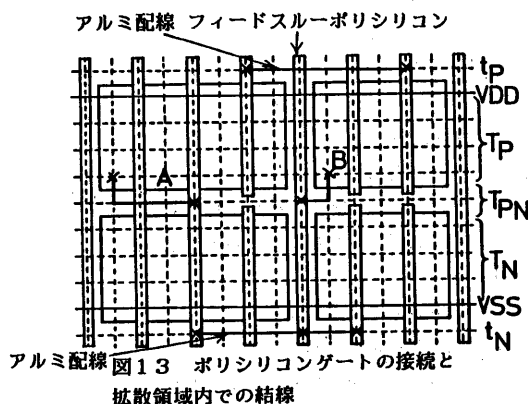


表1は本報告で提案したベアトランジスタ配置手法を実際の標準セルに適用した結果である。(CASE1),(CASE2),(CASE3)の各場合は、それぞれ次のベクトル値評価関数を用いた場合に対応している。

$$(CASE1) F_{\pi} = (N_X, W_L, W_C)$$

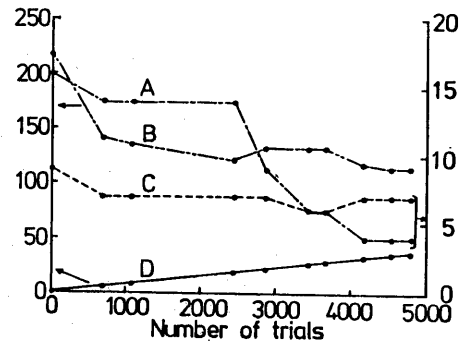
$$(CASE2) F_{\pi} = (N_X, W_L)$$

$$(CASE3) F_{\pi} = (N_X)$$

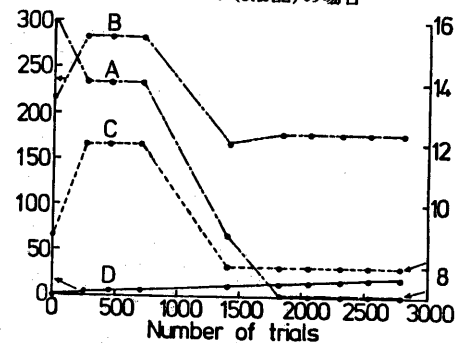
(CASE3)は、拡散領域 N_X のみを評価関数として用いた通常の方法に対応している。これらの各場合では評価関数の設定(優先順序の設定)のみを変えており、他の条件(挿入または交換の最大試行数と単位個数)はすべて同一としている。この結果から、どの例においても、(CASE1)の場合に、拡散領域数 N_X が最小の配置が得られている。拡散領域数 N_X のみを評価関数とした(CASE3)の場合は局所的な極小値に落ち込みその後の改善が見られない。また、(CASE1)と(CASE3)の場合を比較すると拡散領域数 N_X のみでなく重み付き配線長の総和 W_L も大幅に減少している。さらに、(CASE2)を見ると(CASE1)の場合と比較してどの例でも大きな差は認められず、重み付き最大チャネル密度 W_C を評価関数に加える意味はない。人手で配置を行った場合と比較しても、拡散領域数 N_X は全く同等な結果が得られている。

図14に表1のNO.7の結果を例として逐次改善過程における評価関数値の変化を示す。図14(a)は(CASE2)の場合、図14(b)は(CASE3)の場合に対応している。Aは拡散領域数(N_X)、Bは重み付き配線長の総和(W_L)、Cは重み付き最大チャネル密度(W_C)、DはCPU

U時間(秒)を示す。横軸は挿入または交換の試行数を示す。図14(a)では拡散領域数(N_X)、重み付き配線長の総和(W_L)ともに減少し、最終的に十分人手に匹敵する配置結果が得られている。一方、図14(b)では、拡散領域数 N_X はかなり早期に改善が見られなくなり、極小値に落ち込んでいる。また、図中Dで示すCPU時間は挿入または交換の試行数にほぼ比例し、十分実用的な時間内でトランジスタ配置を求められることがわかる。



(a) NO. 7 (CASE2) の場合

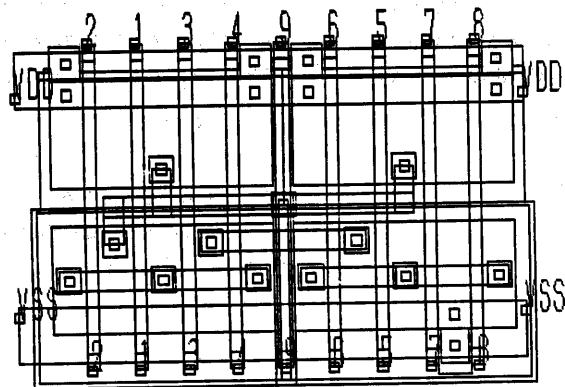


(b) NO. 7 (CASE3) の場合

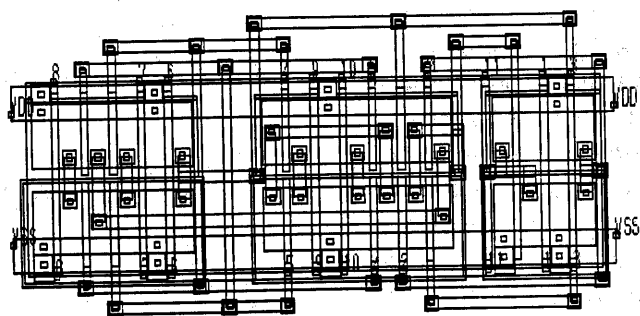
図14 逐次改善過程における評価関数値の変化

表1 ベアトランジスタ配置手法の適用例

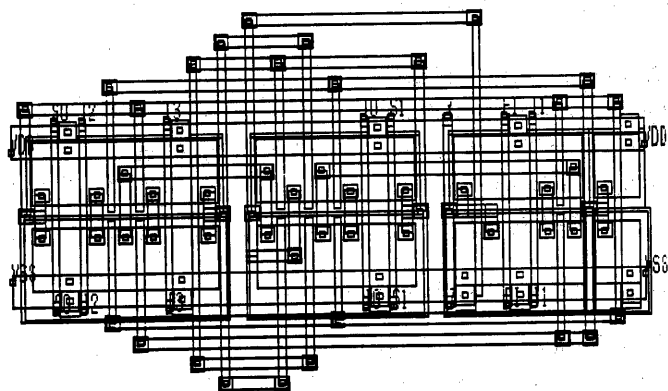
	セルの規模		(CASE1)			(CASE2)			(CASE3)		
	トランジスタ数	ネット数	W_L	W_C	N_X	W_L	W_C	N_X	W_L	W_C	N_X
1	32	19	148	9	4	148	9	4	190	9	6
2	52	33	287	8	7	287	8	7	396	11	8
3	32	19	148	7	5	148	7	5	192	9	6
4	28	21	97	6	3	97	6	3	96	6	5
5	42	30	259	8	9	259	8	9	511	16	10
6	28	21	92	6	3	92	6	3	113	6	3
7	32	22	114	7	4	114	7	4	180	8	7
8	34	21	137	8	4	140	9	4	189	9	6



(a) 生成例 (1)



(b) 生成例 (2)



(c) 生成例 (3)

図15 自動生成された標準セルパターン例

実際のセルボタン生成においては、逐次改善過程で(1)ベアトランジスタの挿入または交換、(2)挿入または交換の単位個数、(3)最大試行数、(4)配置方向の反転、(5)トランジスタの端子位置の反転、を指定し実行する。これらの実行を数回繰返し、最良な配置を採用する。この手法により、表1に示したような数10トランジスタ程度の規模の標準セルに対して人手と同等な配置を求めることができる。

本システムにより生成された標準セルボタン例を図15(a)(b)(c)に示す。これらの、セルボタンからわかるように拡散領域の共通化により、必要なアルミ配線数はかなり減少している。セル内の配線では、必ずしも100%配線が保証されないが、インタラクティブグラフィックシステムを使用して、一部修正、追加を行うことにより十分実用的に使用できる。本システムの使用により標準セルボタン設計の設計期間の短縮化が実現された。

6. まとめ

従来、人手で行なわれてきたCMOS標準セルのボタン設計を自動化するシステムACGについて述べた。本システムはセル内の素子間接続情報を入力としており、トランスファゲートを含む任意のCMOS標準セルに適用できる。特に、BPT方式特有の拡散領域の共通化によるセルの高密度化を目的とした新しいトランジスタ配置手法を提案し、その有効性を示した。本システムにより自動生成した標準セルマスクボタンは、インタラクティブグラフィックシステムに容易に受け渡すことができ、人手によるボタンの修正、追加もできる。さらに、チップレベルのレイアウトシステムとのインタフェイスもとられている。このシステムの使用により標準セルボタン生成の設計期間の大幅な短縮化が達成された。

今後は、インタラクティブ設計手法と自動設計の役割分担ならびにデザインルールの変更に容易に対処できるセルボタン生成手法の検討が課題である。

謝辞

終りに、日頃御指導御助言をいただく本研究所向井久和集積回路研究部長、須藤常太集積回路研究部統括役、中島孝利集積応用研究室長に感謝致します。ま

た、CMOS標準セルのボタンについて御教示いただいた論理回路研究室、吉村寛調査役、石谷恒八調査員、笠井良太調査員に感謝致します。

参考文献

- [1] Adachi, T., Kitazawa, H., Nagatani, M. and Sudo, T.: Hierarchical Top-down Design Method for VLSI Chip, Proc. 19th DA Conf., pp.785-791(1982).
- [2] 北沢、安達、上田: VLSI階層的レイアウト設計システム、昭和58年度電子通信学会情報・システム部門全国大会 S1-3(1983).
- [3] 永谷、宮下、岡本、丹生、杉山: LSI機能ブロック自動レイアウトシステム(PLASMA), 情報処理学会電子装置設計技術研究会4-1, pp.1-10(1980).
- [4] Sato, K., Nagai, T., Shimoyama, H. and Yahara, T.: MIRAGE-A Simple Model Routing Program for the Hierarchical Layout Design of IC Masks, Proc. 16th DA Conf., pp.297-304(1979).
- [5] 宮下、石谷: CMOS機能セルマスクボタン作成プログラム、昭和56年度電子通信学会総合全国大会428.
- [6] 宮下、吉村、安達: CMOS機能セルマスクボタン作成プログラム(2)-セルボタン発生への適用、昭和56年度電子通信学会半導体・材料部門全国大会106.
- [7] Uehara, T. and VanCleave, W.M.: Optimal Layout of CMOS Functional Arrays, Proc. of 16th DA Conf., pp.287-289(1979).
- [8] Uehara, T. and VanCleave, W.M.: Optimal Layout of CMOS Functional Arrays, IEEE Trans. on Computers, Vol.C-30, No.5, pp.305-312(1981).
- [9] Lee, C.M., Chawla, B.R. and Just, S.: Automatic Generation and Characterization of CMOS Polycells, Proc. 18th DA Conf., pp.220-224(1981).
- [10] 宮下、上田: CMOSセルにおけるトランジスタ配置の一手法、昭和59年度電子通信学会総合全国大会390.
- [11] 吉村、東海林、青木、永谷: レイアウトプログラムに適した機能セルの構成、昭和56年度電子通信学会総合全国大会432.
- [12] 唐津、須藤: LSI階層記述言語(HSL), 電気学会システム制御研究会, SC-81, pp.57-66(1981).