

International Test Conference 1985 報告

須藤常太

(NTT 電気通信研究所)

1. ITCの概要

本会議はIEEE Computer Society主催により、毎年1回秋にフィラデルフィアで開かれている。今年は11月19～21日に郊外のホテルで開催された。今回の参加登録者数は昨年(1,400人)より13%減の1,220人であった。不況のためIBM、AT&Tでさえ参加者を大幅に減らしたとのことである。国際会議とはいえ、米国以外からの発表はそれほど多くなく、総数133件のうち、米116、日9、欧5、その他3の割合であった。

セッション数は26で、平均5会場に分かれて発表が行われた。他にポスター・セッションが1つ設けられた。会議と並行して大規模な展示会が行われるのがITCの特徴である。今回も66社が2会場に分かれてテストや測定器類を展示していた。

2. Plenary Session

最初、HPのL. E. Plattより"The same old way doesn't work anymore"と題した基調講演があった。この中で彼は「製品の中の'故障を見つけて直す'(find-it-and-fix-it)従来のやり方はもう古い。今やHPは製品を造るプロセス自体を改善することに重点を置いている。」と述べ、HP社の品質に対する考え方を紹介した。

4件の招待講演の中で、まずLSSDの考案者であるIBMのE. B. Eichelbergerは、「テストコストは上昇し、生産コストは減少するので、両者は近いうちに衝突する。これを避けるためには、より高性能なテスト・アルゴリズム、故障シミュレーション、データ圧縮技術を考案する必要がある。LS SDも使えるのは30Kゲートまでである。」と述べた。

GEのP. Russoは、80年代後半から90年代をASIC(Application Specific Integrated Circuit)の時代と位置付けた。「LSIの価格低下とCAEの発達により、ASICに対する市場が爆発的に拡大している。現在ASICは全IC生産量の1/5(\$1.3B)を占めるに過ぎないが、1990年までには1/3(\$13.3B)に達し、この分野は年率30%の割合で成長するであろう。ASICがどこまで伸びるかの鍵はテスト技術が握っている。次世代のASICはより強く設計とテストのリンクを必要とするだろう。」

3. 一般論文

主だったいくつかのセッション([] で示す)につき、トピックスを紹介する。

[Test Economics]

Sentryはメモリの製造ラインでのテストコストを最小にするため、テストコスト算出モデルを造り、人員と装置の最適な配置法を検討した。Integrated Measurement Systemsは、開発部門用の高性能・低価格テスト'Logic Mate'(15MHz、192ピン、時間分解能1ns、価格は汎用テストの1/20)に

ついて紹介した。

[Built-In Self Test]

DECは、BISTのプリント基板やシステムへの応用を考え、自由なビット幅のLFSRが組めるよう 'polydivider'なるビットスライス型のLFSRを開発した。IBMはロジック内のマルチポート・メモリのランダム・テスト法とそのテストビリティ評価法について述べた。モトローラは、ほとんどの故障モデル(stuck、bridge、cross-point)を検出できる、面積の小さいPLA用テスト回路を提案した。BISTは大学でのテーマとしても適しているため、スタンフォード大やウィスコンシン・マディソン大からも発表があった。前者は、ランダム・テスト法における効率の良いテストパターン長の決め方について、後者はCMOSのstuck-openとstuck-at故障を検出するためのPseudo-Exhaustive Adjacent test(PEAT)法について報告した。

[Test Equipment]

本セッションには 'Calibration and Timing Accuracy' という副題がつけられている。LTXは200MHzまでのRFパワー(0dBm~-66dBm)を0.2dB~0.05dB精度でCalibrationする方法について述べた。HPは、カウンタを用いたtime-interval測定において、振幅、レート等の変動を考慮にいたしたチャンネル間のスキューの高精度な補正方法を提案した。Trilliumは、256ピンのテストで総合タイミング精度±250psを達成した手法について述べた。日立は、スキャンパスやswitching delay timeの試験を効率よく行うことのできる、カスタムLSI専用のテストシステムについて発表した。アドバンテストは、FFT解析に適した新しい信号源を用いて、アナログデバイスの伝達関数をオーディオ帯域で高精度に測定するテスト法について報告している。

[ATPG]

ASIC時代を迎えるに当たり、ATPGはますます重要になるが、新しいアルゴリズムの提案はなかった。テラダインは、テストを動かすための知識が十分になくともテストプログラムを生成できる、ATPG用のツール 'CATalyst' について紹介した。DECは、PLD(Programmable Logic Devices)用の完全なテストプログラム生成ツールである 'Autopal Process' について報告した。これは、回路記述を与えるだけで自動的にAC、DCの機能テストパターンを生成できる。日電は、数千ゲートまで適用可能な、ACパラメトリックテストとDCスレッシュールド・テスト用のATPGについて報告した。

[Memory test]

今回は1セッションのみとなり、それも1Mb DRAM、CAM(Content Addressable Memory)、ロジック内のデュアルポート・メモリなど、より複雑な機種により複雑なテスト法が話題であった。6件のうち日本からの発表が3件占めた。アドバンテストは、RAM内蔵のゲートアレイをテストするための工夫と戦略について、三菱は大容量DRAMで、欠陥ビット救済用スベアエレメントを使用することにより新たに発生する不良モードの原因と、これをテストするテストパターン及びタイミングについて、安藤はデュアルポートRAMのテスト用にシリアルポート・パターンメモリとサイクル毎にステップ可変ができるタイミング・ジェネレータを組み込んだテストについて、それぞれ述べた。モトローラはCAMのテスト・アルゴリズムとサポート回路について報告した。

[Design for Testability]

GEは、セミカスタムLSIに効果的にスキャンパスを導入するための方法論について述べた。その他、一般的な議論は困難であるため、6件のうち3件はPLA用であった。PLAのテスト容易化にはPLAの積項線を独立にコントロールする回路を付加するのが有効であるが、これにはシフトレジスタを使う方式とデコーダを構成するビット線を追加する方式の2つがあった。ニューキャッスル大はこれらを組み合わせれば最適化が図れることを示した。

[Simulation]

東芝は、100Kノードの順序回路にも適用可能な、テストパタンの故障検出率や非検出故障を短時間で求められるAFS(Approximate Fault Simulation)を発表した。

[Testability Analysis]

Valid Logic SystemsのT. McWilliamsは、招待講演の中でテストビリティ評価法に関する悲観的な見解を述べた。「テストビリティ解析と故障シミュレーションの比較」については、AT&TのV. Agrawalを中心に毎年パネルディスカッションがもたれている。従来のテストビリティ法が不十分で、実際のTest Effortとの相関をつけにくい問題はあるが、テスト容易化設計は今後不可欠になるし、そのための目安としてテストビリティ解析法は必要である。

テクトロニクスは、「テストカウンティング」として知られるテスト生成技術の応用を述べた。ダイナミックなControllabilityとObservabilityの値を目安として効率的にテストパターンが発生され、かつテストパターンをコンパクトにできる。IBMは、ランダムパターンでLSSD回路のテストをする際のパターン長を決めるのに、故障シミュレーションが有効であることを示した。

[Artificial Intelligence]

テラデザインより、自社のテストの故障診断用エキスパート・システムである'MIND'(Machine for Intelligent Diagnosis)について、「知識」の体系化・表現方法、「推論エンジン」の構築方法について2件の報告があった。GenRadは、Testability Checker、Circuit Editor、Test Generatorの3つの構成要素からなる、AI的手法を使ったテストビリティ・チェックとテストパターン発生のためのシステムを紹介した。

4. 新しいプロービング技術

今回の会議では、サーモグラフ、レーザ・プローブ、EBテストなど、従来のボードテストやLSIテストに変わる新しいテスト技術が話題を集めた。サーモグラフ(UTI Instruments)は、プリント基板の故障診断に使うもので、異状な部品があればその部分の温度分布が変化することを利用するものである。レーザ・プローブについては、Data Probeと松下の2社から発表された。前者はCADとのリンクの方法について、後者は像モードを用いた故障診断法について紹介していた。厚木通研は、CADと結合してLSIの設計データを活用することにより、40KゲートVLSIの故障診断を可能にしたEBテストの報告をした。新技術に対する関心は高いようで、会議中に発行されたElectronics誌でも、ITCの話題として紹介されたのは、Thermograph、レーザ・プローブ、EBテストなど新しいテスト技術のものばかり5件であった。

5. 日本からの発表

「日本人の発表は、内容の質は高いが、英語がひどくて聞き取れない。」と言われ続けてきた。このため、ITCアジア小委員会は、今年からISSCCなみに日本で1~2度、現地で1度、発表リハーサルを行うことに決めた。その甲斐あって、「今年の日本人の発表は全般に聞き易かった。」と評判が良かったようである。

アメリカ人の発表の中には「構想」の段階のものもかなり多く、日本人の目から見ると発表レベルに達していないと考えられるものも多かった。アイデアが重要なので「構想」の段階から発表してオリジナリティを確保したいという狙いなのだろうか。それに比べると、日本人の発表は、実績のあるものばかりで、内容の濃いものが多かった。