

## 階層構造を用いた マスクデータ処理手法

小林裕一 高島誠 小池三博 (東芝)  
坂本信二 (東芝マイコンエンジニアリング)

### 1. はじめに

LSIの高集積化に伴い、設計の複雑さが増している。同時に、LSIへの短期開発要求も強い。これらへの対応策として、各種のCADシステムを利用した設計の合理化・自動化が進められている。また、新しいCADシステムの開発も盛んである。とりわけ、階層的アプローチに基づく設計法やCADシステムが多く提案され、成果をあげている。

本稿では、LSIのマスクデータ処理(MDP: Mask Data Processing)を、階層的アプローチにより、高速化する手法と、これを実現するCADシステムについて報告する。

マスク描画装置にはEBマスク描画装置(EB)や光学式パターンジェネレータ(PG)がある。マスクデータ処理は、パターン設計データからこれらマスク描画装置用のデータ(マスクデータ)を作成する処理である。本稿で扱うのは、マスクデータ処理のうち、特にパターン設計データの演算補正処理に関するものである。

パターンデータの演算補正処理に関する高速化アルゴリズムは各種提案されているが、ほとんどがフラットレベルのパターンデータを対象にしたものである[1, 3]。ここでは、パターン設計データの階層構造を保持したまま演算補正処理を行い、MDPの高速化を図る手法について述べる。

本手法の特徴は、次の三点である。

1. パターン設計データに特別な制限を設けていない。
2. 既存のパターン処理システムを活用している。
3. 階層間処理を専用システムで行っている。

以下、第2章で、マスクデータ処理の概要を述べたのち、第3章・第4章で、階層的マスクデータ処理手法、これを実現するCADシステムについて述べる。第5章では、各種製品への適用結果について述べる。

### 2. マスクデータ処理の概要

通常、マスクデータ処理は、次の手順で行なう。

- Step 1. パターン設計データの入力。
- Step 2. ルートセルへの全パターンデータの展開。
- Step 3. パターンデータの演算補正処理。
- Step 4. マスクデータへの変換処理。
- Step 5. マスクデータのMTへの出力。

完成したマスクデータMTは、マスク製造工程へ移される。

パターン設計データは、パターン設計図面をCALMAなどに代表されるインタラクティブ設計システムでデジタル化した結果か、あるいは、自動レイアウトシステムによるレイアウト結果である。

パターン設計データは、セルの集合からなっており、セルライブラリに格納されている。各セルは、パターンとセル参照で構成され、パターンは用途ごとに層分けされている。

ここで、パターン設計データはセル参照による階層構造（ネスティング構造）を持つことになる。この階層構造の最上位のセルは、ルートセルと呼ばれ、通常、LSIチップに対応する。

また、セル参照をパターンに置き換えることを展開と呼ぶ。

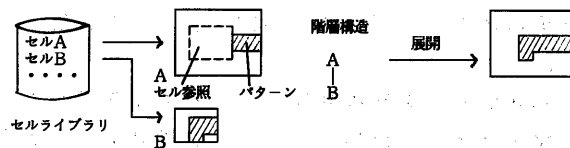


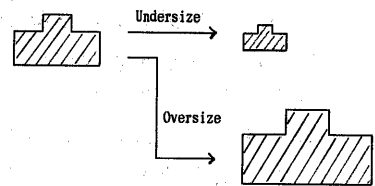
図1. パターン設計データ

マスクデータとは、マスク描画装置用データであり、描画単位の図形の集合と考えてよい。マスクデータの形式は、描画装置に依存する。なお、一般にEBはPGに比べ高機能であり、一枚のマスクに複数のチップをレイアウトしたり、サブチップによりチップをレイアウトすることもできる。

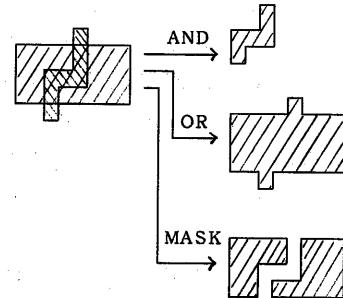
演算補正処理は、主にマスク製造工程・ウェハ製造工程での変換差をあらかじめ補正することを目的に行なう処理である。演算補正処理は、次の三種類に大別できる。

1. パターンの寸法補正処理 (Oversize・Undersize)
2. パターンどうしの論理演算処理 (AND、OR、MASKなど)
3. パターン間の穴埋め処理。

a. 寸法補正



b. 論理演算



c. 穴埋め

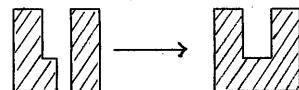


図2. 演算補正処理

### 3. 階層的マスクデータ処理手法

LSIの規模が大きくなるにつれ、マスクデータ処理に要する処理時間・コストの増加が急になっている。特に、演算補正処理においてこの傾向が顕著である。このことは、従来の“展開→演算補正処理”という処理手法が、処理対象パターンの増加に対応しきれなくなってきたことを意味している。実際、メモリなどの大規模LSIでは、オペレーションの工夫で処理対象パターン数を減らさなくてはMDPが行えない製品が多くなっている。

階層的マスクデータ処理は、“セルごとに演算補正処理→展開”という手順で処理を行うことにより、処理の対象パターン数を減らし高速化を図る手法である。

展開結果のパターン数をA、パターン設計データにおける各セルのパターン数の合計をBとしたとき、AとBの比率 $A/B$ をレギュラリティと呼ぶ。レギュラリティは、製品により異なるが、少ないものでも3~5、メモリなどでは100以上になっている。また、LSIの規模が大きいほどレギュラリティは高くなる傾向にある。

階層的パターン処理手法は、Bのパターンを処理対象とすることを基本としており、レギュラリティが高いほど有効である。LSIの大規模化に伴い、今後、この手法はより重要になって行くと考えられる。

階層的マスクデータ処理を行う場合、単に“セルごとに演算補正処理→展開”という処理を行うだけでは、セルの接続関係が考慮できないため、セル接続部分で不都合なパターン（従来の結果と一致しないパターン）が発生し得る。図3は、上記の処理で起る不都合なパターンの例を示している。

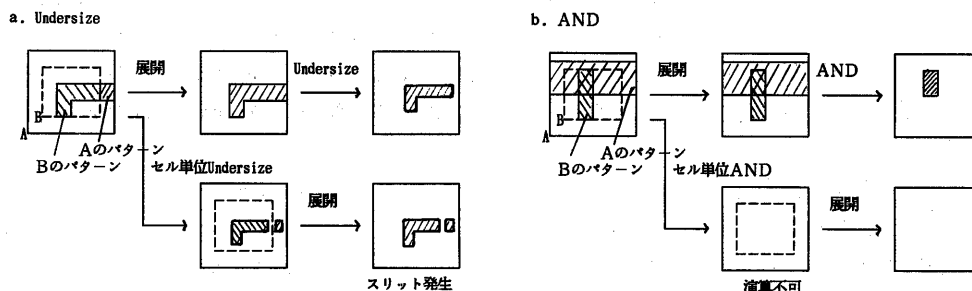


図3. “セル単位演算補正→展開”で起る不都合の例

従って、階層的マスクデータ処理では、

1. セル単位演算補正：セルごとに全セルの演算補正処理を行う。
2. セル間処理：図3に示したような、セル接続部分での不都合を防止する処理。

が必要になる。

本手法では、セル単位演算補正の前処理として次章に示すセル間処理を行うことにより対処している。

階層的マスクデータ処理全体の処理手順は、次のようになる。

Step 1. パターンデータの入力。

Step 2-1. セル間処理。

Step 2-2. セル単位演算補正。

Step 3. ルートセルへの全パターンデータの展開。

Step 4. マスクデータへの変換処理。

Step 5. マスクデータのMTへの出力。

#### 4. 階層的マスクデータ処理システム

一般的に、階層的アプローチに基づくパターン処理システム（マスクデータ処理を含む）を開発する場合、階層構造を導入したデータベースを採用し、パターン処理システム自身に、前節で示したような階層的処理機能を持たせることが多い[4, 5, 7]。インタラクティブな処理を行うシステムではこのような対応は不可欠である。ところが、この方法では既存のシステムの活用が難しいため、本システムでは採用していない。

ここで、マスクデータ処理を行なう既存のシステムについて述べておく。

従来、次の3つのシステムによりマスクデータ処理を行っている。

ASCAPP：各種システムとのインターフェイス・展開・プロットMTの作成など行うユーティリティ的システム。PGMTの作成も行える。ADFと呼ぶデータベースを持つ。ADFの構造はパターン設計データとほぼ同様であり、階層構造も扱える。

EMAP：演算補正処理をはじめDRC（Design Rule Check）・回路抽出などを行うパターン処理の総合システム。EMAPのデータベースはフラットレベルでセルの階層は扱えない。なお、回路抽出結果をもとに論理シュミレーション・回路シュミレーション・レイアウト前の論理接続情報との回路比較なども行える[1]。

EPOCH：点状ビームラスタ走査方式の東芝製EB画装置用のマスクデータを作成するシステム。マスク上でのチップのレイアウトの指示などはEPOCHで行える。

マスクデータ処理の手順と各システムの関係は図4に示す通りである。

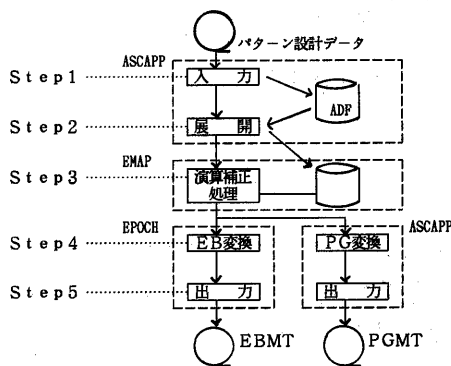


図4. 従来のマスクデータ処理

マスクデータ処理の階層化に際し、上記システムを有効に活用するため、H P S (Hierarchical Pattern Processing System) と呼ぶ階層間処理の専門システムの開発にした。

H P S の特徴を、次に示す。

1. 階層間処理の専門システムである。
2. データベースは A S C A P P と同じ A D F である。
3. セル単位演算補正をサポートする機能、セル間処理のためのオーバーラップ処理機能・ドーナツ処理機能を持つ。
4. 階層 D R C をサポートする機能や階層構造に関するユーティリティ機能も持っている [ 2 , 6 ] 。

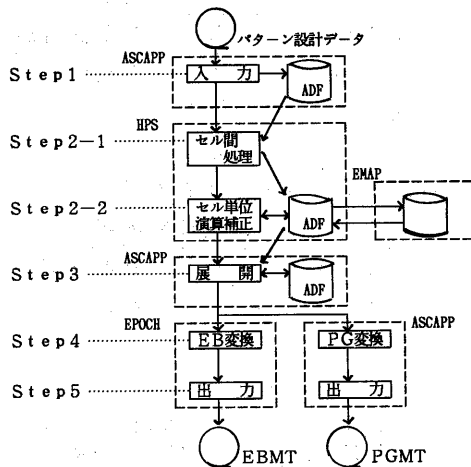


図5. 階層的マスクデータ処理

階層的マスクデータ処理の手順と各システムの関係は図5に示す通りである。

セル単位演算補正は、H P S よりセルごとにパターンを E M A P に受け渡すことにより処理する。

次に、セル間処理のため H P S 内に開発したオーバーラップ処理機能・ドーナツ処理機能について述べる。

1. オーバーラップ処理機能

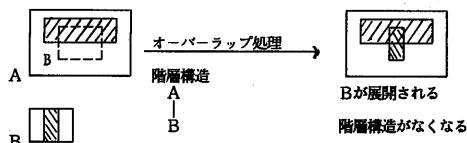
指定されたルートセルの階層構造の中で、他セルのパターンが外形にオーバーラップしているセル参照を展開する機能。

2. ドーナツ処理機能

子セルのドーナツ部分を親セルに追加する機能 [ 4 ] 。ドーナツ部分とは、セル外形に内接する一定幅のドーナツ状領域である。

ここで、セル外形はそのセルのパターン全体の外接矩形を指す。

a. オーバーラップ処理



b. ドーナツ処理

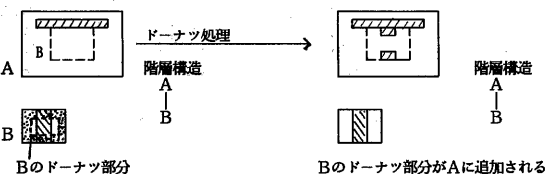


図6. オーバーラップ処理・ドーナツ処理

演算補正対象パターンを、直角図形のみとしたとき、表1、図7に示す通り、セル接続部分で起り得る不都合点は、上記二機能によるセル間処理で対処できる。

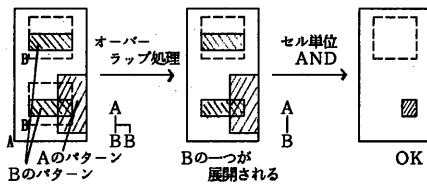
表 1

MDP 内容	起り得る不都合点	セル間処理方法	備考
Undersize	スリット発生	A	図6・図7
Oversize	なし	なし	
OR	なし	なし	
AND・MASK	演算不可	B	図6・図7
穴埋め	穴埋め不可	A	

A : オーバーラップ処理 → ドーナツ処理

B : オーバーラップ処理

a. オーバーラップ処理



b. オーバーラップ処理-ドーナツ処理

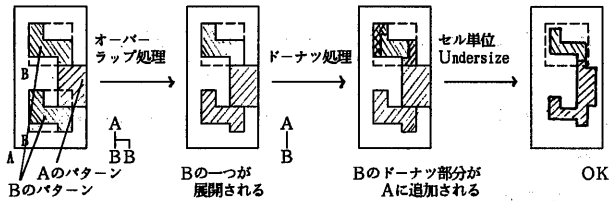


図7. セル間処理

演算補正対象パターンに斜めの図形が含まれた場合、Oversizeで異常図形が発生し得る。これについては、ほぼオーバーラップ処理で対処できるが、図8に示すように対処できない場合もある。

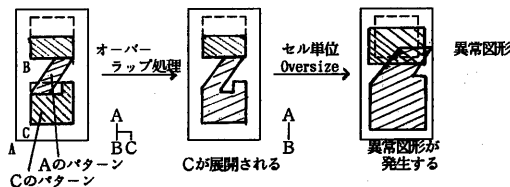


図8. Oversizeにおける斜めパターンとセル間処理

## 5. 適用結果

表2に、大規模メモリと自動レイアウト製品への適用結果を示す。

表2

製品	演算補正 処理内容	従来MDP A	本手法 B	比率 B/A	セル間処理
大規模メモリ 2マスク	Oversize OR	273分 (注1)	20分	7%	B
論理LSI1 6マスク	Undersize Oversize OR	151分	10分	7%	A
論理LSI2 4マスク	Oversize OR	104分	26分	25%	なし

注1：処理時間短縮のため、オペレーション上の工夫をしている。

A：オーバーラップ処理→ドーナツ処理

B：オーバーラップ処理

上記のいずれの製品についても、それぞれのMDP結果は完全に一致した。

各表内に示した時間はCPU Timeである。

## 6. おわりに

階層構造を利用することによりマスクパターン処理(MDP)を高速化する手法について述べた。本手法では、MDPを、セル間処理→セル単位演算補正→展開の手順で行う。セル間処理は、オーバーラップ処理機能とドーナツ処理機能により行っている。

また、階層間処理を専用システムHPSに集中させたため、本手法の既存のシステム体系へのインプリメントが容易に行えた。

メモリや自動レイアウト製品へ適用し好結果を得ている。

今後は、セル間処理の強化、適用製品の拡大を図って行く。

## 参考文献

1. 千葉他『LSIマスクアートワーク解析システムとその応用』  
1980年12月 情報処理学会 電子装置設計技術研究会7-3
2. 小林他『階層構造を利用したデザインルールチェックシステム』  
1984年11月 情報処理学会 設計自動化研究会24-4
3. 枝廣『LSIレイアウト設計における計算幾何学の一手法-バケット法のアルゴリズムと評価』  
1986年1月 電子通信学会  
回路とシステム研究会 CAS85-162

4. S.N.Stevens, "A Hierarchical Approach for Mask Verification"  
Proc.of ISCAS,PP.702-705
5. W.J.Mccalla, "Symbolic Rpresentation And Incremental DRC for Intar  
active Layout" , Proc.of ISCAS pp.710-715 1981
6. T.Whitney, "A Hierarchical Design Rule Checking Algorithm "  
LAMBDA pp.40-43.1st Quarter 1981
7. T.J.Wagner, "Hierarchical Layout Verification"  
Proc.of 21sr DA Conference,pp.484-489 1984