

## 大規模ゲートアレイ用高速自動配線手法

関 光穂, 兎島征也

日立市久慈町4026 (株)日立製作所 日立研究所

本文では、大規模ゲートアレイ用のメタル2層高速一括配線手法を提案する。配線プログラムは、概略配線と詳細配線の2段階から成る。概略配線では、チップを粗く切った格子上で、2点間を高々折れ曲がり2回以内で結線するMALCH法を、詳細配線では、“A Greedy Channel Router”に左右外部端子との結線やチャンネル領域の凹凸対応機能及び結線率向上手法を加え改良したカラム・スキャン法を提案する。計算時間に関して、迷路法を用いた概略配線とチャンネル割当法を用いた詳細配線の構成であった従来システムに比べ、約6倍の高速化を達成した。

### Quick Routing Method for Large Gate Array

Mitsuho SEKI, Ikuya KOJIMA

4026 Kuji-chō Hitachi-shi Hitachi Research Laboratory, Hitachi Co., Ltd.

“Quick Routing Method for Large Gate Array” (in Japanese) by Mitsuho SEKI, Ikuya KOJIMA  
(Hitachi Research Laboratory, Hitachi Co. Ltd., Hitachi, 319-12, Japan)

In this paper, we propose a quick routing method for Gatearrays with two metal layers. The routing consists of global routing and precise routing. We propose, MALCH method in global routing that we connect between 2 terminals within 2 bends on lattice roughly hashing routing area, and Column Scan method in precise routing which we improved “A Greedy Channel Router” so as to be able to route in uneven channel area and connect with I/O terminals on the side of channel area. We could complete routing within 1/6 execution time compared with the old system composed of global routing with Maze and precise routing with Channel Assignment.

# 大規模ゲートアレイ用 高速自動配線手法

(株) 日立製作所 日立研究所

関 光穂, 児島 征也

## 1. はじめに

LSIの高集積化、高機能化に伴い、設計内容がたいへん複雑になり、TAT(Turn Around Time)が長期化している。

ゲートアレイは、顧客仕様のLSIが短期に供給でき、最近ではかなり大規模のものやメモリを搭載したものが市販されている。このため、自動設計技術の高度化が不可欠であり、論理セルの配置配線を行う実装設計に関しても数多くの技法が発表されている。

ゲートアレイのレイアウトモデルを図1に示す。一般に、ゲートアレイは、内部セル列と配線チャンネルから成る内部配線領域とその周辺に配置されたI/Oセル列から構成される。内部セル列は、高さが一定で長さの変な論理セルから構成され、一定長の水平列を成している。また、配線チャンネルはあらかじめ与えられた本数で固定となっている。

ゲートアレイの配線設計は一般に、図2に示すような概略配線と詳細配線の2段階で行われる。

概略配線は、内部配線領域を配線格子に沿って、端子を含む適当な大きさのスペースに分割し、どのスペースを通して信号を配線するかという大まかな経路を決定するものであり、詳細配線は、配線チャンネル単位に最終的な配線経路を決定するものである。

概略配線アルゴリズムとしては、スペース境界の容量(境界を通過可能な配線本数)をパラメータとするコスト関数を用い、迷路法<sup>2</sup>を利用して最短経路問題として経路を求める方法<sup>3</sup>、擬似スタイナ木を求める方法<sup>4</sup>、階層的に配線を行なうもの<sup>5</sup>が提案されている。しかし、これらのアルゴリズムは、ゲート規模が増大し分割スペース数が大きくなると計算時間が急増するため大規模ゲートアレイには適切でない。

また、詳細配線アルゴリズムとしては、幹線分割を考慮したチャンネル割当法<sup>7, 11</sup>が広く用いられており、それに改良を加えたものも数多く発表されているが、配線チャンネル内で階層配線<sup>6</sup>やY方向格子単位の処理反復<sup>8</sup>による配線法も提案されている。

本文では、概略配線アルゴリズムとして、マンハッタン配線法<sup>3</sup>、線分探索法<sup>10</sup>を利用し、分割スペース内に埋め込まれた端子間を折れまがり2回以内で配線するMALCH法を、詳細配線アルゴリズムとして、8)のアルゴリズムを拡張したカラム・スキャン法を提案する。MALCH法は、混雑度のバラ

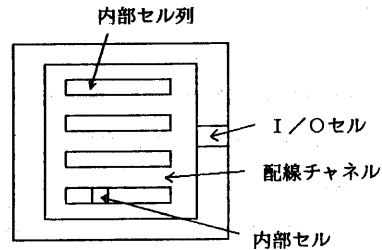


図1 レイアウトモデル

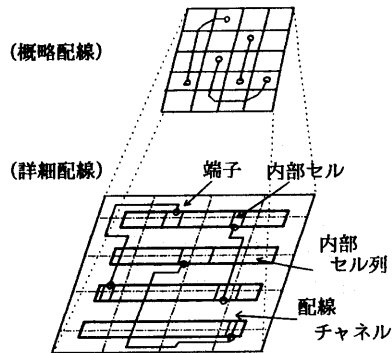


図2 2段階配線法

スを取りながらできるだけ既配線を利用した単純な概略経路を発生することにより高速に処理を行なうものである。また、カラム・スキャン法は、できるだけ目標ピンに近い所にAL1幹線を置きながら配線するものであり、8)のアルゴリズムにチャンネルの左右端子との結線機能や結線率向上手法を加えたものである。両者とも非常に高速なアルゴリズムであり、メタル2層の一括配線手法として大規模なゲートアレイに適用することができる。

第2章において概略配線アルゴリズム、第3章において詳細配線アルゴリズムを、さらに第4章で本手法を用いた実行結果を示す。

## 2. 概略配線アルゴリズム

本章では、MALCH法(MAnhattan & Line searCH)について述べる。

まず、取り扱うモデルについて述べる。

図1に示すチップモデルをスペースに分割する(図3参照)。X方向分割線(実線)は内部セルの中央及び配線チャンネル中央を通る直線である。Y方向分割線(点線)はチップサイズと論理規模により定まるものであり、経験的に求めた。分割が完了したら、図4のようにスペースに含まれる端子を埋め込む。この時、1つのスペースに複数の端子が含まれる場合、それらは縮退して1つになる。

これらの準備をした後、1信号単位に概略配線を行う。

概略配線のアルゴリズムとして、1つはマンハッタン配線法を用いた。マンハッタン配線法は、結線すべき2点間を高々折れ曲がり1回以内で配線するもので、主として一層配線に用いられる。もう1つは線分探索法を用いた。線分探索法は、各端子からX、Y方向に交互に線分を発生し、それらの線分が最初に交差したとき、それまでに発生した線分のうち配線長最短となる線分の集合を経路とするものである。

今回我々が開発した概略配線の目的は、

- (1) できるだけ折れ曲がりの少ない経路を発生しながら混雑度を緩和する。
- (2) 一括配線手法で大規模ゲートアレイに適用するために高速化を図る。

ものである。次に、概略配線の戦略について述べる。

[1] 2端子間を折れ曲がり2回以内で配線する。

: 図5に示すように、折れ曲がり数を抑え、できるだけ単純な直線的経路を発生させることにより詳細配線への負担を軽くする。線分探索法は、何度でも折れ曲がり可能であるが、折れ曲がり数を2以内に抑えることにより計算の高速化を図る。

[2] 多ピンネットは端子を結線済グループどうしに分け、總当りて経路を発生(図6参照)。

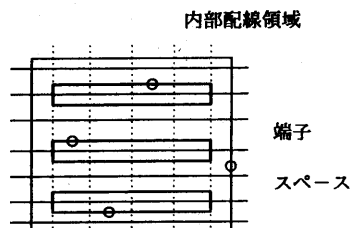


図3 スペース分割

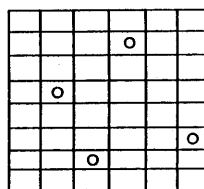


図4 端子埋込み

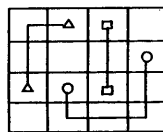


図5 単純概略経路

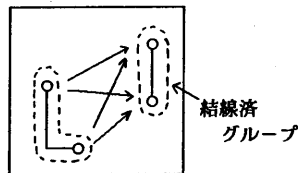


図6 多ピンネット経路発生法

最も配線コストの低い経路を選ぶ。

： 総当りで経路を発生することにより配線経路候補のうちで最も配線コストの低い経路、つまり最も混雑度と配線長のバランスのとれた経路を選ぶことができる。最短距離にある端子ペアを結線していくと、配線長は短くなるが、混雑度のアンバランスが生じやすく、決められた領域内に論理を実現するゲートアレイの配線手法としては不適當であると考えられる。

[3] できるだけ冗長な線分の発生をおさえ、スタイナ木に近い経路をもとめる。

： 配線済端子間の既配線経路と同じ経路（部分的でも良い）をたどるときには配線コストを0とし、できるだけ既配線経路を利用する（図7参照）。

[4] 折れ曲がり2回以内で結線できない時は、サブターゲットを導入し、サブターゲットを経由して2端子間を結線する。

： 十分な境界容量があればほとんど折れ曲がり2回以内で配線できるが、配線要求がきびしくなると、折れ曲がり2回では経路が存在しても発見できないことがある。そこで、図8に示すように、配線すべき2点で作られた矩形（点線の矩形）の3倍辺の矩形（一点鎖線の矩形）を作り、その中で最も到達しやすい点（境界容量から決定）をサブターゲットとし、この点を経由して配線することにより結線率を高めた。

[5] 等電位端子の選択処理

： 一般の内部セルは上下辺の同じx座標に等電位端子を持っている。クリティカルな信号については端子の広がりをも最小にし、一般の信号については図9に示すように、○、△を等電位端子、 $c_{ij}$  ( $i=1,2, j=1,2$ )を境界容量としたとき、ゲート列間のY方向境界線容量のminの大きい方の端子を選択して混雑度の緩和を図った。

[6] 配線コストは境界容量をパラメータとする指数関数とする。

： 指数関数は急激な立上り(立下り)を示すので、境界容量が少なくなると配線コストが急増するように設定され、無理な経路割付を避けられる。配線コストは、

$$C = \sum_i (a^{-x_i} + p_i)$$

$i$ は通過した境界線、 $x_i$ は境界残容量

$p_i$ はペナルティコスト

ペナルティコストは、予想混雑度から求める。予想混雑度とは、あらかじめ予想される概略

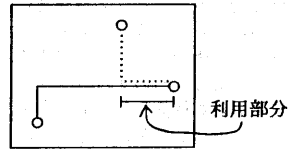


図7 既配線利用

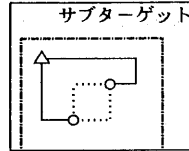
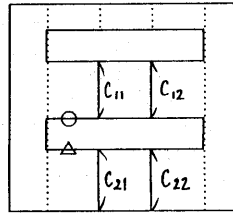


図8 サブターゲット経由



$$\text{Min}(C_{21}, C_{22}) > \text{Min}(C_{11}, C_{12}) \\ \implies \Delta \text{ を選択}$$

図9 等電位端子選択

		1/3	○
○			1/2

図10 予想通過確率

経路が境界を通過する確率（図10参照）を全信号について加えたものである。これをペナルティコストとして前述の指数関数コストに加える。これにより、あらかじめ混雑すると考えられる場所を通過するコストが高くなるため混雑度の平均化が行われる。

[7] スラック(配線余裕度)の導入

: 概略配線の容量管理は境界についてのみ行なわれるので、スペース内部の混雑を考慮しスラック(配線余裕度)を導入した。スラックの定義は、

$$\text{境界容量} = \text{配線使用可能本数} + \text{スラック}$$

である。

[8] 配線順は、[6]で求めた予想混雑度の高い所にある信号からとする。

: 一般には、配線領域中央部が混雑するので中央に端子の分布している信号から配線したり、端子密度の高い所に端子を持つ信号から配線することが考えられる。しかし、予想混雑度の高い所では、配線が混雑し、端子密度も高いと考えられるので最も妥当な配線順と考えられる。

3. 詳細配線アルゴリズム

詳細配線では、カラム・スキャン法を採用した。この手法は8)の"Greedy Channel Router"を基本としている。"Greedy Channel Router"はメタル2層配線(x方向にAL1, y方向にAL2)を仮定し、次のアルゴリズムでチャンネル配線を行う。

- (1) ピンからチャンネル内に信号線を出すことを最優先とする。
- (2) 左から順に配線し、目標ピンにできるだけ近い位置にAL1線分を置く。
- (4) できるだけドッグレッグする。

"Greedy Channel Router"では、JOG(Y方向線分)が頻繁に発生するのでスルーホールが多くなりやすい。この欠点をなくし、かつ結線率を上げる目的で次の改良を行った。

- (1) チャンネル内信号線と片側の端子を結線したために、もう片側のピンが結線できなくなった時には、結線したものを消去し、両側の端子から配線できるように配線パターンを変更(図11参照、実線はAL1, 点線はAL2)、左側に戻って配線(図12参照)等ができるようにした。
- (2) スルーホール削減のため、X-Yルールで配線したのち、同層内でのバンドに変換する。(図13参照)
- (3) 上下端子以外に、チャンネルの左右辺にある端子との結線を可能にした。

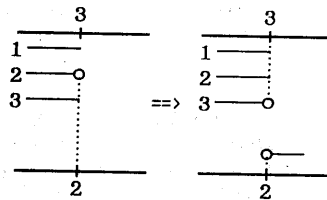


図11 配線パターン変更

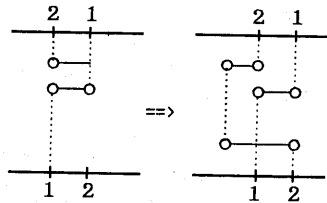


図12 左に戻って配線

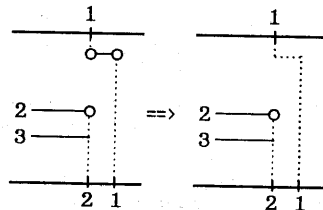


図13 同層内でのバンドに変換

#### 4. 実行結果

表1に試行したデータの内訳と計算時間を示す。

今回提案したMALCH法+カラム・スキャン法で配線した結果と従来システム（概略配線は迷路法、詳細配線はチャンネル割当法）の計算時間（HiTAC M-280H）を比較すると1/3~1/7であり、かなり高速であることがわかる。図14にゲート数と計算時間のグラフを示す。開発システムの計算時間がゲート規模に比例していることがわかる。

未配線本数も平均で2.9本減少させることができた。

表1 配線結果

	規模(ゲート)	実装率	信号数	従来手法 計算時間 (sec)	開発手法 計算時間 (sec)
A	800	92%	393	86	25
B	1800	95%	735	486	69
C	4000	90%	1888	944	159
D	7100	99%	3746	—	340

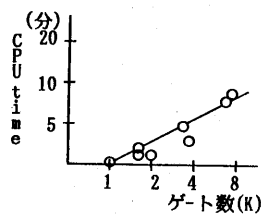


図14 自動配線  
計算時間

#### 5. おわりに

ゲートレイ用自動配線アルゴリズムとして、(1)概略配線に折れ曲がり数2回以内で配線するMALCH法(2)詳細配線に"Greedy Channel Router"を改良したカラム・スキャン法を提案し、これらを組み合わせることにより高結線率を維持した高速自動配線手法を開発した。迷路法とチャンネル割当法を使った従来システム手法と比較した結果、計算時間は、平均で6倍の高速化とゲート規模に比例であることを確認した。

#### 6. 参考文献

- 1) Lee C.Y. : An Algorithm for Path Connections and its Applications : IRE Trans. EC-10 Vol. 3 p136 (1961)
- 2) 栗田ほか : VLSIレイアウトシステム(VILLA)の概略配線手法 : 情処全大29(59後) p1673
- 3) Benjamin S. Ting & Bou Nin Tien : Routing Techniques for Gate Array : IEEE Trans. on CAD Vol. CAD-2 No.4 1983
- 4) 野田ほか : 大規模マスタスライスLSI用レイアウトCAD -MASTER2の配線処理- : 情処全大25(57後) p1295
- 5) J.H.Lee, N.K.Bose, and F.K.Hwang : Use of Steiner's problem in suboptimal routing in rectilinear metric : IEEE Trans. Circuits and syst., Vol. CAS-23 No.7 p470 1976
- 6) Michael Burstein : Hierarchical Wire Routing : IEEE Trans. on CAD Vol. CAD-2 No.4 p223 1983
- 7) Deutch D.N. : A Dogleg Channel Router : '76 DAC, p425
- 8) Rivest R.L. et al. : A Greedy Channel Router : '82 DAC p418
- 9) 増田ほか : マンハッタン配線問題について : 信学会技法CAS83-20 p25 (1983)
- 10) Mikami K. and Tabuchi K. : A Computer Program for Optimal Routing of Printed Circuit Conductors : IFIP Congress 68 p1475 (1968)
- 11) 石井ほか : VLSI自動配置配線プログラムの開発(ALEPH配置配線システムの構成) : 情処全大26(58前) p1369