

トランジスタ敷き詰め式ゲートアレイの レイアウトシステム

野田知義 藤野康弘 寺井正幸 味岡佳英 佐藤興二
三菱電機株式会社 LSI 研究所

トランジスタ敷き詰め式ゲートアレイのレイアウトシステムについて報告する。トランジスタ敷き詰め式ゲートアレイでは、チップ上に敷き詰められたCMOSトランジスタペアの任意の部分を使用して論理素子を構成し、これ以外の未使用トランジスタ部分で配線を行なう。本レイアウトシステムは、論理素子のセルを横一列に並べ、これ以外の領域を配線領域とし、配線混雑度を考慮して各配線領域の縦幅を調整するので、配線不能が減少する。又、メモリ部分を、その規則性を利用して内部に配線領域を設けずに実現するので、集積度が非常に向上する。従来のゲートアレイと比較する実験により、このシステムが、メモリを含む回路に対して特に有効であることを確認した。

An Automatic Layout System for CMOS Sea-of-Gates Array

Tomoyoshi NODA Yasuhiro FUJINO Masayuki TERAJ Yoshihide AJIOKA Koji SATO

LSI Research and Development Laboratory, Mitsubishi Electric Corporation
Itami, Hyogo, 664 Japan

An automatic layout system for CMOS Sea-of-Gates array called VIM is presented. On a VIM masterslice rows of N and P MOS transistors are being arranged with minimal spaces, and generally any portions of the chip can be used for constructing logic elements with remaining areas being used for wiring. The layout system lays out logic elements (uniform-height cells) in horizontal rows with alternating wiring areas (channels). The width of each channel is automatically adjusted according to its estimated local wiring congestion, resulting better routability. Comparison with the conventional gate array shows that high integration density can be obtained particularly for circuits containing memory (ROM/RAM) blocks.

1. はじめに

近年、LSIの微細加工技術の発達に伴い、LSIチップ上に搭載可能なゲート数は飛躍的に増大しており、一つのチップ上で大規模システムを実現出来る段階にまで達している。従来、短時間で誤り無く少量多品種のLSIを設計する方式としてゲートアレイが広く用いられているが、このような設計製造技術の発達とともに、ROM/RAM等のメモリあるいは機能ブロックをゲートアレイ上に効率良く実現する必要性が高まってきた。

ゲートアレイ上にメモリを実現するために、これまでに主として次のような方法がとられてきた。

(1) メモリを構成するための標準セル^{*}(メモリセル、センスアンプ、デコーダ、ドライバ等)を通常の標準セル(ゲートアレイにおける配置配線の単位)と同様に配置配線して構成する方法[1]。

(2) メモリ専用の固定領域をあらかじめチップ上に設けておく方法。

(1)の方法ではメモリをレイアウトするための特別な処理は必要としないものの、メモリ部の規則性を利用することができず、集積度が上がらないという欠点がある。又(2)の方法では、あらかじめ人手設計しておくメモリ部分では高い集積度が得られる反面、回路中で必要なメモリのサイズや構成を変えたマスタライスを数多く設計しておく必要がある。

これらに対して、チップ全面にトランジスタを敷き詰めた方式のゲートアレイが提案されてきている[2]~[4]。これらの方式では、敷き詰められたトラ

ンジスタのうちのある部分はメモリやロジックを構成するために使用し、それ以外の未使用トランジスタ部分は配線のための領域として取り扱うことができる。このため、どのようなサイズのメモリも無効領域を生じることなく自由に構成でき、比較的高い集積度が得られるという利点がある。

本文では、トランジスタ敷き詰め方式ゲートアレイに対して、その特長を活かしたレイアウトを行なうためのCADシステムについて報告する。以下では、まずトランジスタ敷き詰め方式ゲートアレイのチップ構造を簡単に説明する。次に、これをレイアウトする際のレイアウトモデル、特にメモリブロックをどの様に取り扱うか、について述べる。更にレイアウトの手法を従来のゲートアレイのそれと対比しながら述べ、最後にこの手法を適用した実験の結果について報告する。

2. チップ構造

我々の取り扱う敷き詰め方式ゲートアレイのチップ構造を図1に示す。チップは内部領域と周辺領域に分かれる。周辺領域には入出力パッド及びバッファが並んでおり、内部領域にはP型及びN型トランジスタ列が交互に並んでいる。上下に隣接するP、Nトランジスタ一対(トランジスタペア)がCMOS回路を構成する際の基本単位となり、連続する複数個のトランジスタペアで論理素子が構成される。例えば、3入力NANDはトランジスタペア4個で構成される。

各P(N)型トランジスタ列は配線格子として12格子分の高さを持ち、各トランジスタ列間には3本の配線格子が設けられている。配線はA1の二層配線で行なわれ、横方向には第一層A1、縦方向には第二層A1配線を用いる。縦方向の配線はセル上を自由に通過することができる。

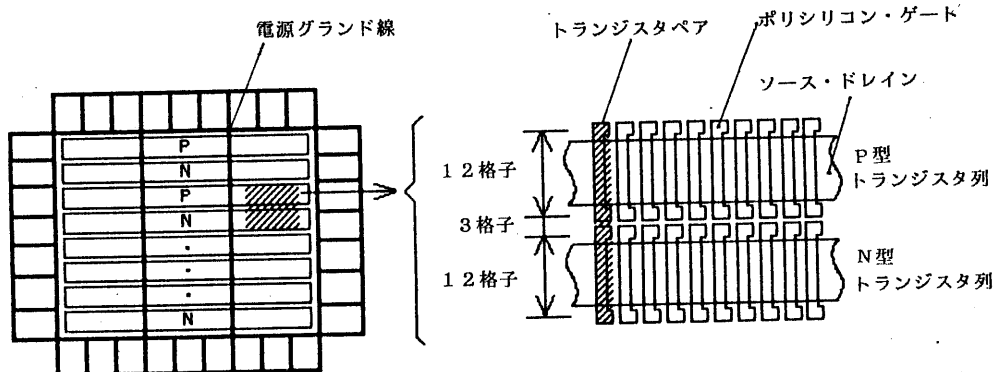


図1. 敷き詰め式ゲートアレイのチップ構造

* 本文ではいわゆる標準セル方式LSIと同様に、ゲートアレイにおける配置配線の単位を標準セルと呼んでいる。

電源グランド配線は二層A1によりチップ内の数箇所に縦方向に通っているが、各トランジスタ列中にはあらかじめ電源グランド用配線は設けられてはいない。

上記のようなチップ構造を持つトランジスタ敷き詰め方式ゲートレイを我々はVTMと呼ぶ。

3. レイアウトモデル

従来のゲートレイでは、セルが置かれることにより論理素子が形成される領域と配線領域とがあらかじめ固定されており、このため、局所的な配線の集中により配線不能が発生する事があった。これに対して、VTMではトランジスタ列を論理素子を形成するために使用することもできるし、配線領域として使用することもできる。従って、レイアウトの際に両者の割り当てを変更する事により局所混雑の緩和を図ることができる、という特長がある。又、メモリ等の機能ブロックは、その内部に配線領域を置かず形成する事により、高い集積度が得られるという利点もある。本節では、VTMのこれらの特長を活かしてレイアウトを行なうために我々が採用したモデルについて説明する。

まず、レイアウトの方法について一般的な検討を行なうため、レイアウトの対象についての幾つかの用語を定義しておく。上下に隣接するP型、及びN型トランジスタのペアを基本セルと呼ぶ。横方向に連続した基本セルを幾つか使用して構成される論理素子のセルを標準セルと呼ぶ。標準セルは基本セルと同一の高さを持ち、横方向の長さはその論理機能毎に異なる。標準セルよりも大きな論理機能を持った回路を、機能ブロックあるいは単にブロックと呼ぶ。ブロックは高さ、幅、形状とも任意のものであり、ブロック内部はあらかじめ人手により設計されている。

一般にレイアウトの方法を構成要素の面から分類すると次の様になる。

- (1) 機能ブロックのみを構成要素とする方法（いわゆるマクロブロック方式）。
- (2) ROM/ RAM等のメモリだけをブロックとして扱い、他の論理回路は標準セルを用いて構成する方法。
- (3) ROM/ RAM等のブロックも標準セルを用いて構成する”ソフトマクロ”として取り扱い、すべて標準セルのみを用いる方法。

(1) の方式をVTMに適用した場合、各ブロック内のレイアウトについてはトランジスタレベルで最適化されているため、高い集積度が得られるという利点がある。その反面、各ブロックの形状、位置を決定するフロアプランが必要である、配線領域の形状が複雑となるなどの欠点がある。

(2) の方式では、ROM/ RAM等のブロックの集積度は上がるものの、使用される可能性のあるビット/ワード構成を持つメモリをライブラリとしてすべて準備しておかなければならない。これは事実上不可能であるので、通常はある適当な大きさ、構成のメモリブロックを複数種類準備しておき、この中から必要なサイズ以上でかつそのサイズに最も近いものを選んで使用する。このとき必要以上のサイズが選ばれることにより、メモリブロック中に未使用部分が発生する場合には、そこが無効領域になってしまうという欠点がある。

これらに対し(3)の方法では、標準セルを使用して回路毎に必要なだけのメモリを構成できるため、様々なサイズのメモリをライブラリとして準備する必要

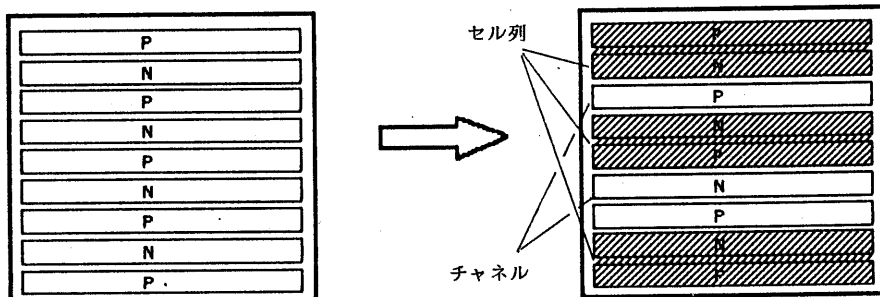


図2. セル列/チャンネルの定義

がなく、またメモリブロック中で使用されずに無効となる領域もなくなる。しかし一方では、同一メモリブロックを構成する標準セルが、規則性をもってレイアウトされることが一般には保証されず、メモリの専用領域に比べ集積度や性能が劣るという欠点がある。

我々はVTMのレイアウト手法を決定するにあたりこれまでのゲートアレイ用のライブラリ及び自動配置配線等のソフトウェアシステムを財産として有効に活用する事を重要視した。この考えに基づき、前述の(3)の方法をもとにしたレイアウトモデルを採用し、かつ上記の欠点を解決できるように工夫した。このレイアウトモデルを以下に示す。

レイアウトモデル

標準セルを配置する際には、従来のゲートアレイと同様にチップの左端から右端まで横一列に配置するものとする。この時の、標準セルが配置されるP、Nトランジスタペア列をセル列とし、セル列とセル列の間を配線領域(チャンネル)とする(図2)。又このとき、各チャンネルに割り当てられた横配線格子(トラック)本数をチャンネル容量と呼ぶ。セル列とチャンネルの割り当ては、各チャンネルにおける配線のために必要なトラック本数から決定する。即ち図3に示す様に、P型あるいはN型トランジスタ列の高さを単位として、トラックを多く必要とするチャンネルには大きな容量を、あまり多くのトラックを必要としないチャンネルには小さな容量を割り当てる。このときセル列内のP、Nトランジスタの上下の順(P-NあるいはN-P)に応じて標準セルを反転させて配置する。このようにセル列とチャンネルの割り当てを变化させることにより、局所的な配線混雑による配線不能を生じにくくできる。

ROM/RAM等のメモリは、大きさ、形状の決まったブロック(ハードマクロ)としてではなく、メモリセル、センスアンプ、デコーダ、ドライバ等の標準セルを配置配線して構成するソフトマクロとして取り扱う。例えば128ワード×1ビットのRAMは32ワード×1ビットのセルを4個とその他の周辺回路用セルから構成される。このとき各セルを図4のように横方向の相対座標位置をそろえて配置する。これにより、アドレスラインが縦方向に直線的に配線され、かつメモリセル間の横方向の配線はわずかとなるため、上下のセル間を最小間隔(図3における(1)の場合)でレイアウトでき、したがってメモリ部の集積度を上げる事が可能となる。

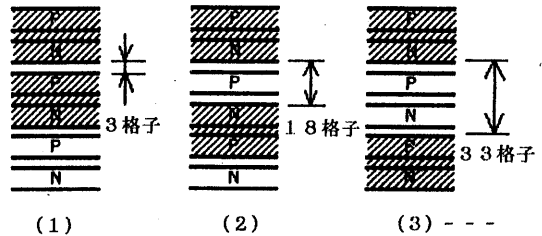


図3. チャンネル容量の割り当て

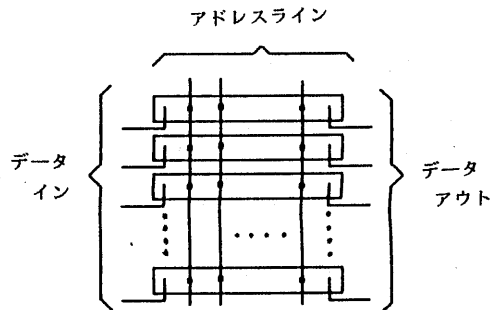


図4. メモリ用標準セルの相対配置固定

4. レイアウトの処理フロー

通常のゲートアレイのレイアウトは主に配置と配線の二段階からなるが、VTMの場合はこれに加えて、チップ上のP、Nトランジスタペア列のどの部分をセル列とし、どの部分を配線領域とするかを決定する処理が必要である。本システムのフローとしては、CMOSゲートアレイ用レイアウトプログラムを基本としてこれらの機能を付加した構成となっている。以下ではフローの各ステップの処理について述べる。

(1) チップフロアプラン決定

論理接続情報及びチップの物理情報を基にチップ上のセル列数を決定する。セル列数は、すべてのセルが配置できる最小の面積をまず考え、これに縦配線が通過する為の空き領域部分を加えた値から決定する。この段階では、チップ上の物理的な絶対位置の割り当てではなく、単にセルが配置されるためのP、Nトランジスタ列数のみが決定される。

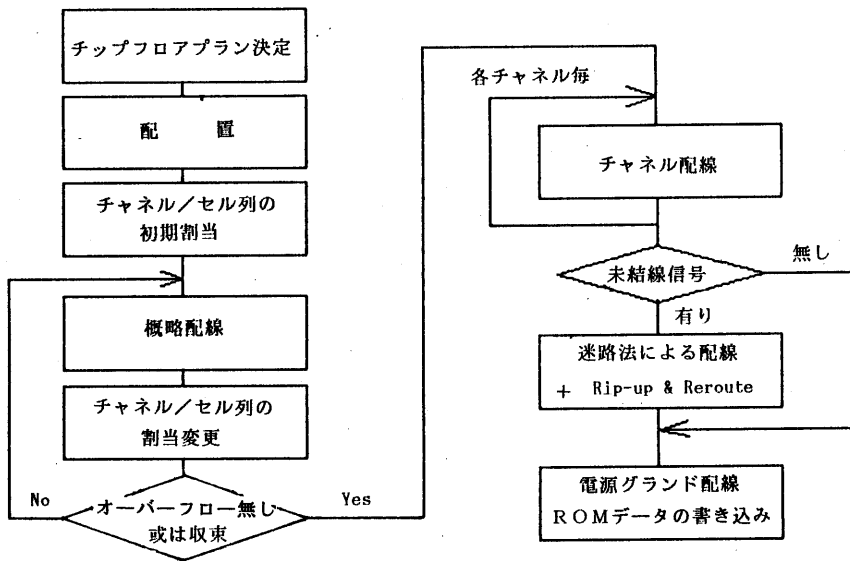


図5. レイアウトの処理フロー

(2) 配置

各セル列間の配線チャンネル容量は仮想的にすべて均一であるとして、セル列上への配置を行なう。配置は総配線長最小を目的として、初期配置及び反復配置改善の順に行なう。メモリ用標準セルの配置に関しては特別な処理が必要となるが、これについては次節で説明する。

(3) チャンネル/セル列の初期割り当て

ここではチップ上に敷き詰められているP、Nトランジスタ列のうち、どこをセル列として使用しどこを配線領域とするかを決定する。まず各チャンネルにおける必要なトラック本数を見積もるため、各チャンネルの容量が均一であると仮定して概略配線経路を算出する。次に、各チャンネルの容量とそこを通過する配線の本数との割合が、すべてのチャンネルについて可能な限り一様となる様にチャンネルとセル列の割り当てを決定する。この処理により、各チャンネル毎に混雑度に対応したチャンネル容量が割り当てられる。但しここで決定した割り当ては初期値であり、この後のステップで変更、修正される。

(4) 概略配線

配線手法は基本的に概略配線及びチャンネル配線から成る二段階の配線手法を用いている。概略配線では、チップ上のどのチャンネルを通過するかという単位での配線経路を各信号ネット毎に決定する [5]。

(5) チャンネル/セル列の割り当て変更

概略配線の結果、各チャンネルに割り当てられた配線の混雑度を均一化するため、ここで更にチャンネル/セル列領域の割り当てを修正する。まず、各チャンネル毎に最大幹線密度（横チャンネル内の横配線通過本数の最大値）を算出し、この値と割り当てられているチャンネル容量との割合がすべてのチャンネルで可能な限り一定となるように割り当てを修正する。もし、この処理の後でもオーバーフロー（幹線密度がチャンネル容量を超えること）が起っているチャンネルがある場合、再度、概略配線、割り当て修正を繰り返す。オーバーフローがなくなるか、あるいはオーバーフローしている本数が収束するまでこれを繰り返した後、(6)へ進む。

(6) チャンネル配線

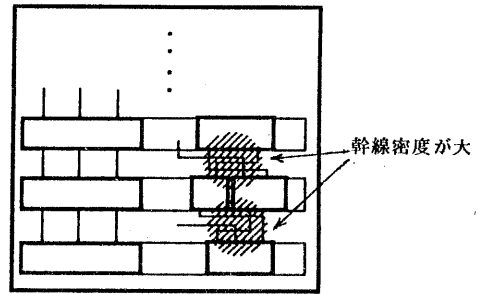
チャンネル配線は各チャンネル毎に初期ピン割り当て、ピン割り当て改善、トラック割り当ての順に行なう [5]。

(7) 未結線信号ネットの配線

チャンネル配線終了時点で未結線として残った信号ネットを迷路法により配線する。更に、迷路法でも未結線となった信号ネットについては、いわゆる Rip-up & Reroute手法（未結線の原因となった既配線を認識してこれを一度除去し、次に、未結線信号ネット、除去された信号ネットの順に配線を行なう手法 [6]）を用いて結線する。

(8) 電源グランド配線及びROM用データの書き込み

レイアウト終了後のデータをアートワークデータに変換する際に、セル列として使用されたP、Nトランジスタペア列上へ横方向に貫通するような配線パターンを持つセルを配置することで、横方向の電源グランド配線が行なわれる。又、同時にROMを構成する標準セル上に、0、1のビット情報に対応したセルを重ねて配置する。このセルにはコンタクトのパターンが含まれており、これによりトランジスタのオン、オフが決定され、結果として、ROMデータの書き込みが行なわれる。



メモリ用標準セル メモリ以外の標準セル

5. ROM/ RAMの構成方法

5. 1 接続情報の作成

本システムでは前述の様に、ROM/ RAM等のメモリブロックも、メモリセル、デコーダ、ドライバ等の標準セルを配置配線して構成する、いわゆるソフトマクロ方式をとっている。レイアウトを行なう際にはこれらの標準セル間の接続情報が必要となるが、これらをユーザ（論理設計者）がすべて記述するとした場合にはユーザにとって大きな負担となる。これに対処する為、本システムでは、次の様な方法をとっている。

データベース中には、ユーザにとって必要と思われる最大サイズのビット/ワード構成を持ったメモリブロック内接続情報がメーカー側により準備されている。ユーザはメモリブロックが標準セルで構成されることを意識する必要はなく、単なる一つの機能ブロックとして必要なビット/ワード構成だけを指定したメモリを使用して論理接続情報を記述し、データベースへ入力する。ユーザの使用するメモリのビット/ワード構成に応じて、データベースとレイアウトとのインターフェースプログラムは、データベース中に準備されたメモリブロック内接続情報のうちで使用されない不要部分を削除した接続情報を作成し、レイアウトプログラムに対して出力する。

5. 2 レイアウトの方法

レイアウトの際特別な処理をしない限り、同一セル列上にメモリ用標準セルと通常の標準セルとが混在して配置される事が考えられる。このときメモリ用標準セルに接続する配線に対してはあまり多くのトラックを必要としないが、同一セル列上に配置されたメモリ以外の標準セルに接続する配線に対してはそれよりも多くのトラックを必要とする。チャンネル/セル列の割り当てではチャンネル中の最大幹線密度でチャンネル容量が決定されるため、この処理により図6の様にメモリ用標準セルにとっては必要以上に大きなチャンネル容量が割り当てられ、結果としてメモリ部の集積度が上がらなくなる。

図6. メモリ用標準セルとそれ以外の標準セルとが同一セル列上に混在する場合の影響

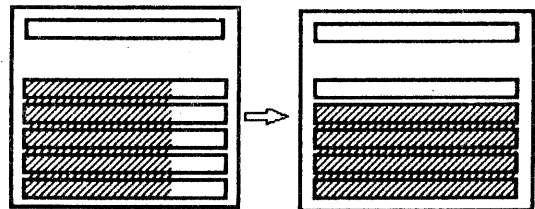
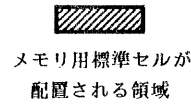


図7. メモリ用標準セルの配置方法

これを避けるため、配置の段階で同一メモリ中の標準セルを図7の様に可能な限り横に並べ、これ以外の標準セルを同一セル列上に配置しない様にする。又同時に、上下に隣接するメモリ用標準セル間の座標位置を揃え、アドレス線が垂直に配線される様に考慮する。（図4参照）

配置プログラムの処理としてはまず上記の様な点を考慮してメモリ用標準セルのみを配置し、次いでそれ以外のセルの初期配置を行なう。配置改善処理ではメモリ用標準セルについてはその位置を固定して変更しない様にし、通常の標準セルのみの配置改善を行なう。配置が終了した後はメモリ用標準セルも通常の標準セルも区別なく同等に取り扱う。

6. 実験結果

本システムを適用した実験の結果を表1及び表2に示す。

表1におけるデータAは、8Kゲートのゲートアレイと同一サイズのVTMを用いて、4KビットのRAMと4.5Kゲートのロジックから成る32ビットRALUをレイアウトしたものである。これを図8に示す。4KビットのRAMは約6Kゲートのサイズに相当する為、この回路は全体で約10Kゲートの規模となり、8Kゲートのゲートアレイではレイアウトできないが、それと同一のチップサイズのVTMを用いて全自動でレイアウトが完了した。これによりVTMでは、回路中にメモリを含む場合には、従来のゲートアレイ以上の集積度が得られることが分かる。

データBは複数個のROM/RAMを含む回路の例である。これを図9に示す。この回路には256ビットのRAMと1KビットのROMが含まれている。図9よりこれらのメモリがチップの上下辺の付近に規則性を持ってレイアウトされている様子が分かり、これにより複数個のメモリが含まれている場合でも効率的なレイアウトが可能である事が確認できた。

表2はメモリを含まない従来のゲートアレイと同一の回路を、同一のサイズのVTM上でレイアウトした実験例である。この様にメモリを含まない回路の場合では、従来のゲートアレイと比較して平均配線長はほとんど変わらず、CPU時間の増加もわずかであり、ほぼ同一のレイアウト結果が得られた。又、局所混雑による配線不能の減少に対しても効果があった。

表1. 実験結果(1) (ROM/RAMを含む場合)

データ	メモリ量	セル数	ネット数	CPU時間(分)		不能信号数
				配置	配線	
A	4Kbit RAM	2004	2499	106	32	0
B	256b RAM 1Kb ROM	1206	1413	65	7	0

表2. 実験結果(2) (ROM/RAMを含まない場合)

データ	セル数	ネット数	ゲートアレイ			VTM		
			配線CPU(秒)	平均線長*	不能信号数	配線CPU(秒)	平均線長*	不能信号数
C	1607	2698	590	1.00	0	667	1.00	0
D	1455	2245	791	1.00	0	804	1.00	0
E	1207	1907	612	1.00	4	641	0.99	0

* ゲートアレイの場合を1として正規化している

7. むすび

本文では、トランジスタ敷き詰め方式ゲートアレイのレイアウトCADシステムについて報告した。セル配置用領域と配線領域とを各々列状に割り当てるレイアウトモデルを採用したことにより、既存のCMOSゲートアレイ用レイアウトシステム及びライブラリを有効に活用することができる。

実験により、従来のゲートアレイ以上の集積度が、従来と同等の処理速度により得られる事が確認された。

参考文献

- [1] Ueda, M. et al, "A 1.5 μm CMOS Gate Array with Configurable ROM and RAM," 1985 IEEE ISSC Digest of Technical Papers, pp.126-127, Feb. 1985.
- [2] Fukuda, H. et al, "A CMOS Pair-Transistor Array Masterslice," VLSI Symposium Digest of Technical Papers, pp.16-17, Sept. 1982
- [3] Hui, A. et al, "A 4.1k Gates Double Metal HCMOS Sea of Gates Array," Proc. of CICC, May, 1985.
- [4] Arakawa, T. et al, "A Basic-Cell Buffer 440K Transistor CMOS Masterslice," 1986 IEEE ISCC Digest of Technical Papers, pp.78-79, Feb. 1986.
- [5] 寺井、他、"種々の構造のゲートアレイに適用可能な配線プログラム"、情報処理学会論文誌第25巻第3号昭和59年5月
- [6] Dees, W.A. Jr, "Automated Rip-Up and Reroute Techniques," Proc. of 19th DAC, pp.432-439 June. 1982.
- [7] 藤野、他、"ゲートアレイ配置配線プログラムのトランジスタ敷き詰め式ゲートアレイへの適用"、昭和61年度電子通信学会全国大会 part2, pp.152
- [8] Hsu, C.P. et al, "Automatic Layout of Channelless Gate Array," IEEE CICC, pp.281-284, May. 1986.

図8. データAのレイアウト結果

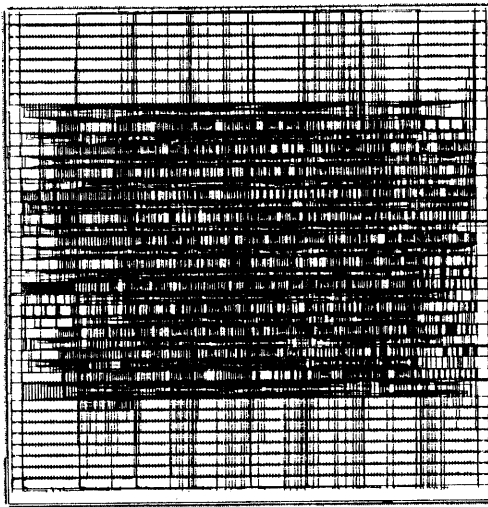


図9. データBのレイアウト結果

