

大規模 L S I 向 3 層 分割 配線 手法

佐藤康夫, 湯山恭史, 岩倉良夫, 三宅統一, 西山良範,
池本康博

(株) 日立製作所

ここでは、大規模 L S I 用のメタル 3 層分割配線手法を報告する。配線プログラムは階層的レイアウト設計においてブロック間の配線を行う。処理概要は、ネットの分割領域割当と領域内詳細配線の 2 段階からなり、分割領域割当では、チップ内配線混雑緩和のためグラフトレース法と呼ぶ手法を用い、領域内詳細配線ではメタル 3 層配線を実現するため層ペア配線法を採用している。本手法によりブロック上空を自由に使用した 3 層配線レイアウトが可能になる。

3-LAYER ROUTING METHOD FOR VLSI
(in Japanese)

by Yasuo SATOH, Kyoji YUYAMA, Norikazu MIYAKE, Yoshinori NISHIYAMA
and Yasuhiro IKEMOTO

(Device Development Center, Hitachi Co Ltd, 2326 Imai, Omeshi, Tokyo, 198, Japan)

This paper presents a 3-layer routing method for VLSI. The routing method consists of local area assignment for each net and detailed routing in each area. Local area assignment uses Graph Tracing Method to relax wiring congestion, and detailed routing uses Maze routing in paired layers. This approach enables us to lay out a chip using multi layers and to rout wires freely over the blocks.

1, はじめに

VLSIの実装設計問題は益々複雑化しており、

- (1) 集積度の向上
- (2) 多層配線プロセス
- (3) LSI性能向上のためのマクロセル使用

等に対処していく必要がある。

大規模LSIの実装設計においては一般に階層的にレイアウトを進める手法が、同時並行設計作業による設計効率向上、信号線ディレイ考慮等の観点から採用されている。本論文ではチップをセルの集合であるブロックに分けて設計し、各ブロックの設計が完了した時点でブロック間の設計を行う方法(図1)を採用し、ブロック間の配線問題について報告する。

本手法は、

- (1) ブロック間にメタル1層、2層、3層の配線を可能としたこと。
- (2) ブロック内はポリシリコン層及びメタル1層、2層に限定し、メタル3層はブロック上空を自由に使用できるようにしたこと(図2)

等の特徴とする。このように各層を実装設計階層毎に使い分けチップ全体のレイアウトをやり易くしている。

2, 概要

本手法は大きく以下の3つのステップに分られる。

2.1 チップの領域分割

チップを図3のようにローカルな領域に分割する。各領域には複数個のブロックが含まれる。分割の仕方はブロックの形状、電源線の位置、禁止領域等を考慮して決定する。

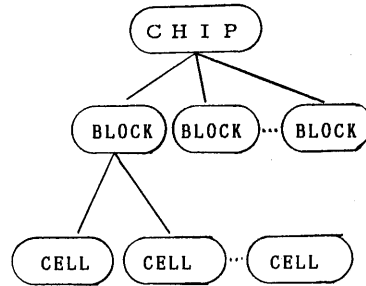


図1、実装設計階層

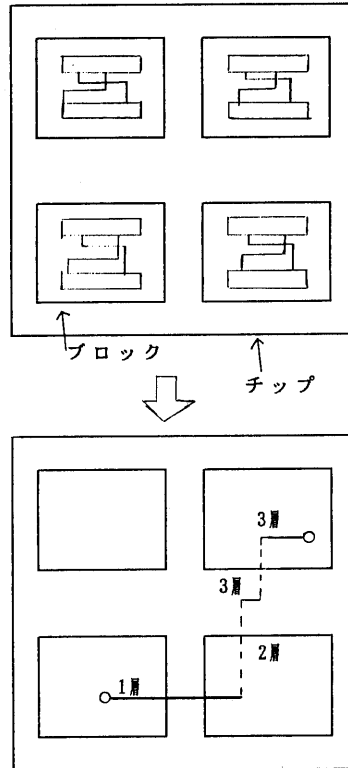


図2、階層的レイアウト手法

2.2 ネットの領域割当

ブロック間を結ぶ各ネットに対してその通過する領域及び領域境界上の仮想端子位置を決定する(図4)。ここでは各ネットの配線長を増加させない範囲で局所的配線混雑度の緩和をはかるためグラフトレース法と呼ぶ方法を用いた。

2.3 領域内詳細配線

各領域内に対してローカルな詳細配線を行う。配線はブロックの端子及び§ 2.2で決めた仮想端子間を配線する。ここではメタル1層からメタル3層迄を扱う多層迷路法を用いた。迷路法ではブロック内の既配線を禁止と見なして配線するため、ブロック内で使用されていないメタル1層、2層及びメタル3層の部分は自由に使えるので、チップ面積の低減に有効である。(図5)

以上§ 2.1から§ 2.3の手法を用い、最後に各領域を分割境界で結合することによりチップ全体のレイアウトを完結させる。本手法導入の狙いは次の通りである。

(1) チップ内局所的混雑の緩和

§ 2.2の手法により大規模VLSIチップ内の局所的混雑が緩和される。

(2) 計算機メモリネックの解消

迷路法は配線対象領域(面積をSとする)と相似な2次元テーブルを持つため計算機メモリ量は、

$$M = A + B \times S \text{ (バイト)}$$

A : 2次元テーブル以外のメモリ量

B : 1配線格子当りのメモリ量
 で与えられる。領域分割により対象とする面積Sを一定値以下に抑えることが出来る。

(3) 設計期間の短縮

人手で取り扱える大きさまで規模を小さくすることにより、同時に並行設計作業が出来る。この結果、設計期間短縮が計れる。

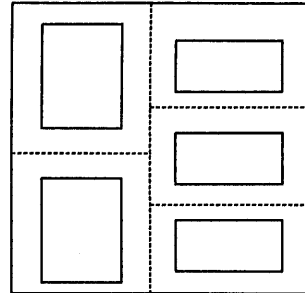


図3 チップの領域分割

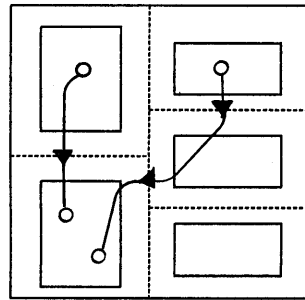


図4 ネットの領域割当

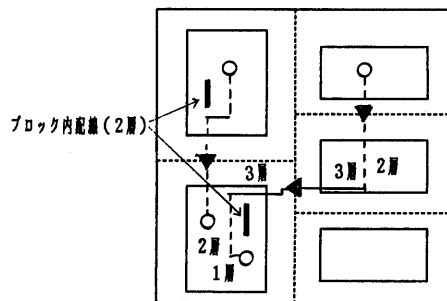


図5 領域内詳細配線

3, ネットの領域割当

手順を図6のフローチャートで示す。

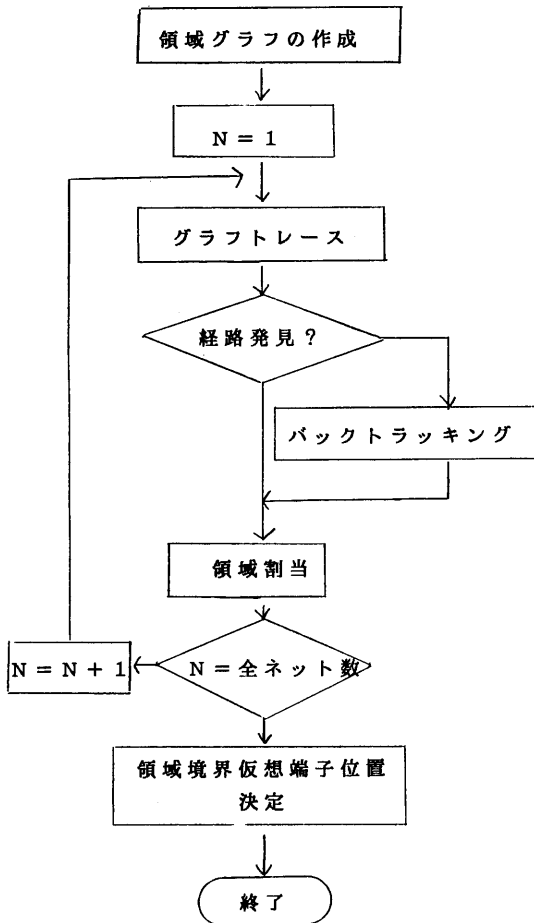


図6、ネットの領域割当手順

(1) 領域グラフの作成

図7に示すように各分割領域の接続関係をグラフ表現する。各領域をグラフのノードで、隣接関係をエッジで表わす。着目するネットのブロック端子が存在する領域は2重丸のノードで示した、以下、ネットの領域割当問題は、このグラフ上で2つのノードを結ぶ経路問題となる。各エッジに対しては、

後述するように評価値が重みとして与えられる。

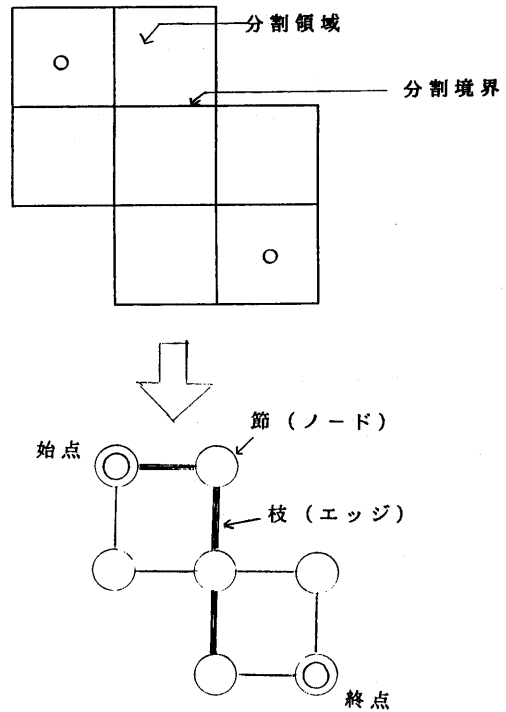


図7、領域のグラフ表現

(2) グラフトレース

ネットの始点から終点へ向い領域グラフ上の経路探索を行なう。探索は重み付き深さ優先探索法 (depth first search法) を用いる。即ち、図8のように探索を続けていくが、複数の経路選択枝がある時は、重みの小さいエッジを優先して探索する。

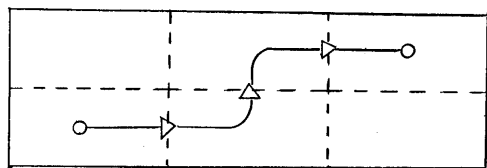
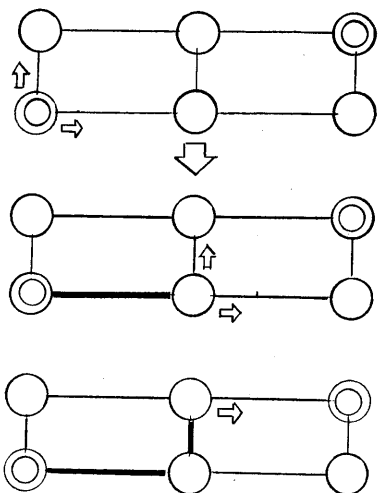
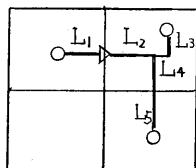


図 8、グラフトレース

枝の重み W は、

(a) その枝より終点までの予測配線長

$$L = \sum_{i=1}^N L_i$$



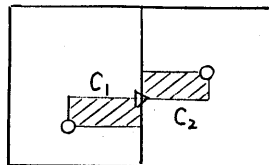
(b) 領域境界上の混雑度 (B)

$$B = \frac{\text{割付て済のネット本数}}{\text{境界上の通過可能配線本数}}$$

(c) 内部混雑度 (C)

図の斜線部の混雑度 C_1 , C_2 の和

$$C = C_1 + C_2$$



以上のように定義すると、

$$W = \alpha L + \beta B + \gamma C$$

で与えられる。定数 α , β , γ は実験により最適化した。

(3) バックトラッキング

領域グラフ上のトレースにより経路が見つからない場合は、図 9 のように探索済経路を後戻りして新たな経路探索を行う。

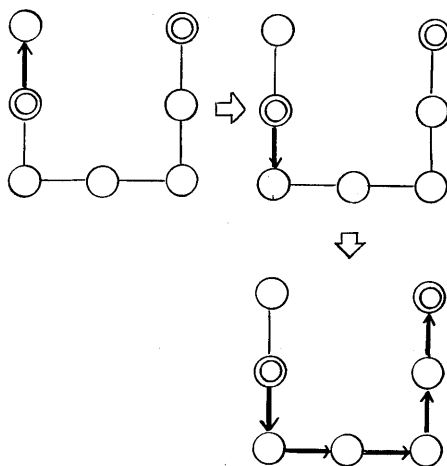


図 9、バックトラッキング

(4) 領域割当

(1) から (3) までの処理で通過領域決定後、各エッジに混雑度増加分を登録する。

(5) 領域仮想端子位置決定

全ネットに対して領域割当を終了すると各領域境界に対して仮想端子位置を決定する。これは図10に示すように各エッジをサブエッジに分解し、通過するサブエッジ決めと、サブエッジ内での位置決めとの2段階に分けて行う。

(a) サブエッジの決定

例えば図10のサブエッジE1～E5を見た場合、E1, E3, E5はメタル1層とメタル3層が使用可能なに対し、E2, E4はブロック内の配線でメタル1層が使われているためメタル3層しか使えない。このようにサブエッジ毎に通過可能配線本数が異なるのでこれを計算し各々

$$C_{\lambda,Ek} \begin{cases} \lambda=1, 2, 3 \\ \text{配線層に対応} \\ k=1 \sim 5 \end{cases}$$

と表す。同様に割り当てたネット本数を U とするとサブエッジ決定においては混雑度平準化、即ち、

$$\frac{\sum_{\lambda=1}^3 U_{\lambda,Ek}}{\sum_{\lambda=1}^3 C_{\lambda,Ek}} \div \frac{\sum_{\lambda=1}^3 U_{\lambda,El}}{\sum_{\lambda=1}^3 C_{\lambda,El}} \quad (k,l=1, \dots, 5)$$

なるように選択する。

(b) サブエッジ内位置決め決め

これは、各層内での混雑度平準化、即ち、

$$\frac{U_{\lambda,Ek}}{C_{\lambda,Ek}} \div \frac{U_{j,Ek}}{C_{j,Ek}} \quad \begin{cases} \lambda, j=1, 2, 3 \\ k=1, \dots, 5 \end{cases}$$

となるように位置を決めする。なお、(a), (b)決定時に混雑度と併せて配線長も伸びないように考慮している。

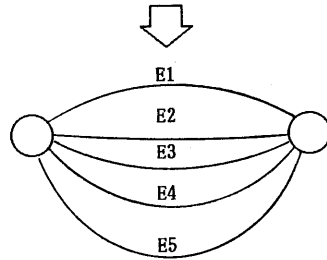
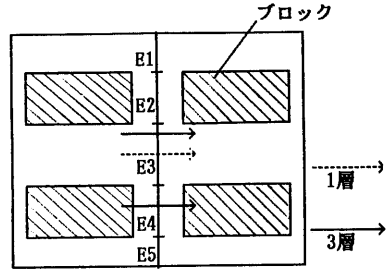


図10. サブエッジ分割

4. 領域内詳細配線

領域内の配線は、

- (a) メタル1層から3層を用いた3層配線が可能なこと。
- (b) ブロック内では、ポリシリコン層、メタル1層及びメタル2層が使用されているため、これら避けてブロック上の配線が可能なこと。

等が要求される。そこで本手法では迷路法を用いた配線を行っている。多層配線を実現するために層ペア配線と呼ぶ手法を用いた。層ペア配線は図11に示すように配線を、

- (イ)メタル1層とメタル2層を用いた層ペア1内の配線
- (ロ)メタル2層とメタル3層を用いた層ペア2内の配線

に2段階に分けて行う方法で、2層配線の技術がそのまま使用できることと、計算機メモリ量が少なく済むのが特徴である。

今 配線領域 S 内でメタル 1 層とメタル 2 層の配線格子数 S_{12} , メタル 2 層とメタル 3 層の配線格子数を S_{23} とすると、層ペア配線方式で計算機メモリ量は、

$M = A + B \times \text{MAX}(M_{12}, M_{23}) \dots \textcircled{1}$
 となる (§ 2.3 参照)。一方、配線格子の情報をすべてテーブルに持つ方式だと計算機メモリ量は、

$M = A + B \times (M_{12} + M_{23}) \dots \textcircled{2}$
 となり、例えば $M_{12} = M_{23}$ となるような多層配線プロセスでは、

$\textcircled{1} / \textcircled{2} \doteq 0.5$
 となり約半減される。

なお、層ペア配線を行うに当っては予め、ネットを層ペア 1 か層ペア 2 に割当てておく。これは全てのネットを層ペア 1 から詰め込もうとすると配線の迂回等が起り、良くない判断したためである。

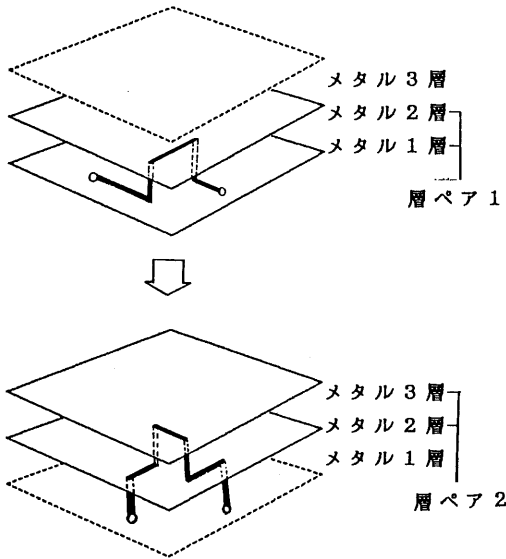


図 1 1 . 層ペア配線法

5. 設計事例

本手法を開発しスタンダードセル方式 L S I , ゲートアレイ方式 L S I に適用している。40Kゲート規模の C M O S スタンダードセル方式 L S I に適用した例では、配線率 99.2% を得た。この時のチャネル使用率は 45.7% であった。

6. おわりに

大規模 L S I におけるチップサイズ低減、多層化は必須である。多層配線においては各層を以下に使い分け、効率良く使用するのが課題となる。今後データを積み上げシステム改良を行っていく予定である。

7. 参考文献

- (1) 寺井他:大規模フルカスタム L S I の自動レイアウト設計方式、情報処理学会論文誌 Vol 26-1(1985)
- (2) Ohno, Y. et al: Integrated Design Automation System for Custom & Gate Array VLSI Design, Proc. of ICCD, pp 512-515(1982)