

# 大規模ゲートアレイ用自動配置プログラム

小林 俊一                      関 光穂  
(株) 日立製作所 日立研究所

本報では、大規模ゲートアレイを対象とした自動配置プログラムの初期配置アルゴリズムの一方式について提案する。初期配置アルゴリズムは、セルの上位概念であるモジュールと、チップの簡略表現である理想基板を用い、大規模な配置問題を一度小規模な配置問題に置き換えて大規模な配置問題を効率良く解く。

実験データにより、我々が先に開発した自動配置プログラムに比べ約3倍の高速化が得られた。また、本アルゴリズムで用いている理想基板にプリセット配置情報を反映させることにより、プリセット配置を考慮した初期解を得ることができた。

AN AUTOMATIC PLACEMENT PROGRAM FOR VERY LARGE SCALE GATE ARRAYS

Syun'ichi KOBAYASHI and Mitsuho SEKI

Hitachi Research Laboratory, Hitachi Ltd.  
4026 Kujicho, Hitachi, Ibaraki, 319-12 Japan

In this paper, an initial placement algorithm for very large scale gate arrays is proposed. Our initial placement algorithm solves a large scale placement problem effectively by replacing it with a small one, introducing the idea of the module as an above image of cells and the imaginary chip as a simple expression of the chip.

We completed the placement for about one-third calculation time in comparison to our previous system. And by reflecting the information of the preset cells onto the imaginary chip, we could obtain an initial solution considered preset cells.

### 1. はじめに

半導体技術、プロセス技術の進展に伴い、LSIの高集積化、高速化が急速に進展している。その中でユーザ論理が短期間にLSI化できるゲートアレイは、近年その特長を生かし、パソコン、オフコン、通信、画像処理分野など広範囲に用いられている。ゲートアレイの応用分野が広がり、高集積化、高速化が進むにつれ、設計を自動化するDAシステムに要求される性能、機能も厳しくなってくる。レイアウトDAシステムにおける自動配置プログラムでは配置処理の高速化や各種配置制約の遵守などの多機能化が課題となっている。

自動配置手法としては、分割配置法<sup>1</sup>、一括配置法<sup>2</sup>があるが、ゲートアレイでは設計のT. A. T. を重視することから一括配置法が用いられることが多い。しかし、対象とする回路が大規模化してくるとセルを配置の単位とする一括配置では計算時間の増大という問題を生ずる。また、RAM、ROMなどの大型セルを含むセル配置や遅延時間、消費電力などを考慮したセル配置などの要求がある。このような配置制約に対する1つの解法としてプリセット配置を許す自動配置、あるいは、配置制約を満たす配置修正などの対処の仕方が考えられる。

今回提案する方法は、一括配置法に属するものである。本報告では、セルの上位概念であるモジュール、チップの簡略表現である理想基板と言う概念を導入し、大規模な配置問題を一度小規模な配置問題に置き換えて、効率良く解く初期配置アルゴリズムについて述べる。

### 2. 基本的な考え方

ゲートアレイでは、配線容量が予め決まっているために自動配置は、配線の集中が起らないようにセルの割り付け位置を決定することが課題となる。自動配置プログラムは初期配置、配置改善で構成されるが一般に配置結果の良否は、初期解に依存することが知られている。対象とする論理回路が大規模化すると計算時間の面からも良質な初期配置を求めることはたいへん重要となる。本プログラムでは、大規模化に対処するため初期配置処理に配置制約条件を2次元情報として取り込み高品質な初期解を得ることを目的とする。

### 3. レイアウト・モデル

本プログラムが対象とするレイアウト・モデルには、チップ・モデルとセル・モデルの2種類がある。

チップ・モデルを図1に示す。チップの周囲には、外部とのインターフェイスを取るI/Oセルが配置されている。I/Oセルは、自動配置に先だって位置が決まっている。チップ内部は、ゲート列が規則正しく並べられている。ゲート列内には、セルに電源を供給するためのゲート列内電源線が設けられている。チップの中央には、ゲート列内電源線の補強のために電源幹線がメタル2層で数本設けられている。電源幹線とゲート列の交差する斜線部分は、セルの配置禁止領域となる。ゲート列間は、配線チャンネルとして自動配線で使われる。セル・モデルを図2に示す。セル・モデルは、縦幅は、固定(ゲート列と同じ)で横幅は、可変である。端子位置は、上下の辺上に有り等電位端子を持っている。

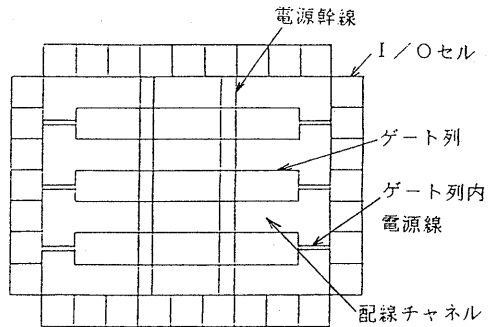


図1 チップ・モデル

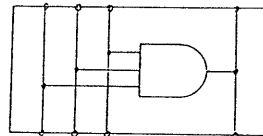


図2 セル・モデル

#### 4. 自動配置プログラムの構成

本プログラムの構成を図3に示す。初期配置処理は、セルからモジュールを作成する論理分割、理想基板を用いモジュール間の相対位置を決定するモジュール層配置、モジュールの相対位置を基準にチップにセルを展開するセル層配置の3段階より構成される。配置改善処理は、総配線長の改善を目的とした2次元配置改善、配線混雑度の緩和を目的とした1次元配置改善の2段階で構成される。

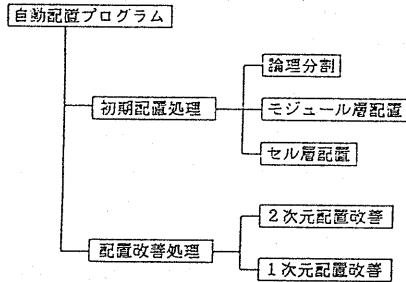


図3 自動配置プログラムの構成

#### 5. 初期配置アルゴリズム

初期配置アルゴリズムを説明する前に今回新たに導入した理想基板とモジュールについて説明する。

##### (1) 理想基板の定義

理想基板とチップの対応関係を図4に示す。理想基板は $M \times N$ の格子状で構成され、格子に囲まれた部分をスロットと呼ぶ。各スロットは、大きさが等しくゲート列と1対 $n$ の関係を持ち、チップ上でのスロット領域は重複することはない。理想基板は、スロットとゲート列との対応関係に基づいてチップ上の配置制約条件をスロットに反映させる。反映させる配置制約条件は、I/Oセルなどのプリセット配置情報、配置禁止情報の2種類である。

##### (2) モジュールの定義

モジュールの概要を図5に示す。モジュールは、数十個のセルから構成され、大きさは持つが、形状は不定である。また、モジュール内のセル間を接続するセル信号と、モジュール間を接続するモジュール信号を持つ。

#### 5.1 論理分割

論理分割では、配置制約条件(I/Oセル、配置禁止領域等)を考慮せずに論理接続関係をもとに $n$ 個のモジュールを作成する。モジュールの作成方法は、論理結合度を評価し2つのセルの合併操作を繰り返すクラスタリング手法を用いている。論理結合度は、Schuler-Ulrich<sup>3</sup>が提案した論理結合度評価式(図6)を用いた。この式は、信号端子レベルまでの包含関係が評価できるため、作成されるクラスタは、結線密度の高いセルの集合体となる。

#### 5.2 モジュール層配置

モジュール層配置では、論理分割で作成したモジュールと理想基板を用いて次に示すような仮定を設けて、モジュール間の相対位置を決定する。

- (1) 各モジュールは、同一サイズである。
- (2) モジュールの端子位置は、モジュールの中央にある。
- (3) 1スロットには、1モジュールが配置される。

モジュール層配置は、初期配置と配置改善とから構成されている。モジュール位置の評価には、モジュール信号を用いる。初期配置では配置済モジュールに着目した組立配置を採用し、理想基板の周囲から配置する。配置改善は、最小カット法を用いている。カットラインの発生手順は、ゲートアレイの構造を考慮し横方向配線数が最小となるように縦ラインを優先的に発生させている。

#### 5.3 セル層配置

モジュールの選択は、理想基板の左端に配置されたモジュールから順に行なわれ、ゲート列の左端からモジュール内のセルをゲート列上に展開する。展開するゲート段は、理想基板とチップとの対応関係で決定される。セルの展開は、論理分割で作成したクラスタ木をトップダウンに操作し、モジュール内の総配線長が最小となる1次元配列を求めて行なう。

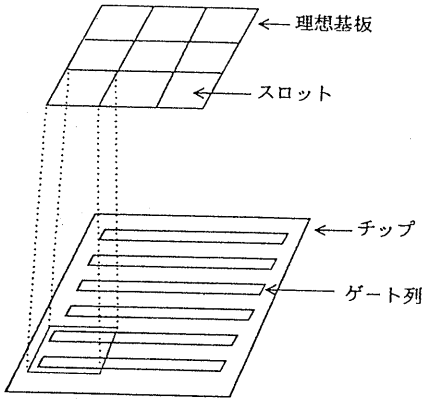


図4 理想基板とチップの対応

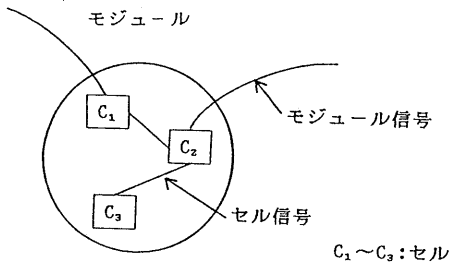


図5 モジュールの概要

$$CV_{ij} = f(S_i) \frac{C_{ij}}{T_i - C_{ij}} + f(S_j) \frac{C_{ij}}{T_j - C_{ij}}$$

$$C_{ij} = \frac{\sum_{n \in \{i, j, \text{共通ネット}\}} i U_j \text{に接続する } n \text{ の端子数}}{n \text{ の全端子数}}$$

$$f(x) = x^\alpha$$

$S_k$  : クラスタ  $k$  の大きさ  
 $T_k$  : クラスタ  $k$  の全端子数  
 $\alpha$  : パラメータ

図6 論理結合度評価式

## 6. プリセット配置

プリセット配置されたセルを自動配置では、配置禁止領域として取り扱う。そのため配置制約が増えプリセット配置の状態（形状、位置など）により配置結果が左右されることが予想される。これを防ぐために、一般には、セルの配置位置が決定している配置改善処理でセルの交換などを行ない対応している。しかし、対象セルが多くなると処理時間が急増し、配置改善で対応することが難しくなる。そこで今回、プリセット配置の状態を理想基板に反映させ初期配置処理の段階で行なうことにした。理想基板に反映させる情報は、プリセット配置の形状情報と接続情報である。

### (1) 形状情報

スロットに対応するチップ領域中に1/2以上のプリセット配置領域が存在する場合にはスロットを配置禁止とする。

### (2) 接続情報

プリセット配置したセルの接続情報を対応するスロット上に反映させる。スロット上での端子位置は、スロットの中心とする。

以上2つの情報を用いて、論理分割では、有効スロット数に対応したモジュールを作成する。モジュール層配置では、理想基板を用いて大局的立場でプリセット配置状態に対応したモジュール配置を求める。セル層配置では、配置禁止領域を避けながらセルを配置する。

## 7. 実験と考察

本報告で提案した初期配置アルゴリズムの効果を実験によって確認した。表1に実験データの内訳を示す。データAは4Kゲート、Bは7Kゲート、Cは20Kゲート用チップのデータである。

データBを用いたモジュール数と初期解の関係を図7に示す。総配線長は、スパニング木を用いたマンハッタン長の総和である。モジュール数が100前後で総配線長が低くなり、その後モジュール数の増加とともに総配線長が増加している。計算時間を見てみるとモジュール数が100前後までは大きく減少し、モジュール数が300以上では、増減が見られない。モジュール数が150と400の初期解を3次元の配線混雑度で表したのが図8である。モジュール数が150の場合は、配線混雑度がチップ上に広く分散している状態がわかる。モジュール数が4

00の場合は、配線混雑度がチップ中央に集中している。以上2つの結果より今回開発した初期配置アルゴリズムは、モジュール数を適切な値にすることにより、短時間に高品質な初期解を得ることができるとわかった。図9に自動配置プログラムの計算時間を示す。比較対象としたのは我々が先に開発した自動配置プログラムである。このプログラムは、初期配置に階層型クラスラリング手法<sup>4</sup>を用い、配置改善には拡張重心緩和法<sup>5</sup>を用いている。20Kゲートの計算時間で約3倍に高速化できた。

次にプリセット配置に対する実験結果を示す。実験に用いたデータを表2に示す。プリセット配置は、RAMブロックを想定した(図10参照)。自動配置プログラムの計算時間を図11に示す。今回開発したプログラムは、プリセット量によるバラツキが少なく、また、従来プログラムに比べ計算時間を約1/3以下に短縮できている。図12は、自動配置プログラムで求めた配置結果をもとに配線した結果である。従来プログラムでは、Eデータを除きD、Fデータの未結線本数が10本以上発生している。今回開発したプログラムでは、3ケースとも未結線本数が10本以下である。以上の結果より、今回開発した自動配置プログラムは、プリセット配置に対し十分対応できるものと考えられる。

### 8. おわりに

本報告では、回路の大規模化に対応する、配置問題を取り上げ、セルの上位概念であるモジュールとチップの簡略表現である理想基板を用いた初期配置アルゴリズムを提案し、その有効性を実験により確認した。

#### 【参考文献】

- (1)三浦、茂垣、小澤:VLSIブロック自動配置手法、自動処理学会 設計自動化24-2(1984.11.20)
- (2)神戸ほか:ビルディングブロック型スタンダードセル方式LSIの一配置手法、自動処理学会 設計自動化30-4(1986.1.21)
- (3)D.M. Suhuler et. al., Proc. DAWS, 1972, P50-56
- (4)小林、高野:ゲートアレイ用階層型クラスタリング配置手法、昭58年 信学総全大、385
- (5)小林、田久保:拡張重心緩和法を用いたゲートアレイ用配置改善手法、昭59年 信学総全大、410

表1 実験データの内訳

回路名	ゲート数	信号数	実装率(%)
A	3801	1495	94.3
B	6768	2700	94.8
C	17504	8160	89.7

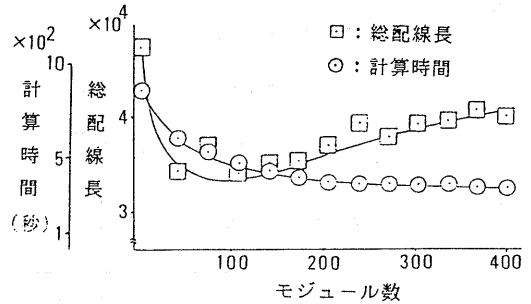
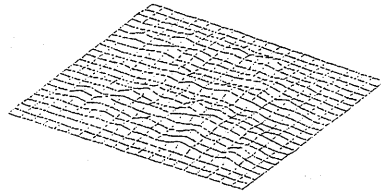
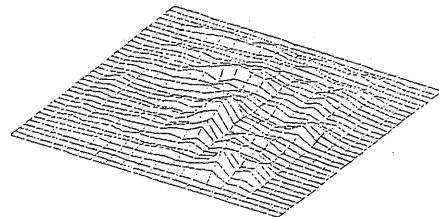


図7 モジュール数と初期配置結果



(a) モジュール数150の初期解



(b) モジュール数400の初期解

図8 初期解の配線混雑度

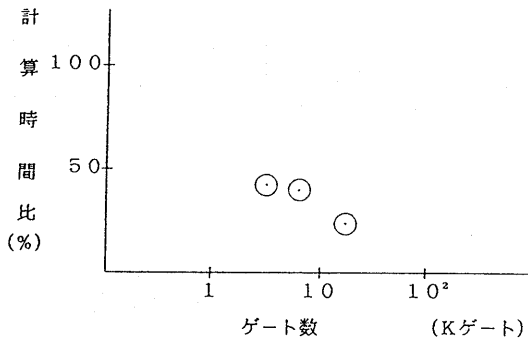


図9 自動配置プログラムの計算時間

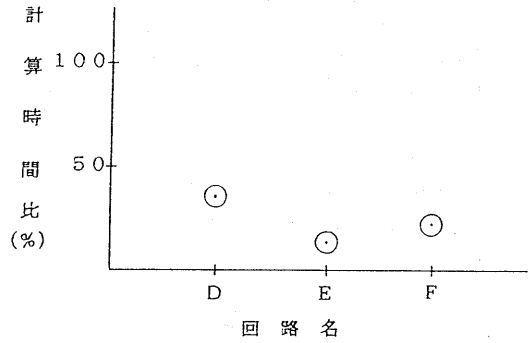


図11 プリセットデータを用いた時の計算時間

表2 プリセット配置データの内訳

回路名	ゲート数		信号数
	全体	プリセット量	
D	2247	1260	888
E	2247	684	1112
F	2247	396	1238

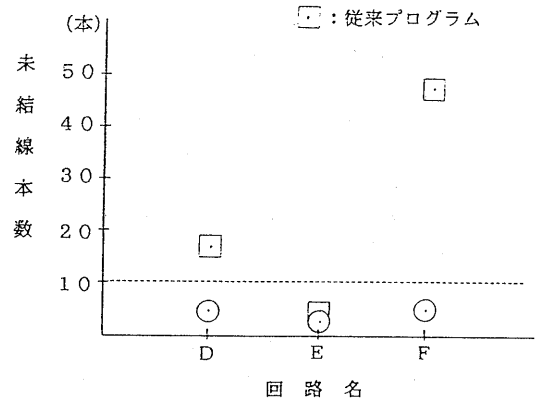


図12 自動配線プログラムによる配置結果

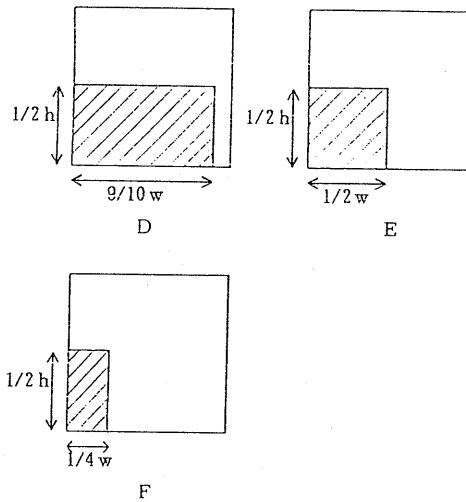


図10 プリセット配置の状態