

# 論理シミュレーション専用マシンSPの アーキテクチャ

## The Architecture of the Logic Simulation Machine SP

広瀬文保 \*1 新妻潤一 \*1 川戸信明 \*1  
Fumiyasu Hirose Junichi Niitsuma Nobuaki Kawato  
浜村博史 \*2 石井光雄 \*1 山田 博 \*1  
Hiroshi Hamamura Mitsuo Ishii Hiroshi Yamada

\*1 株式会社富士通研究所 \*2 富士通株式会社  
\*1 FUJITSU LABORATORIES LTD. \*2 FUJITSU LTD.

あらまし 超高速・大規模論理シミュレーション専用マシンSPを開発した。複数の専用プロセッサがバッファメモリ付き多段イベント通信網に接続して、イベント法シミュレーションを並列に実行する。SPは、最大4M素子、32Mバイトからなる論理装置の設計全体を最高0.8Gアクティブ素子評価毎秒でシミュレーションする。

Abstract We developed the logic simulation machine "SP", for use in efficiently verifying the VLSI logic in large digital systems manufactured by FUJITSU. It employs event driven simulation in a multi-processor configuration, using special purpose processors and a multistage swiching network with buffer memory. It can simulate a digital system having 4M primitives and 32M bytes of strage at maximum 0.8G active primitive evaluations per second.

1. はじめに： 大型論理装置を短期間に誤りなく設計するためには、論理シミュレータは不可欠である。装置の大規模化複雑化に伴う膨大な計算時間に対応するため、論理シミュレーションを専用に行うハードウェア<sup>1,2</sup>が開発されてきている。シミュレーション・プロセッサSP<sup>3,4,5</sup>は、大規模論理装置の設計全体のシミュレーションを、汎用大型計算機上で走るソフトウェア・シミュレータに比して超高速に、かつ精度的に互換性を保ちながら実行することを目的として開発された専用マシンである。図1に装置の写真を載せる。

2. システム構成： SPのホスト計算機として機能する FACOM M-780上のDAシステムが、回路図とDDLにより記述された大規模な論理装置の設計全体を分割・コンパイルし、SPのための回路モデルを構築する。DDL記述は通常、詳細な論理検証を対象としない回路部分をRTLレベルで表現するために用いる。シミュ

レーション制御言語もSPのためにトランスレートされる。回路データはM-780のBMCチャンネルを通じて、4.5Mバイト毎秒でSPに転送される。SPの高速性を活かして、大規模回路の会話型処理的な検証を効率よく行うため、SPはEWSとも接続可能である。EWSとSPはマルチバスにより、1Mバイト毎秒で接続

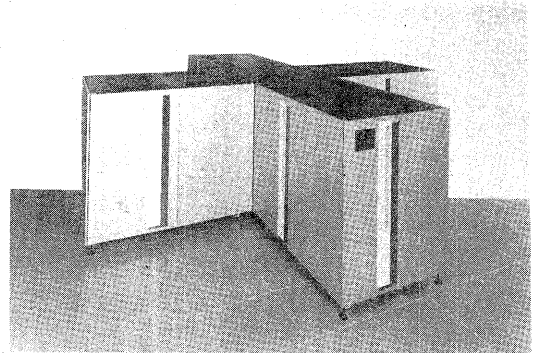


図1 SP筐体写真

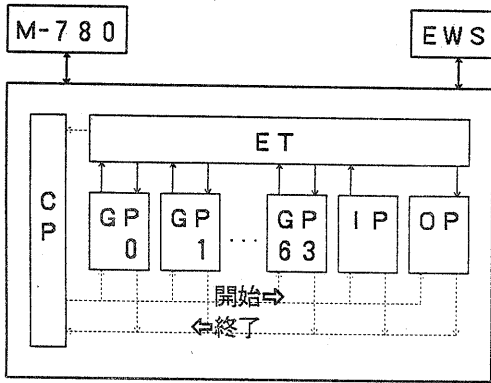


図2 プロセッサ構成図

されている。

3. プロセッサ構成： SPのプロセッサ構成を図2に示す。回路のシミュレーションを専用に行うハードウェアをゲート・プロセッサと呼び、GPと表す。最大64台のGPが、シミュレーションを並列に実行する。回路全体は、実行前に静的に分割されている。インプット・プロセッサIPは、シミュレーションに際し、外部入力系列をGPに適用する。アウトプット・プロセッサOPは、シミュレーションの結果であるところの回路の時々刻々の動作を出力リストとして格納する。イベント・トランスミッション・ネットワークETは、プロセッサ間のイベントの通信を担当する。コントロール・プロセッサCPは、プロセッサの同期制御およびシミュレーション実行を各種条件で停止するための制御を行う。回路モデルと外部入力系列がホスト計算機であるM-780よりロードされ、GPとIPに格納される。シミュレーションの実行

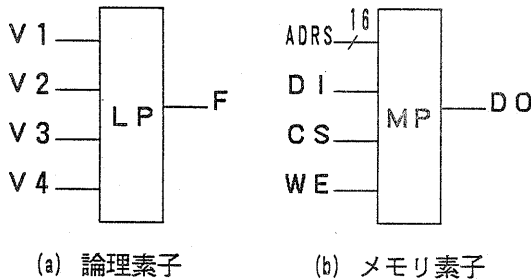


図3 評価単位

がCPにより制御され、結果としての出力リストがOPに蓄積される。

4. 評価単位： GPは、図3に示す2つのタイプの素子（論理素子とメモリ素子）を同一のプロセッサで評価できる。メモリ素子は、最大64Kビットの容量をもち、1ビット幅のスタティックRAMとして、4つの入力（アドレスバス、データイン、チップセレクト、ライトエネーブル）でモデル化される。アドレスバスは16本の信号線からなる。

論理素子は4入力1出力のユーザ定義可能な組合せ論理である。SPでは、1つのネットを表現するために4ビットをアサインしているため、例えば1本の線を信号線4本のバスとみなすことにより（この場合、信号値は0、1の2値となる）、1つの論理素子で最大16入力4出力の論理ブロックまで表現することが可能である。これは、粗い精度のシミュレーションで十分な場合（例えば、DDL記述した回路部分をシミュレーションする場合）には有効であると考えられる。

図4は、8×8ビットの並列乗算器を論理ブロックを用いて表した例である。L4×4およびH4×4はそれぞれ4ビットの並列乗算器の下位4ビットと上位4ビットを計算する論理ブロックである。A3とC3はそれぞれアダーとキャリーの一種である。この例では、ゲートレベルの表現に比較して、論理素子数を50分の1に削減し、シミュレーション速度は約20倍加速することができる。

16値の信号値はこのようにバスを表現できる他に、例えば、テストパターン生成における

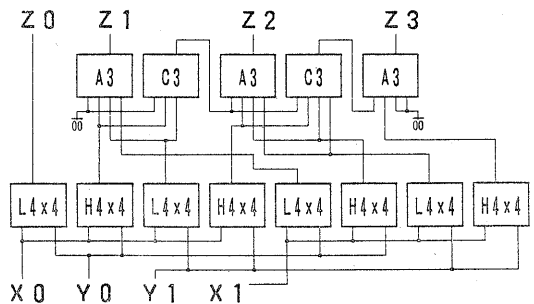


図4 8×8ビット並列乗算器

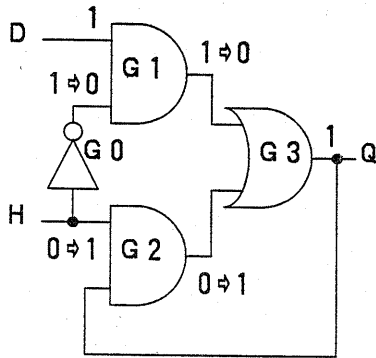


図5 回路例

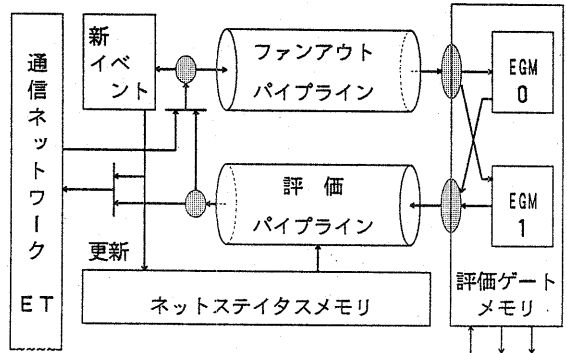


図6 GPブロック図

故障の伝播や、MOSの双方向スイッチのモデル化などにも有効に利用できる。

5. アルゴリズム： 図5の回路設計例により、イベント法を簡単にまとめる。今、外部入力Hが0から1に変化することが通知されると、シミュレータはまずHの状態を1に変更する（更新）。ネットの状態が変化する時、イベントが発生したという。つぎに、ゲートG0とG2が、イベントの存在に基づいて取り出される（ファンアウト取り出し）。そして、例えばゲートG2が新しい入力H=1とG3=1により計算され、出力が変化するかどうかを検査される（評価）。この場合は、G0もG2も変化することがわかり、新しいイベントとして登録される（スケジュール）。イベントがスケジュールされている限り、同様のシミュレーションサイクル（更新、ファンアウト取り出し、評価、スケジュール）が繰り返される。

論理シミュレーションにおいては、ゲート評価という極めて簡単な演算を行うためのデータを準備するために、大規模な回路データの接続関係を追跡したり、ネットの値を取りだしたりする必要がある。即ち、汎用機でこれを実行する時には、メインメモリへのアクセスがクリティカルとなって、メインフレームのもつ強力なパイプライン処理能力が十分に発揮できない。そこで、SPではイベント法の専用ハードウェア化に際し、複数のパイプラインが、処理の各ステージでローカルメモリに独立にアクセ

スしながら並列処理を進める方式を考案してインプリメントした。

6. GPアーキテクチャ： 図6にGPのブロック図を示し、図7にSPの同期タイミングの一例を表す。GPは初期的には安定かつ終了状態になっている。外部入力変化がインプットプロセッサIPから、通信ネットワークETを經由して、GPに送られ、新しいイベントのメモリに格納される。同時に、ファンアウトパイプラインに起動がかかり、ファンアウトとしてゲートG0やG2を取り出す。それは、評価ゲートメモリの1つ、例えばEGM1に、未登録の時に限って、登録される。この時点でGPは非安定となる。

通信が終了すると、終了信号がONとなる。これに呼応して、制御プロセッサCPが開始命

CP	開始	0		1		2	
	終了	終				終	終
OP			モニタ			モニタ	
IP	対GP						
ET			GP対OP			GP対OP	
	対GP			GP対GP			GP対GP
GP0		更新	外部	内部		更新	外部
			ファンアウト				ファンアウト
GP1		更新	外部	内部		更新	外部
			ファンアウト				ファンアウト

図7 同期タイミング

令を発行する。GPは終了信号をOFFとする。そして、新しいイベントで、回路の状態を保持しているネットステータスメモリを更新する。もし、このネットがユーザのモニタしているネットであれば、このイベントは同時に出力プロセッサOPにETを経由して転送される。

更新が終了し、かつファンアウト取り出しが終了すると、EGMの2つのパイプラインに対する接続が逆転する。EGM1に格納されたゲートG0、G2が、評価パイプラインに送り込まれ、新しい入力によって評価される。評価パイプラインはイベントを検出すると、それを新しいイベントとして格納する。またファンアウトパイプラインに起動をかける。次の時刻の評価ゲートG1、G3が取り出されてEGM0に格納される。

検出したイベントがGPが担当する部分回路の境界ネットに関するイベントであるときは、GPはETを用いてイベントを通信する。評価パイプラインは、第一にEGMより境界ネットを変化させる素子を先行的に取り出して評価し(外部)ETに通信の起動をかける。その後、通信処理に並行して内部の素子の評価を行う(内部)。このことにより、通信と評価の並列処理の最適化を図っている。GPは、評価を終了すると終了信号をONとして、CPに知らせる

このように、アルゴリズムの並列化に際して、処理を、更新、ファンアウト取り出し、評価・スケジュールという機能毎に分割し、機能単位で処理するゲートをバッファの中にまとめ、一斉にパイプライン処理できるようにした。ローカルメモリを独立に持たせることで、各パイプ

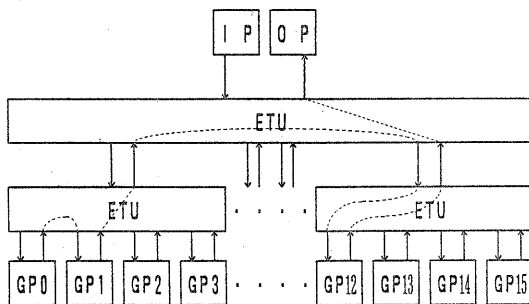


図8 通信ネットワークET

ラインを並列動作させた。その結果、すでにプロセッサ単体で大型計算機の数十倍の演算性能を達成した。

7. ETアーキテクチャ：高速なGPを64台並列動作させて、台数効果をあげるためには、第一にプロセッサ間の通信量が最小であること、第二にプロセッサ間通信が高速であること、第三に負荷分散が均一であることが重要である。通信量の最小化については、第一に通信方式としてネットイベント通信法を採用した。このため、プロセッサ間通信は、回路分割により生ずる境界ネットか、ユーザがモニタしているネットに、イベントが発生したときのみ発生する。また、ロジックとメモリを結ぶネットに発生する通信を、GPがメモリとロジックの両方を評価するようにしたことで削除した。プロセッサ間通信の高速化については、第一に高速スイッチングネットワークETを装備したこと、第二に通信処理とプロセッサ内部の評価処理を実行順序の制御により最適に並列動作させたことで対処した。第三の負荷分散については、現在設計者がマニュアル分割を行うためのツールが用意されている。自動分割は今後の課題である。

さて、通信速度の高速化のために、我々は図8(抽象)、図9(詳細)に示すような階層的

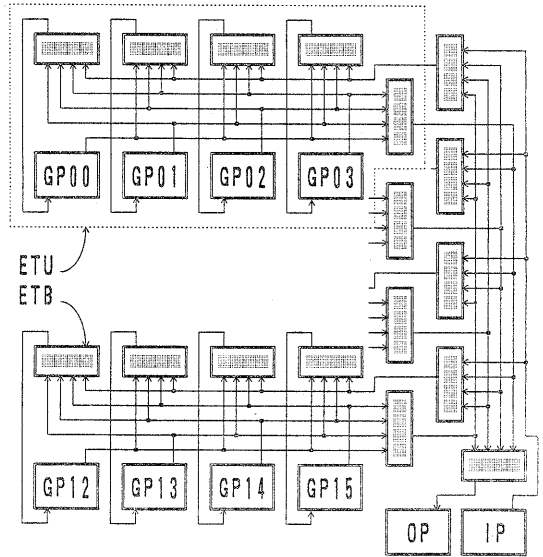


図9 ETブロック図

なバッファメモリ付き多段通信ネットワークを考案した。図8でETUは、ETの構成単位であるETユニットを表し、自分の傘下にある4つのGPおよび上位の階層にあるETユニットとのイベント通信を行う。上位のETユニットも同様に、自分の傘下にある4つのETUとIPとOPの間のイベント通信を行う。64台GP構成のSPの場合は、ETUの階層は3段となる。ETUの内部は、コモンバス<sup>6</sup>ではなくて、バッファメモリ付きのクロスバススイッチで構成されている。図9にETの詳細なブロック図を示す。図中、ETBは、4入力1出力のインタフェースをもつバッファメモリでETバッファと呼ぶ。ETBは、5個で1つのETUを構成する。ETUは、全てのGPが1クロックの間に1つのイベントを放出し、1つのイベントを受理できるように設計されている。従って、通信バス上のイベントは、パイプライン処理されて1クロックに1つずつ進む。行き先が同じになった場合はETU内のバッファメモリでこれを吸収している。ET全体の通信速度は、SPの評価速度の2倍であるところの最高1.6Gイベント毎秒であり、通信経路がつかまることによりGPの評価がまたされるケースは、通常の場合ほとんどないと考えられる。

**8. IO処理：** カタログ性能に近い実性能を引き出すためには、通信方式の最適化が極めて重要である。SPでは、マシン内部の通信方式を最適化するとともに、シミュレーションの入力およびシミュレーション結果の通信に関する、ホストとSP間の通信方式も最適化している。

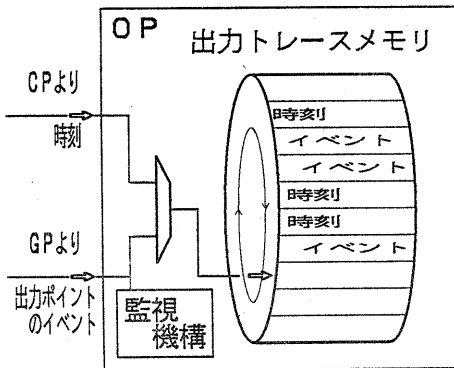


図10 アウトプロセッサOP

即ち、回路への外部入力、時々刻々の回路動作をSP内部に専用プロセッサとして蓄えさせることにより、シミュレーション中にはホストとの通信が発生しないようにしている。アウトプロセッサOPは、図10のように回路の時々刻々の動作を時刻とイベントのリストとして格納している。この方式では、回路がどの時刻に安定したかを正確に知ることもできる。OPは、スクロールモード<sup>7</sup>といって、OPの容量を越えるイベントを受理した時には、古いイベントの上にデータを上書きしてゆく機能がある。大規模回路の全てのレジスタの値程度ならば、最新の数十～数百クロックの値を常に保持できる。また、ユーザは回路の特定の状態を、SPに対する割り込みとして定義でき、それをOPがリアルタイムベースで監視しているため、条件が成立するまではSPはホストとの通信は一切行うことなく自走することが可能である。

インプットプロセッサIPでは、図11に示すように、特に、クロック等の周期的な入力については、周期メモリを用意して、1周期分を格納することにより無制限の時間の入力を与えることが可能である。これとともに、大容量のランダムな入力を保持する非周期メモリを備えている。

**9. 通信方式からみたアーキテクチャの比較：**

イベント率15%<sup>1</sup>、レジスタ間の最大ゲート段数を30段の回路を例として、1クロック分シミュレーションするとした場合に発生する通信回数をイベント法<sup>6,7</sup>、レベルソート法<sup>7,8</sup>、イグゾースティブ法<sup>8,9</sup>で比較する。プロセ

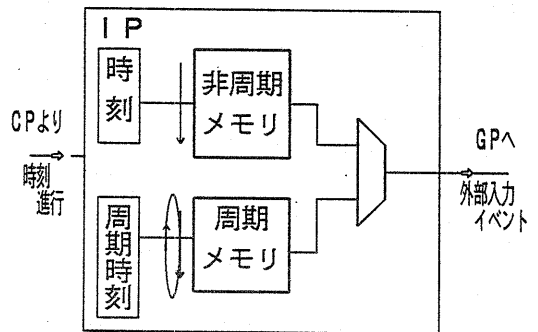


図11 インプットプロセッサIP

ッサ間にまたがる境界ネットの数が100本あるとする。レベルソート法では1クロックの間に全ゲートを評価するため100回の通信が必要である。イグズォースティブ法では1ユニットタイムの間に全ゲートを評価する必要があるため、3000回の通信が要求される。イベント法では15回で十分である。また、従来のマシンでは、メモリ処理用のプロセッサとロジック処理用のプロセッサがわかれているため、メモリとロジックのプロセッサ間に通信要求が集中する恐れがある。SPでは、ロジックとメモリをGP内で同様に評価可能なため、分割に際して、境界ネットの数を従来マシンより減少させることが可能である。

尚、図5のようなループのある回路のシミュレーションは、イベント法とイグズォースティブ法においてのみ可能である。

10. まとめ： 大容量性については、SPは最大4M素子、32Mバイトの回路をシミュレーションできる。これは、大型計算機、スーパーコンピュータ等の大規模論理装置の設計全体を一括して論理検証するのに十分な容量であると考えられる。

高速性については、最高で0.8Gアクティブ素子評価毎秒の演算能力を達成している。これは、大型計算機上のソフトウェアシミュレータの、演算性能比で3000倍に匹敵すると考えられる。例えば、8ビット並列乗算器を4096個並べた回路では、M-380とのCPU時間との演算性能比で、ゲートレベルで2000倍、論理ブロックレベルで40000倍の高速化を実測している。

通信機能については、ETは最高1.6Gイベント毎秒の通信速度を達成している。これは、GPの評価速度の2倍に匹敵する。また、OPはユーザの着目するネットに発生したイベントを最大4M個、スクローリングして格納可能であり、かつユーザの指定する回路の状態をリアルタイムで監視できるため、ホストとSP間の通信が最小化できる。

今後の課題は、回路の自動分割、大規模回路のインタラクティブかつ知的な検証機能、会話処理に耐える高速コンパイラの開発である。ま

た、テスト生成、スイッチレベルシミュレーション等の他のCAD問題を高速化する研究にSPを応用してゆく予定である。

#### 謝辞

SPの開発に協力頂いた電算機第一技術部の内田部長代理および富士通オートメーションの関係各位に感謝いたします。

#### 参考文献

- 1) Blank, T. : A Survey of Hardware Accelerators Used in Computer Aided Design, *IEEE Design & Test of Computers*, Vol. 1, No. 4, pp. 21-39 (1984).
- 2) 大森, 小池 : CAD専用装置, 情報処理, Vol. 25, No. 10, pp. 1144-1152 (1984).
- 3) Hirose, F., et al. : Simulation Processor "SP", *Proceedings of IEEE International Conference on Computer Aided Design (ICCAD)*, pp. 484-487, Nov. 1987.
- 4) 広瀬 et al. : 論理シミュレーション専用マシンSP, 情報処理学会第35回全国大会, pp. 2271-2272 (1987).
- 5) 新妻 et al. : 論理シミュレーション専用マシンSPの制御, I/Oプロセッサ, 情報処理学会第35回全国大会, pp. 2271-2272 (1987).
- 6) Erickson, B. : Automation and simulation in large system design, *VLSI SYSTEM DESIGN*, pp. 42-48, December 1986.
- 7) Koike, N., K. Ohmori, H. Kondo and T. Sasaki : A High Speed Logic Simulation Machine, *proc. of COMPCON spring '83*, pp. 446-451, Feb. 1983.
- 8) Denneau, M.M. : The Yorktown Simulation Engine, *Proc. of 19th Design Automation Conference*, pp. 55-59, June 1982.
- 9) SIMULOG 社の SuperSim.