

ゲートアレイにおける未結線ネットのための 概略配線アルゴリズム

Loose Routing Algorithm for Remaining Nets
in Gate Array Chips

磯本 和典[†]
Kazunori ISOMOTO

藤井 隆志[†]
Takashi FUJII

菊野 亨[‡]
Tohru KIKUNO

吉田 典可[†]
Noriyoshi YOSHIDA

†広島大学工学部
Faculty of Engineering
Hiroshima University

‡大阪大学基礎工学部
Faculty of Engineering Science
Osaka University

あらしし ゲートアレイ方式によるVLSIレイアウト設計の配線段階において、結線できずに残るネット(未結線ネット)に対する配線処理の高速化が重要な問題の1つとなっている。未結線ネットの配線は、一般に、結線すべき端子を囲む矩形を探索範囲とする迷路法により求める。しかし、迷路法では処理に要する時間やメモリ使用量が大きいなどの問題がある。本稿では、チップ上の既配線による混雑度を考慮することにより、処理時間の高速化を図る。まず、チップ上において混雑度の低い領域(疎領域)を発見する。次に、未結線ネットの配線に用いる概略配線経路を求める。最後に、この経路に基づいて迷路法を適用し、詳細配線を求める。実際のチップデータに対して行った実験結果より、本手法は未結線ネットの処理の高速化に有効であると考えられる。

Abstract This paper proposes a new approach to the routing problem for remaining nets in the gate array layout design. In this approach, the congestion of each region on the chip is enumerated, and the uncrowded regions are found. In order to efficiently obtain routes of remaining nets, the uncrowded regions will be effectively used. Then, sequences of the uncrowded regions are determined as loose routes of the nets. Based on the sequences, the detailed routing for the nets is performed. From experimental results, it is likely that this approach is sufficiently useful.

1. まえがき

ゲートアレイ方式^[4]における配線処理において、チップの集積度の増大に伴い、未結線のまま残るネット(未結線ネット)の数が増えてきている。この未結線ネットの配線は、一般に、次の方法で行われる。

まず、結線する端子を囲む矩形を探索範囲として指定する。次に、その範囲内で迷路法^[3]を適用し、未結線ネットの配線を行う^[1]。迷路法は、経路が存在すれば必ずその最短経路を発見するという性質を持つ。一方、処理に要する時間およびメモリ使用量が大きくなるという問題がある。これは、i) 迷路法を適用する探索範囲が広過ぎる、ii) 指定した探索範囲内を(経路を発見するまで)残らず探索する、などの理由によると考えられる。

筆者らは、チップ上の既配線による混雑度を考慮し、迷路法による探索範囲を限定することによって未結線ネットの配線処理を高速化する手法を既に提案している^[2]。本手法は次の3段階により未結線ネットの配線を行う。

Phase 1: 疎領域の構成

Phase 2: 概略配線経路の決定

Phase 3: 詳細配線とデータの更新

Phase 1は前処理で、Phase 2とPhase 3を各未結線ネットに対して適用し、配線を行う。

本稿では、Phase 1とPhase 2で用いるアルゴリズムの詳細について述べる。更に、実際のチップデータに対して行った実験結果を示す。

2. 準備

2.1 ルーム

チップ上の端子間の接続に関する要求をネットリスト N で表す。ここで、ネットリスト $N = \{n_i\}$ はネットの集合である。各ネット $n_i = \{t_{ij}\}$ は電氣的に接続しなければならない端子の集合である。配線処理の過程で、既に配線が求まっているネットを既配線ネットと言う。一方、この時点で結線できずに残っているネットを未結線ネットと言う。未結線ネットの集合を N^* で表す ($N^* \subset N$)。本稿では、各未結線ネット $n_i (\in N^*)$ は2端子であると仮定する。

配線は2層を用いて行う。第1層は水平方向の配線に、第2層は垂直方向の配線に使用する。

チップの寸法は、最小配線ピッチ幅入を単位として、高さを L_y 、幅を L_x とする。寸法 $\lambda \times \lambda$ の矩形を格子と呼ぶ。今、チップを水平線と垂直線を用いて k_y 個の行と k_x 個の列に分割することを考える(図1参照)。分割された $k_x \times k_y$ 個の各矩形をルームと呼び、 i 行 j 列番目のルームを r_{ij} で表す。2つのルーム r と r' において、 r の中心から r' の中心までの距離を r と r' 間の距離と定め、 $d(r, r')$ で表す。

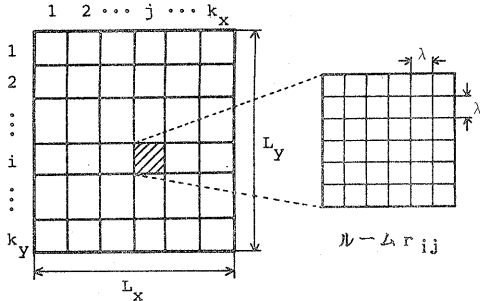


図1 チップ

ルーム $r_{ij} (1 \leq i \leq k_y, 1 \leq j \leq k_x)$ 内の各格子は次の4つに識別できる(図2参照)。

- (1) 2層とも使用済
- (2) 第1層のみ使用済
- (3) 第2層のみ使用済
- (4) 2層とも未使用

上述の(1)~(4)の格子に対して、それぞれ、ラベル“.”, “|”, “-”, “+”を付加して表す。ラベル“|”, “-”, “+”, “.”を持つ格子を未使用格子と呼ぶ。

[例1] 図2に示すルーム r_{ij} において、各格子のラベルを図3に示す。□

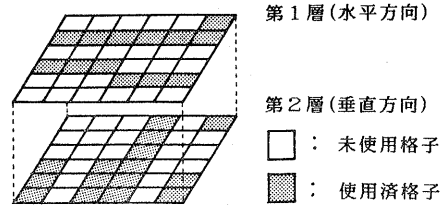


図2 ルーム r_{ij}

+	+	+	-	+	.
			.		
+	+	+	-	+	+
.		.	-	+	+
-	+	-	.		.
-	+	-	-	+	-

図3 格子のラベル

2.2 疎領域

本手法では、チップ上の各ルームを既配線等による混雑度の違いに基づいて、いくつかのタイプに分類し、混雑度の低い領域を未結線ネットの配線に有効に利用することを考える。

各ルーム r_{ij} の混雑度 c_{ij} を次のように定義する。 r_{ij} 内において、全格子数を N とし、ラベル“.”, “|”, “-”が付いている格子の数をそれぞれ n_{hv} , n_h , n_v とする。

$$c_{ij} = (2 \cdot n_{hv} + n_h + n_v) / (2 \cdot N)$$

[例2] 図2に示すルーム r_{ij} の混雑度 c_{ij} は $c_{ij} = (2 \cdot 6 + 7 + 9) / (2 \cdot 36) = 0.39$ となる。□

各ルーム r_{ij} をその混雑度 c_{ij} に基づいて、次の3つのタイプA, B, Cに分類することを考える。ここで、 $\alpha, \beta (0 < \alpha < \beta < 1)$ は正定数である。

- タイプA: $0 \leq c_{ij} < \alpha$
- タイプB: $\alpha \leq c_{ij} < \beta$
- タイプC: $\beta \leq c_{ij} \leq 1$

タイプA, B, Cに分類されるルームの集合をそれぞれA, B, Cで表す。

集合Aに属するルーム(タイプA)から、連続した領域を構成することを考える。今、集合A内の任意のルームを r_{ij} とする。

ルーム r_{ij} の外周上に位置し、その位置する辺の向きと直交する方向に通過可能な未使用格子 g に対し、次の条件(i)~(iv)を満たす未使用格子 $h (h \neq g)$ が存在するとき、 g を r_{ij} の有効空格子という。

- (i) h は r_{ij} の外周上の未使用格子である。
- (ii) h は g と異なる辺上に位置している。
- (iii) r_{ij} 上で、 h と g を結線する未使用格子だけによる経路が存在する。
- (iv) h はその位置する辺の向きと直交する方向に通過可能なラベルを持つ。

このとき、同様に、 h も r_{ij} の有効空格子である。

[例3] 図2に示すルーム r_{ij} 内の有効空格子を図4に示す。 □

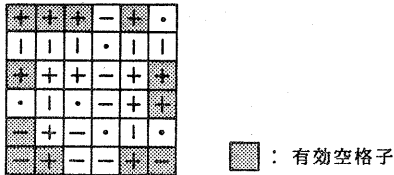


図4 有効空格子

以上から、集合 A に属し、且つ、互いに隣接する2つのルーム r と r' に対して次のことを定める。 r の少なくとも1つの有効空格子と r' の有効空格子が隣接するとき、 r と r' は連続していると言う。連続しているルームの極大な集合を疎領域と呼ぶ。

各疎領域 R に対して、次に示す8個のルーム $g_1 \sim g_8$ に注目する。

- g_1 (g_2): 疎領域 R の上端に位置するルームの内、最左端(最右端)のルーム。
- g_3 (g_4): 疎領域 R の下端に位置するルームの内、最左端(最右端)のルーム。
- g_5 (g_6): 疎領域 R の左端に位置するルームの内、最上端(最下端)のルーム。
- g_7 (g_8): 疎領域 R の右端に位置するルームの内、最上端(最下端)のルーム。

上述の8個の各ルーム $g_1 \sim g_8$ を疎領域 R に対する端ルームと呼ぶ。

[例4] 疎領域 R に対する8個の端ルーム $g_1 \sim g_8$ を図5に示す。なお、この例では端ルーム g_3 と g_6 が一致している。 □

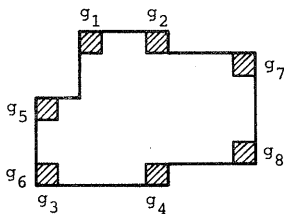


図5 端ルーム $g_1 \sim g_8$

2つの疎領域 R, R' 間の距離 $L(R, R')$ について、以下に述べる。まず、次の2つの距離 (1) $dis(R, R')$ 、(2) $gdis(R, R')$ を考える。

(1) 直線距離 $dis(R, R')$: 2つの疎領域 R, R' において、次の条件 i) ~ iii) を満足する2つのルーム r, r' が存在するとき、 R と R' 間の水平(垂直)直線距離 $hdis(R, R')$ ($vdis(R, R')$) は、ルーム r と r' 間の距離 $\ell(r, r')$ であると定める。

- i) r, r' はそれぞれ R, R' に属する。
- ii) r と r' は同じ行(列)に位置する。
- iii) $\ell(r, r')$ が最小である。

上述の条件を満足する2つのルーム r, r' が存在しないとき、 $hdis(R, R') = \infty$ ($vdis(R, R') = \infty$) とする。疎領域 R と R' 間の直線距離 $dis(R, R')$ を次のように定義する。

$$dis(R, R') = \min\{hdis(R, R'), vdis(R, R')\}$$

(2) 端ルームによる距離 $gdis(R, R')$: 疎領域 R と R' に対する端ルームを、それぞれ、 $g_1 \sim g_8, g'_1 \sim g'_8$ とする。 R と R' 間の端ルームによる距離 $gdis(R, R')$ を次のように定める。

$$gdis(R, R') = \min_{1 \leq i, j \leq 8} \{\ell(g_i, g'_j)\}$$

疎領域 R と R' 間の距離 $L(R, R')$ を、上述の直線距離 $dis(R, R')$ と端ルームによる距離 $gdis(R, R')$ により、次式のように定義する。

$$L(R, R') = \min\{dis(R, R'), gdis(R, R')\}$$

疎領域 R を囲む最小の矩形を考え、その高さ(幅)の和を R のサイズと定め、 $t(R)$ で表す。

2.3 経路グラフ

チップ上における疎領域の集合を $R = \{R_i\}$ とする。今、未結線ネット $n = \{s, d\}$ について考える。疎領域、及び、端子 s, d 間の距離に関する関係は重み付き無向グラフによって表すことができる。重み付き無向グラフ $G = (V, E)$ を未結線ネット n に対する経路グラフと呼び、次のように定める。

- i) $V = R \cup \{v_s, v_d\}$ 。ここで、節点 v_s, v_d は、それぞれ、未結線ネット n の端子 s, d の位置するルームに対応する。
- ii) $E = \{(R_i, R_j) \mid L(R_i, R_j) \leq \delta\}$
 $\cup \{(v_s, R_i) \mid L(s, R_i) \leq \delta\}$
 $\cup \{(v_d, R_i) \mid L(d, R_i) \leq \delta\}$ 。
 但し、 δ は正定数である。

iii) 節点 $v \in V$ の重み $W_v(v)$ は

$$W_v(v) = \begin{cases} w_1 \cdot t(v) & (v \in R) \\ 0 & (v \in \{v_s, v_d\}) \end{cases}$$

とする。ここで、 w_1 は正定数である。

iv) 枝 $e = (v, v') \in E$ の重み $W_E(e)$ は v, v' に対応する疎領域 (又はルーム) 間の距離の w_2 倍とする。ここで、 w_2 は正定数である。

[例5] 図6に示すチップ上の疎領域の集合 $R = \{R_1, 1 \leq i \leq 5\}$ と未結線ネット $n = \{s, d\}$ について考える。このチップに対する経路グラフ G は図7のようになる (図中、簡単化のため、各節点、各枝の重みは省略している)。

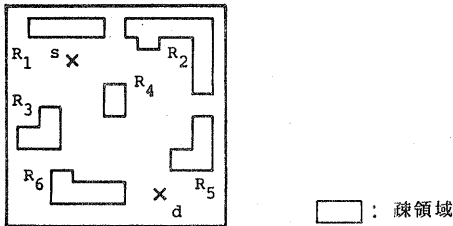


図6 疎領域の構成

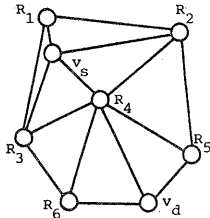


図7 経路グラフ G

3. 未結線ネットの配線

3.1 概要

従来、未結線ネットの配線は、そのネットの詳細な配線経路を一度で決定していた。本稿では、未結線ネットに対して、概略配線経路を決定した後に、その経路に従って詳細な配線経路を発見することを考える。本手法は次の3つのフェーズで未結線ネットの配線を行う。

Phase 1: 疎領域の構成

Phase 2: 概略配線経路の決定

Phase 3: 詳細配線とデータの更新

Phase 1では、前処理として、チップのルームへの分割、各ルームの混雑度の評価、及び、疎領域の構成を行う。Phase 2とPhase 3を N^* 内の各未結線ネットに対して繰り返し適用する。Phase 2では、未結線ネット $n \in N^*$ に対する経路グラフを構成し、 G 上での v_s から

v_d に至るパスを決定する。Phase 3では、Phase 2で求めたパスに従って、 n の詳細配線を行い、各ルームの混雑度に関するデータの更新を行う。以降、各Phaseについて説明する。

3.2 疎領域の構成 (Phase 1)

与えられたチップ上における疎領域の集合 R を求める問題を次のように定式化する。

[問題SR] 入力として次の(i)~(iii)が与えられる。

- (i) チップの寸法 (幅: L_x , 高さ: L_y)
- (ii) 既配線ネット ($N - N^*$) の配線情報
- (iii) 正定数 α, β ($0 < \alpha < \beta < 1$)

このとき、チップ上の疎領域の集合 R を求めよ。

[例6] 疎領域として図6に示すようなXY多角形が求まる。このとき、 $R = \{R_1, R_2, \dots, R_5\}$ である。□

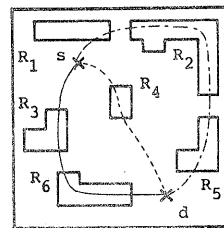
3.3 概略配線経路の決定 (Phase 2)

Phase 2では、未結線ネット n の2端子間の配線に使用する疎領域の系列を求める。

各疎領域内は、使用済の格子の全体に占める割合が低いため、比較的高速な処理による配線が可能であると考えられる。一方、疎領域の外では使用済格子の全体に占める割合が高く、配線は困難となる。このことから、概略配線経路に対して、次の(i), (ii)が要請される。

- i) 配線処理の高速化のため、疎領域内を通過する割合が高い。
- ii) 電気的特性の劣化防止のため、配線長が短い。

[例7] 未結線ネット $n = \{s, d\}$ の概略配線経路について考える。図8に、(a)疎領域内を通過する割合のみを考慮した経路、(b)配線長のみを考慮した経路、(c)両方を考慮した経路の例を示す。□



- : (a) 疎領域内を通過する割合のみを考慮した経路
- : (b) 配線長のみを考慮した経路
- : (c) 両方を考慮した経路

図8 概略配線経路

上述の例のように、2つの要請 i) と ii) は相反する場合が考えられる。そこで、未結線ネット n の概略配線経路としての疎領域の系列を求める問題を、次のように問題 L R として定式化する。

[問題 L R] 入力として次の (i) ~ (iv) が与えられる。

- (i) 疎領域の集合 $R = \{R_i\}$, ($1 \leq i \leq |R|$)
- (ii) 疎領域間の距離 $L(R_i, R_j)$ ($i \neq j$)
- (iii) 未結線ネット n の端子が位置する2つのルーム $\{s, d\}$
- (iv) 正定数 δ, w_1, w_2 ($w_1 < w_2$)

このとき、次の条件 C_1, C_2 を満たす R 上の系列 $P = (R_{i1}, R_{i2}, \dots, R_{im})$ ($m \leq |R|$), $R_{ij} \neq R_{ik}$ ($j \neq k$) を求めよ。

$$C_1: L(R_{ij}, R_{i,j+1}) \leq \delta \quad (1 \leq j \leq m-1), \text{ 且つ,}$$

$$p_s = L(s, R_{i1}) \leq \delta, \text{ 且つ,}$$

$$p_d = L(R_{im}, d) \leq \delta$$

C_2 : 次の z の値が最小である。

$$z = w_2 \cdot (\bar{L} + p_s + p_d) + w_1 \cdot \bar{T}$$

$$\text{ここで } \bar{L} = \sum_{1 \leq j \leq m-1} L(R_{ij}, R_{i,j+1}),$$

$$\bar{T} = \sum_{1 \leq j \leq m} t(R_{ij}) \text{ とする。}$$

[例 8] 図 6 の疎領域の集合 R と未結線ネット n = $\{s, d\}$ に対して、図 9 中の破線で示すような概略配線経路が求まる。このとき、系列 P は $P = (R_3, R_6)$ である。

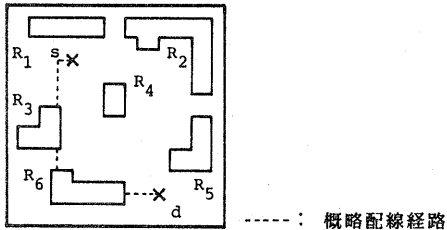


図 9 概略配線経路の決定

3.4 詳細配線とデータの更新 (Phase 3)

ここでは、次の2つの処理を行う。

まず、Phase 2 で求めた疎領域の系列 P に従って、詳細配線を行う。

次に、1つの未結線ネットの配線が求まるごとに、その配線が通過した各ルームの混雑度を更新する。ルームの混雑度の変更に伴い、疎領域の情報も適宜更新する(例えば、ルーム r のタイプが A から B に変わった場合、そのルームが属していた疎領域のデータを更新する)。

[例 9] 図 9 に示す概略配線経路に対して図 10 のように詳細配線を行う。同图中的斜線を施した領域には迷路法を適用し、各疎領域内には高速なルータを適用して詳細配線を求める。

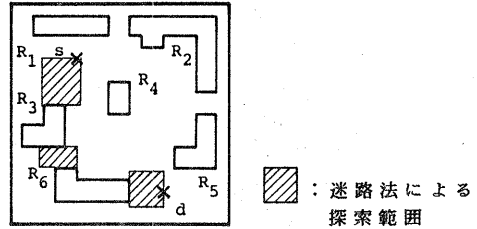


図 10 詳細配線

4. アルゴリズム

ここでは、3.2, 3.3 で述べた問題 SR, 問題 L R に対するそれぞれのアルゴリズム SR, L R について説明する。

4.1 アルゴリズム SR

チップ上の疎領域の集合 R を求めるアルゴリズム SR の概要を以下に示す。

[アルゴリズム SR]

S.1: (チップの分割)

正定数 k_x, k_y により、チップをルームに分割する;

S.2: $i \leftarrow 1; j \leftarrow 1;$

$A \leftarrow \phi; B \leftarrow \phi; C \leftarrow \phi; R \leftarrow \phi;$

S.3: (混雑度の計算)

ルーム r_{ij} の混雑度 c_{ij} を計算する;

S.4: (ルームのタイプ分け)

$0 \leq c_{ij} < \alpha$ ならば、 $A \leftarrow A \cup \{r_{ij}\};$

$\alpha \leq c_{ij} < \beta$ ならば、 $B \leftarrow B \cup \{r_{ij}\};$

$\beta \leq c_{ij} \leq 1$ ならば、 $C \leftarrow C \cup \{r_{ij}\};$

S.5: $r_{ij} \notin A$ ならば、S.10へ;

S.6: (有効空格子の発見)

ルーム r_{ij} の有効空格子を求める;

S.7: (ルームの隣接条件の判定)

$r_{i,j-1} \in A$ 且つ ルーム $r_{i,j-1}$ と r_{ij} が連続ならば、 $side \leftarrow 1$; そうでなければ、 $side \leftarrow 0$;

$r_{i-1,j} \in A$ 且つ ルーム $r_{i-1,j}$ と r_{ij} が連続ならば、 $top \leftarrow 1$; そうでなければ、 $top \leftarrow 0$;

S.8: (疎領域の併合)

(i) $side = 1$ 且つ $top = 0$ の場合: $r_{i,j-1}$ が属する疎領域を R とする。 $R \leftarrow R \cup \{r_{ij}\};$

(ii) $side = 0$ 且つ $top = 1$ の場合: $r_{i-1,j}$ が属する疎領域を R' とする。 $R' \leftarrow R' \cup \{r_{ij}\};$

(iii) side=1 且つ top=1 の場合: $r_{i,j-1}, r_{i-1,j}$ が属する疎領域をそれぞれ R, R' とする.

$R \neq R'$ ならば, $R \leftarrow R \cup R' \cup \{r_{ij}\}$,

$R \leftarrow R - \{R'\}$;

$R = R'$ ならば, $R \leftarrow R \cup \{r_{ij}\}$;

(iv) side=0 且つ top=0 の場合:

$R \leftarrow R \cup \{r_{ij}\}$;

S.9: (疎領域間の距離の更新)

R に属する各疎領域間の距離を計算する;

S.10: $i = k_x$ 且つ $j = k_x$ ならば, 終了;

$j < k_x$ ならば, $j \leftarrow j + 1$ とし, S.3へ;

$j = k_x$ ならば, $j \leftarrow 1, i \leftarrow i + 1$ とし, S.3へ;

アルゴリズムSRの時間計算量は, $k_x = k_y = k$, $L_x = L_y = L$ と仮定し, 既配線ネットの数を S , 集合 A に属するルームの数を n_A , 疎領域の数を n_R とすると, $O(k^2 \cdot S + (L/k)^2 n_A + n_R^2)$ である.

4.2 アルゴリズムLR

未結線ネット n の配線に使用する疎領域の系列を決定するアルゴリズムLRの概要を以下に示す.

[アルゴリズムLR]

S.1: 未結線ネット n と疎領域の集合 R より, n に対する経路グラフ $G = (V, E)$ を構成する.

S.2: 経路グラフ G 上で, 節点 v_s から節点 v_d への最短経路を求める (v_s, v_d は未結線ネット n の端子が位置するルームに対応する節点である); 最短経路が求まれば, この最短経路上の節点の系列を求める疎領域の系列 P とする; 終了;

アルゴリズムLRの時間計算量は, 疎領域の数を n_R として, $O(n_R^2)$ となる.

アルゴリズムLRのS.2において, 最短経路が求まらなければ(経路グラフ G が非連結で, v_s, v_d 間の経路が存在しない場合), 集合 B に属するルーム(すなわち, タイプBのルーム)を新たに導入し, 経路グラフが連結になるように疎領域を求める.

[例10] 入力として図6に示す疎領域の集合 $R = \{R_1, R_2, \dots, R_5\}$ と未結線ネット n の端子に対し, アルゴリズムLRを適用した結果を示す. ステップS.1で図7に示す経路グラフ G が求まる. 次にステップS.2で疎領域の系列 $P = (R_3, R_6)$ が求まる. 系列 P に対応する概略配線経路を図9に示す. □

5. 実験結果

アルゴリズムSR (Phase 1) とアルゴリズムLR (Phase 2) は日本・データゼネラル社のECLIPSE MV/4000

(0.6MIPS)でC言語を用いて実現されている.

提案した手法に対して行った実験結果を表1に示す. 実験は実際のゲートアレイチップ ($L_y=989, L_x=697, 171 \times 29$ セル, 1030ネット)の配線データを既配線と見なし, 5個の2端子ネット(データNo.1~No.5)の配線に対して行った. ネットの各端子の座標は一樣乱数により発生させた. 本実験において, Phase 3での疎領域内の配線には迷路法を用いている.

表1に示した5個のネットを配線するのに要したCPU時間の比較より, 提案した手法では迷路法を適用した場合の約70%の処理時間で配線を行っている.

表1 実験結果

データ No.	端子間のマンハッタン距離 $x+y$ [Å]	CPU時間 [sec]			迷路法
		Phase1	Phase2	Phase3	
1	321+375	171.6	0.08	54.1	207.9
2	143+175		0.07	35.8	65.2
3	260+145		0.07	50.2	89.1
4	261+235		0.09	53.8	92.8
5	258+346		0.08	62.7	163.2
計		171.6	0.39	256.6	618.2
			428.6		

6. あとがき

本稿では, チップ上の混雑度を考慮することにより, 未結線ネットの処理を高速化する手法を提案した.

最後に, 今後の課題としては, 多端子(3端子以上)のネットに対する考慮, チップの構造(セル列の位置等)を考慮したルームへの分割に関する考察, 疎領域内に適用するルータの開発, などがある.

謝辞

シミュレーション実験用データの作成, 並びに, 本研究への有益なご助言を頂いた日本電気髙超LSI CAD技術本部開発部 西口信行氏, 石塚昭夫氏に深謝します. また, プログラムの開発および本技報作成に当たり御協力を頂いた本学学部生 山本知君に感謝します.

文献

- [1] H.N.Brady and J.Blanks: "Automatic placement and routing techniques for gate array and standard cell designs," Proc. IEEE, 75, 6, pp.797-806 (1987).
- [2] 藤井, 磯本, 菊野, 吉田, 石塚: "ゲートアレイチップにおける未結線ネット処理の高速化について," 昭62信学情報・システム大全, 566 (1987).
- [3] C.Y.Lee: "An algorithm for path connections and its applications," IRE Trans. Electronic Computers, EC-10, 3, pp.346-365 (1961).
- [4] 渡辺, 浅田, 可児, 大附: "VLSIの設計I," 岩波書店 (1985).