

大規模3層ゲートアレイの配線手法

Hierarchical 3-layer Routing Methods for Very Large Scale Gate Arrays

石塚昭夫 野田茂生 西口信行
Akio Ishizuka Shigeo Noda Nobuyuki Nishiguchi

日本電気株式会社
NEC Corporation

あらし 大規模ゲートアレイに対する階層的配線手法及びそれに適用可能な3層配線アルゴリズムを提案する。本手法はマクロの配置位置及び各マクロ内のブロック配置が終了した後、配線処理をマクロ内配線マクロ間配線の2段階に分けて行なうものである。マクロ間配線ではマクロ内部まで入り込んでプリミティブブロックの端子間を配線する。そのため、あらかじめマクロの外部端子位置を決定しておく必要はない。くわえて、配線長の長くなりがちなマクロ間配線をマクロ内配線に先だてて行なうことも可能である。本論文で提案する3層配線アルゴリズムは線分探索法を基本とし、マクロ内配線、マクロ間配線ともに適用可能である。

本配線手法を用いることにより20Kゲート以上の大規模ゲートアレイのレイアウト設計を高速かつ高密度に行なうことができる。

Abstract Hierarchical routing methods for very large scale gate arrays and a 3-layer routing algorithm are proposed. The routing process is divided into inner-macro routing and inter-macro routing. Inter-macro nets are expanded into block to block connections and routed in the whole chip area. Therefore, it is not necessary to determine macro terminal positions and inter-macro routing can be followed by inner-macro routing. We also present a 3-layer routing algorithm applicable to both inter-macro routing and inner-macro routing.

These methods make it possible to layout very large scale gate arrays with larger than 20K gates in reasonably short time.

1. はじめに

近年のASIC市場の拡大に伴い、ますます大規模な回路の搭載可能なゲートアレイが求められている。ゲートアレイは短納期かつ安価な開発費をその利点とするため、レイアウト設計の自動化は必須の要件である。

しかしながら従来の手法は全回路を一括して配線・配線を行なうものであり、20Kゲートを越えるような大規模回路に対しては計算処理時間及びメモリー容量等計算機リソースの面から現実的には適用不可能な状況にあると言える。一方、論理設計の分野では大規模な回路を短時間で誤りなく設計するために階層設計手法を用いることが一般的になっている。また、一般に階層設計における一つのマクロは一つの機能単位を成しているため、レイアウト時に限定した領域内に収めることは回路の特性上好ましいものと考えられる。

これらの事情から大規模回路のレイアウトにおいては、回路の階層論理記述に着目した階層的レイアウトが短TAT及び回路の高品質化の両面から求められている。

回路の大規模化にともない押し進められるもう一つの動きは、配線層の多層化である。回路の大規模化は必然的に結線本数の増加を促し、より一層の配線領域を要求するのに対し、チップ面積は製造コストの面から限界にきている。このため限られたチップ面積内に多くの配線領域を確保するために、信号配線の細線化とともに配線層の多層化がはかられており、これにともなって新しい配線手法が求められている。

本論文では大規模ゲートアレイレイアウトにおける階層的配線手法およびそれに適用可能な多層配線アルゴリズムを提案する。

2. 階層的配線手法

ゲートアレイの階層的レイアウトに関する報告としては[1]、[2]、[3]がある。[1]の手法はチップを複数の領域に分割し、各マクロがそれぞれの領域内に収まるように配置した後、チップ全体で概略配線を行い各マクロの外部端子位置をマクロの境界上に決定する。マクロ間接続はすべてこれらの点を介して行なうことにより回路全体の配線を各マクロ内の

配線により実現する方法である。この方法を用いる場合、マクロ内詳細配線時に不都合がないように概略配線の段階でマクロの外部端子の座標と層を正確に決定しなければならない。

本稿で提案する階層的レイアウト手法では、マクロの配置位置及び形状をフロアプランにより決定し、全てのマクロ内ブロックをそのマクロ領域内に配置したのち、各マクロ内で閉じるネット（以下、マクロ内ネットと呼ぶ）とマクロ間に渡るネット（以下、マクロ間ネットと呼ぶ）の配線処理を分離して行なう。マクロ間ネットはチップ全体で配線するためマクロの境界を通過する位置は詳細配線時に自由に決定される。配線処理はマクロ内ネットを先に配線するかマクロ間のネットを先に配線するかによって二つの手法に分類される。前者を（a）ボトムアップ手法、後者を（b）トップダウン手法とよぶ。

階層が4階層以上になってもこれらの手法は再帰的に適用可能であるが、本稿では議論の簡略化のため階層はチップ-マクロ-プリミティブブロックの3階層に限定する。

（a）ボトムアップ手法

全てのマクロに対してマクロ内ネットの配線を行なった後、マクロ間ネットの配線を行なう。マクロ内ネットの配線を行なうときにはマクロ内ブロックをすべて包含するようにマクロ内配線領域を定め、この領域内で配線を行なう。このためマクロ内配線においては隣接マクロ内の配線や配線禁止領域を考慮する必要がなく、限られた計算機時間及びメモリー容量で配線処理が可能となる。

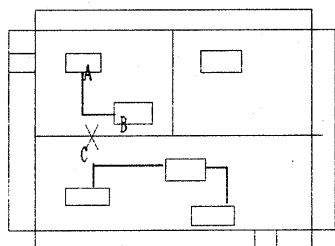
マクロ間ネットについてもマクロ内で閉じる部分についてはマクロ内で配線する。例えば図1においてマクロ内のブロック端子A、Bとマクロ外部端子Cを結ぶようなネットの場合、端子A、B間の結線のみを行ない、マクロ外部端子Cとの接続は無視する。

マクロ間の配線を行なう場合は、全マクロ内の配線禁止領域及びマクロ内配線を展開してマクロ間ネットの配線を行なう。このとき各ネットの端子位置はマクロ内部のブロック端子までトレースすることによって求める。前述のネットのようにマクロ内に2つ以上のブロック端子をもつ場合マクロ内で配線されている

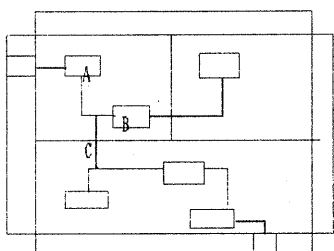
配線上の任意の位置がマクロ間配線の端子と見なされる。マクロ間配線ではマクロ内配線時に定義したマクロ境界はいっさい意識しないため、マクロ間ネットのマクロ内で閉じる部分がマクロ内で完結していない場合、マクロ間配線によってマクロ境界外を通過して配線できる可能性もある。

マクロ間配線時にはマクロ内の配線情報をすべて認識しなければならないため扱うデータ量は大きくなる。しかしながらマクロが機能単位を成すように論理階層の設計が成されているため、マクロ間ネットの数はマクロ内ネット数に比べて少なく計算機時間が極度に増大することはない。

ボトムアップ手法はマクロ間配線を行なう前にマクロ内配線を行なうため同一機能のマクロをチップ内の複数箇所に用いる場合、一箇所のマクロをレイアウトすれば他のマクロにはその配置・配線結果が流用できる。このため、計算機時間が節約されると同時に、同一機能のマクロが同一の特性をもつため検証が容易

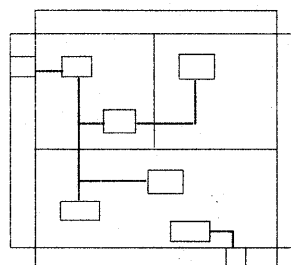


a) マクロ内配線

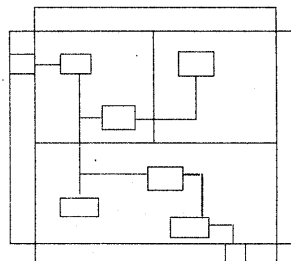


b) マクロ間配線

図 1 ボトムアップ手法



a) マクロ間配線



b) マクロ内配線

図 2 トップダウン手法

になる。またマクロ内配線が未結線なしに行えた場合、マクロ内配線はマクロ領域内にすべて収まるため、後でこのマクロをハードマクロとしてブロックライブラリに登録することが容易にできる。

(b) トップダウン手法

マクロ間ネットの配線を行なった後、各マクロ内の配線を行なう。マクロ間配線を行なうときには全マクロ内の配線禁止を展開してマクロ間ネットの配線を行なう。端子位置の求め方はボトムアップ手法の時と同じである。マクロ間ネットの中のマクロ内で閉じる部分についてもこのマクロ間配線時に配線される。マクロ間を配線するときはマクロ内の配線がまだ行なわれていないため、ボトムアップ手法におけるマクロ間配線と比較して扱うデータ量ははるかに少なくてすむ。

マクロ間配線の後マクロ内配線を行なうときには、ボトムアップ手法と同様にマクロ境界を設定し、マクロ内の配線禁止情報とマクロ内に入り込むマクロ間配

線を展開しマクロ境界内で配線を行なう。マクロの外部端子と接続するネットはすべてマクロ間ネットとして配線されているためマクロ内配線の対象とする必要はない。ボトムアップ手法と同様、隣接マクロ内の配線や配線禁止は考慮する必要がないため扱うデータ量は小さくすむ。

トップダウン手法の場合、マクロ内配線を行なう前にマクロ間配線を行なうため、大きな領域を扱うマクロ間配線が容易になるだけでなく、未結線が生じる可能性をマクロ内という小さな領域に限定することができる。この事によりゲートアレイの宿命とも言える未結線処理を大規模回路に対しても小規模回路と同程度の労力で行なうことができる。

3. 3層線分探索法

本章では2章で述べた階層設計手法のもとで適用可能な多層配線アルゴリズムとして多層線分探索法を提案する。

従来多層配線手法としてはチャンネルルータに関しては[4]、[5]など数多く提案されているが2章で述べたような階層設計法を用いる場合、特にボトムアップ手法におけるマクロ間配線、トップダウン手法におけるマクロ内配線の時には、チャンネル領域内に既配線が数多くランダムに存在するためチャンネルルータの適用は不可能である。またチャンネルルータでは端子が点でなければならないため、ボトムアップ手法のマクロ間配線時にマクロ内で閉じた部分の配線全体を端子として扱うことができなくなりマクロ設計に大きな制限を与えることになる。一方チャンネルルータ以外では[1]があるが、これは全ネットを1-2層で配線するものと2-3層で配線するものに分割しそれぞれを迷路法で配線するものであり、配線前にあらかじめ層の使い分けを決定しなければならない。

本手法では2章で述べた階層設計法に適用可能な多層配線アルゴリズムとして線分探索法[6]を基本アルゴリズムとして採用し、以下の特徴を持つように改良を行なった。

- i) メタル3層+ポリシリを同時に扱うことが可能
- ii) 様々な配線規則に対し適用可能

iii) 配線長短縮を考慮

iv) 優先配線層の考慮

3.1 配線格子

本稿で提案するアルゴリズムは大規模回路に適用するために、全ての配線はあらかじめ定義された配線格子の上のみで行なう方法をとることで処理の簡略化を計っている。また第1メタルと第3メタルは主配線軸方向(以下主軸方向と呼ぶ)を水平方向(セル列と同一方向)とし、第2メタルとポリシリは垂直方向とした。

一般にLSIでは各層ごと配線幅や配線のエッジ間の隣接許容間隔が異なるため、配線の中心間が満たすべき最小間隔は異なっている。このため第1メタルと第3メタルに対し同一配線格子を定義すると、配線格子間隔を最小配線間隔の大きい方(一般に第3メタル)に合わせなければならず配線密度を高くできなくなる。また第1メタルと第3メタルの重なる制限などプロセス技術の変化に対応するためには配線格子定義を固定的にしておくことは望ましくない。

このため本稿で提案する手法では各層の配線格子(例えば、第1メタルと第3メタルの配線格子)は互いに独立に定義できるようにした。

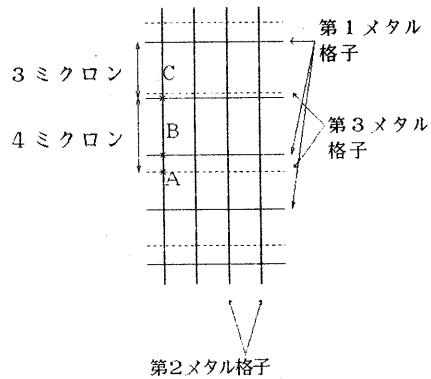


図3 配線格子

3.2 配線規則定義

従来、迷路法や線分探索法等配線格子をベースとした配線アルゴリズムはスルーホール同士やスルーホールと配線の許容間隔を「配線格子上で何格子離れていること」のように配線格子をベースとして定義して

いたが、3. 1で述べた様な格子定義をする場合、その格子位置によって第1メタルと第3メタルの格子間隔が大きく異なるため、配線格子ベースでスルーホール隣接規則を記述することは不可能である。例えば、図3で格子点AとB、BとCはともに第1メタル格子と第3メタル格子の隣接格子とみることができ第1メタル-第2メタル間スルーホール（以下1-2スルーホール）と第2メタル-第3メタル間スルーホール（以下2-3スルーホール）の許容間隔が3ミクロンである場合、1-2スルーホールと2-3スルーホールをそれぞれB、Aに設置することは不可能であるが、それぞれB、Cに設置することは可能である。

そこで本手法ではスルーホール間の許容間隔をすべてミクロンで定義し、スルーホール設置の際に近傍のスルーホールとの間隔を検証する方法をとる。

3. 3 基本アルゴリズム

本アルゴリズムは次の特徴を持つ。

- a) 探索線は原則として各層の主軸方向に発生する。
- b) ターゲット側からは各配線の延長線及びそれらとスルーホールにより接続可能な点を探索線として発生し、探索はおもにスタート側からの探索線の発生によって行なう。
- c) 各探索線からのバックトレース経路は各々の探索線につけられた親探索線（その探索線の発生源となった探索線）へのリンクをたどることにより一意に決定される。
- d) 探索線は各層ごとにその主軸方向の座標の昇順にリンクしておく。

一般に線分探索法ではスタート側からターゲット側に到達したか否かを判定するとき、バックトレース時に水平線分と垂直線分の交差判定処理が必要である。しかしながら、本アルゴリズムでは、たとえば、第2アルミのターゲット側探索線と第1アルミのスタート側探索線がスルーホール設置可能点で交差する場合、必ずその交点の第1アルミの位置にターゲット側探索線が登録されているためスタート側の第1アルミ探索線を登録するとき主軸方向リンクをたどることにより即座に接続が判定される。したがって、本アルゴリズムでは水平線分と垂直線分の交差判定処理はい

っさい必要がない。

線分探索法のアルゴリズムは次の6ステップよりなる。

i) 結線する連結成分（端子及び端子に接続する配線集合）の対を決定し、スタート側とターゲット側を決定する。

ii) (ターゲット側の設定) ターゲット側連結成分の端子、配線及びそれらを各々の層の主軸方向に延長したものを第2次探索線として探索線テーブルに登録する。探索線がスタート側連結成分に到達したらvi)へいく。

iii) 第2次探索線とスルーホール設置によって接続可能な点を第1次探索線として探索線テーブルに登録する（発生源である第2次探索線への親探索線リンクをつけておく）。

iv) (スタート側の設定) スタート側についてii)と同様のことを行なう。但し探索線の次数は0として登録する。このとき第1次探索線と第0次探索線が重なるならばvi)へいく。

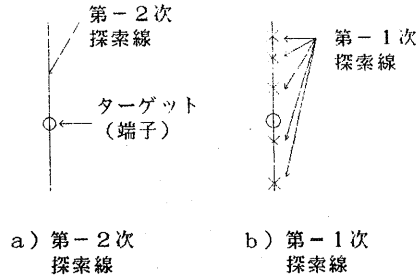
v) (前進探索) 第 i 次探索線 ($i \geq 0$) と直交する方向に、その方向を主軸方向とする層の第 $i+1$ 次探索線を発生する。ただし、両探索線間を接続するスルーホールが交差点に設置可能な場合に限る。たとえば、第2メタルの探索線（垂直方向）からは1-2スルーホール設置可能な点から第1メタルの探索線（水平方向）が発生され、2-3スルーホール設置可能な点から第3メタルの探索線が発生される。第 $i+1$ 次探索線が第1次探索線と重なるならばvi)へ行く。そうでなければ第 $i+1$ 次探索線を発生源の第 i 次探索線の親探索線リンクをつけて探索線テーブルに登録する。

vi) (バックトレース) 第1次探索線からスタート側、ターゲット側にiii)、v)でつけた親探索線リンクをたどって経路を決定する。

3. 4 配線長の短縮

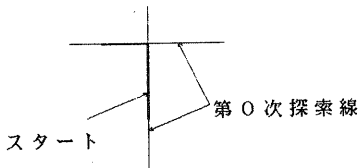
一般に線分探索法ではスタート側、ターゲット側間に折れ曲がり最小の経路が発見されるが、配線長に対する考慮をしないと不必要に迂回した経路が見つかり配線率及び回路特性に悪影響を与える。本手法ではバックトレース距離、予測前進距離という尺度の導

入と親リンクの付け替え処理によってこの問題を解決している。

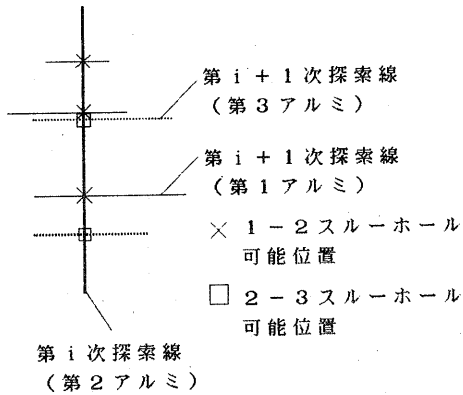


a) 第-2次探索線

b) 第-1次探索線



c) 第0次探索線 (スタート側の設定)



d) 第i+1次探索線

図4 基本アルゴリズム

第i次探索線を1、1を発生する第i-1次探索線をmとしたときの、バックトレース距離 $D_B(1, m)$ 、予測前進距離 $D_F(1, m)$ とは、それぞれ以下のよう

に定義される：
 $D_B(1, m) = 1, m$ の交点から親リンクを
 をたどってスタートに到達
 するまでの配線長

$D_F(1, m) = 1, m$ の交点からターゲット

の中心点までのマンハッタン
 距離

したがって $D_B(1, m) + D_F(1, m)$ は1を親探索線とした場合のスタート、ターゲット間の予測配線長となる。

上の定義にしたがって、3.3のステップv)において配線長を考慮した親リンクの付け替えを行なう。

[付け替え操作] 探索線mを親とする第i+1次探索線1の登録時に同一層、同一次数、同一座標の探索線1'がすでに親探索線nから発生され登録済みであった場合、

$$D_B(1, m) + D_F(1, m) <$$

$$D_B(1', n) + D_F(1', n)$$

ならば、1'の親リンクをnからmに付け替える処理を行なう。

例えば、図5で

$$D_B(1, m) = 7, D_B(1', n) = 8$$

であり、ターゲットがa点にある場合、

$$D_F(1, m) = 5, D_F(1', n) = 6$$

であるから、親リンクはnからmに付け替える。

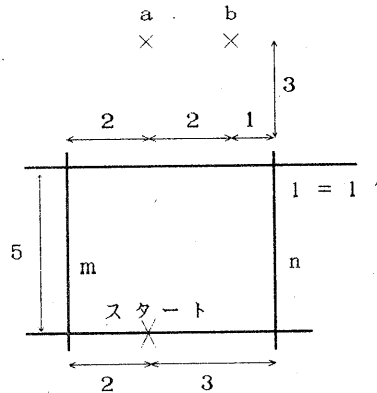


図5

ターゲットがb点にある場合、

$$D_F(1, m) = 7, D_F(1', n) = 4$$

なので、親リンクは付け替えない。

3.5 優先配線層指定

本配線手法で用いている3層線分探索法では配線

層の優先指定が可能である。

3層配線は2層配線よりも配線層が1層増えるため一般に計算機時間が大きくなるため、3層配線はなるべく限定して利用するのが効率的である。このための一方法として階層レイアウト設計時にマクロ間のみ3層配線を適用し、マクロ内には2層配線を適用する方法が考えられる。

ところがトップダウン手法を用いる場合マクロ内の2層配線がマクロ間の3層配線の後で行なわれるため、マクロ間の3層配線時にマクロ内の第1メタルを多用しマクロ内配線時には第1メタルが不足するという状況が起こる。従ってトップダウン手法を用いる場合にはマクロ間配線は第1メタル、第3メタルいずれを用いても配線可能なときには第3メタルを優先的に用いることが望ましい。

優先配線層を考慮した配線は、3.4と同様に親リンクの付け替え処理によって実現される。例えば、図5で1の親探索線となりうる探索線m, nがあった場合、mとnの層のうちいずれが優先指定層であるかに応じて1の親リンクの付け替え操作を行なう。このとき距離による付け替えと優先層による付け替えはある判断基準を設けて選択する。

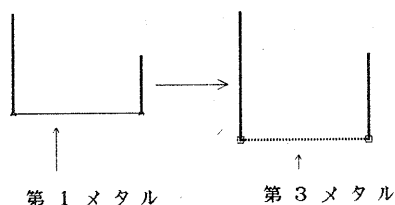


図6 3層優先指定

4. 実験結果

30Kゲート規模のゲートアレイを想定し、本配線手法を適用した例を図7に示す。回路は4Kゲートのマクロ6個から構成され、ネット数は全体で13,400ネットである。配線処理はボトムアップ手法によって行い、マクロ内には2層配線を用い、マクロ間に3層配線を用いた。マクロ内、マクロ間ともに100%配線を達成した。

5. おわりに

大規模3層ゲートアレイに適用可能な配線手法について提案した。本手法は現在開発中の大規模ゲートアレイレイアウトシステムに組み込まれており、品種設計に対し適用されている。今後副軸方向(各層の主軸方向と直交する方向)配線の効率的利用、概略配線による配線率の向上等を行なっていく予定である。

謝辞

本発表の機会を与えて下さった森野本部長代理、晴山部長、藤波主任に感謝いたします。また、ご助言をいただいた川西課長、ならびにコン技術CAD技術部の野村課長、矢部主任、多和田氏に感謝いたします。

参考文献

- [1] 佐藤、他、"大規模LSI向3層分割配線手法"、設計自動化研究会、86-DA-35、1986。
- [2] 大藤、他、"3層配線大規模ゲートアレイ" CAS84-120、1984。
- [3] P.Hauge, E.yoffa, "VANGARD: A Chip Physical Design System", Proc.23rd DA Conference, 1986
- [4] D.Braun, et.al, "Chameleon: A New Multi-Layer Channel Router", Proc.23rd DA Conference, 1986。
- [5] P.Bruehl and P.Sun, "Greedy Three Layer Channel Router", Proc.ICCAD-85, 1984。
- [6] K.Mikami, and K.tabuchi, "A Computer Program for Optimal Routing of Printed Circuit Conductors", IFIP Congress, 1988。

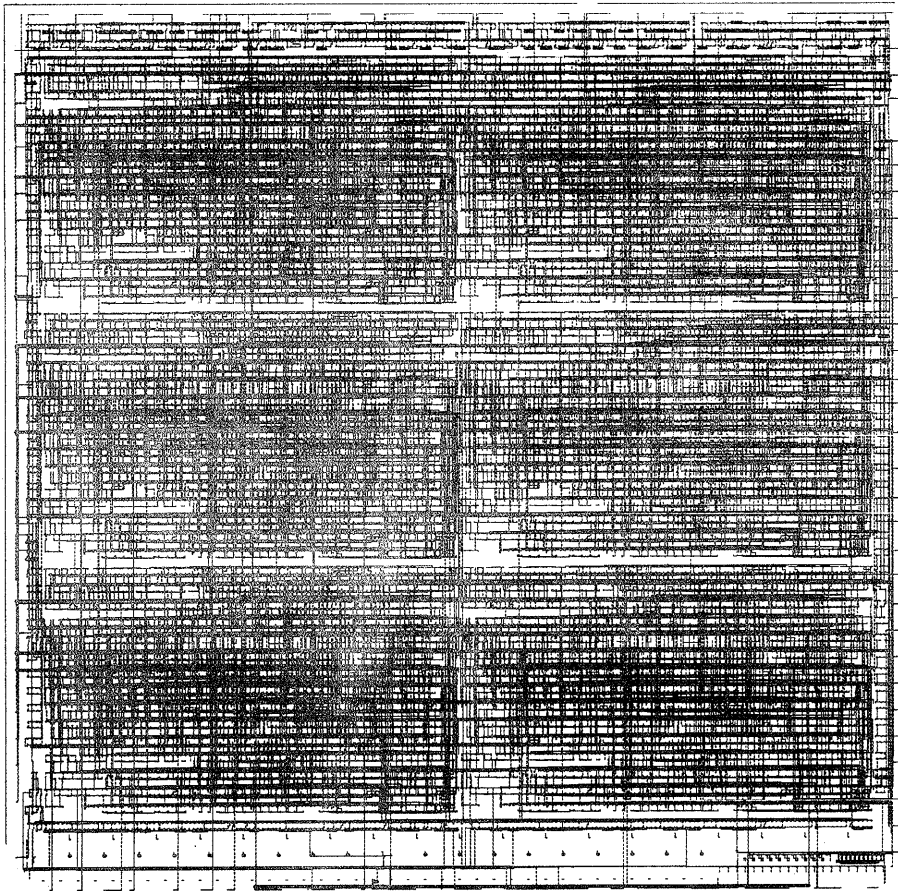


图7 实验结果