

## カスタムLSI搭載基板のテストシステム

橘田光弘 室井克信 菅野幸男 清尾克彦

三菱電機株式会社

スキャン設計されたカスタムLSI搭載基板のファンクションテスト、基板上に搭載されている複数のLSI、部品から構成される機能ブロックのテスト、インサーキットテストおよびインサーキットテストのための治具製造までをサポートすることができるテストシステムを開発した。

本稿では、本システムの概要と本システムで用いられている手法、その適用評価結果について報告する。

### Board Level Test System

Mitsuhiro Kitta, Katsunobu Muroi, Yukio Kanno, Katsuhiko Seo

COMPUTER WORKS, MITSUBISHI ELECTRIC CORP.

325 KAMIMACHIYA, KAMAKURA 247, JAPAN

This paper describes Board Level Test System which supports function test of print circuit board, functional block test on print circuit board, incircuit test and manufacturing of test fixture for incircuit test.

## 1. はじめに

論理回路の大規模化、高集積化に伴って、テストコストが増加してきており、また論理LSI単体のテストだけでなく、これを実装した基板レベルのテストもますます困難になってきている。これらの問題を解決するために、テスト容易化設計が提案されており、その中の1つにスキャン設計手法がある。〔1〕

このスキャン設計手法を基板レベルまで採用することにより、従来から提案されているPODEM、FAN等のテスト生成アルゴリズムを適用することができ、基板のファンクションテストのためのテストパターンの自動生成が可能となる。しかし、その反面、回路を同期化させたり、テストのための付加回路を入れたり等各種の論理設計ルールがあり、これらの設計ルールに違反していないかどうかの検証が必要になってくる。特にカスタムLSIが搭載されている基板の様な大規模論理回路に対しては、高速な検証および、設計の初期の段階からの検証が必要になってくる。

また、基板のファンクションテストは、基板の外部入力ピンからのパターン印加、外部出力ピンからの観測によってテストを行うため、テスト時の故障の指摘、解析が問題であり、大きなデータ量の故障辞書が必要、容易に故障指摘や故障解析ができない等の問題がある。

一方、基板レベルのテストは、上記の様なファンクションテスト手法ではなく、基板上に搭載されている部品単位にテストを行うインサーキットテスト手法がある。インサーキットテストでは、各基板対応のフィクスチャーを製造し、フィクスチャー上のピンを基板上の各ネットに接触させてテストを行う。このため故障の指摘、故障解析を容易に行うことができる。しかし、基板上に搭載されているカスタムLSI論理に対して、任意のテストパターンを印加するために他の部品、LSIの影響を受けない様回路を電気的に分離（以下isolationということばを使う）しなければならない。これは、カスタムLSIのテスト時間の増大（バックドライブ時間の増大につながる）による素子破壊、劣化を防ぐために必要な条件である。

また、基板上にカスタムLSIが搭載されると、基板上で入力ピンどうしのショート、フィードバックループ等があり、基板上での回路接続状況を考慮しなければならない。このため、基板に搭載された状態の論理に対してテストを行う必要があり、LSI単体でのテストパターンをそのまま適用することができない。

さらにインサーキットテスト手法では、各基板に対して専用の高価なフィクスチャーを用意する必要があり、基板に改修が入った場合には、フィクスチャーの改修または再作成が必要になってくるといふ問題がある。

以上の様な問題に対処するために、ファンクションテスト、インサーキットテスト、複数のLSIと部品から成る機能ブロック単位のテスト、及びフィクスチャー製造データの作成をサポートする『カスタムLSI搭載基板のテストシステム』を開発した。

本システムは以下の特徴をもっている。

- (1) カスタムLSI搭載基板の様な大規模論理回路に対しても高速に処理でき、設計の初期の段階からも適用できる階層的なスキャン設計ルールの検証。
- (2) 基板のファンクションテストのためのテストパターン及びテストプログラムの自動生成。
- (3) 故障シミュレーションを行わないで、基板の論理から解析的に求めた故障辞書、及びそれを用いての効果的な故障解析。
- (4) 基板上でのカスタムLSIや、カスタムLSIを含む機能ブロックのインサーキットテストのためのisolationが可能かどうかの検証及び、isolationするためのパターンの自動生成。基板上の回路接続状況を考慮したLSI論理や機能ブロック論理の抽出、テストプログラムの自動生成。
- (5) カスタムLSI以外の部品のインサーキットテストのためのテストプログラムの自動生成。
- (6) インサーキットテストのための基板ごとのフィクスチャー、各基板に共通に使用できる共通フィクスチャー製造データの自動生成、及び基板改修時のフィクスチャー改修サポート。

本稿では、本システムの概要、本システムで用いられている手法及び適用評価結果について報告する。

## 2. システム概要

本章では『カスタムLSI搭載基板のテストシステム』のシステム概要について説明する。

全体システムは、図1に示す構成になっており、ファンクションテストとインサーキットテスト（機能ブロック単位のテストも含む）の2つのサブシステムより構成されている。

### 2.1 ファンクションテスト

ファンクションテストのサブシステムは、(1)階層的なスキャン設計ルール検証、(2)テストパターン、テストプログラムの自動生成、(3)故障解析より構成されている。

階層的な設計ルールの検証では、クロック信号等に関する信号属性の指定を行い、これが設計データベースに登録される。次に設計データベースより回路ネット情報、信号属性が抽出され、3章で示す階層的なスキャン設計ルール検証が行われる。設計ルール検証の実行によって作成された基板の入出力信号に関する信号属性は、再び設計データベースへ返され、テストパターン生成時に使用される。

テストパターン、テストプログラムの自動生成では、設計データベースより論理情報、実装情報及び信号属性を抽出し、回路ネットはゲートレベルまで展開される。次に展開された回路ネットは組み合わせ回路に分割し、テストパターン生成、編集を行い、最終的に基板のファンクションテストのためのテストプログラムの自動生成を行う。

故障解析では、3章に示す解析的な手法を用いることによって、故障シミュレーションを行わないで故障辞書が作成される。実際のテスト時は、テスト時のログアウト情報より故障の指摘が自動的に行われる。

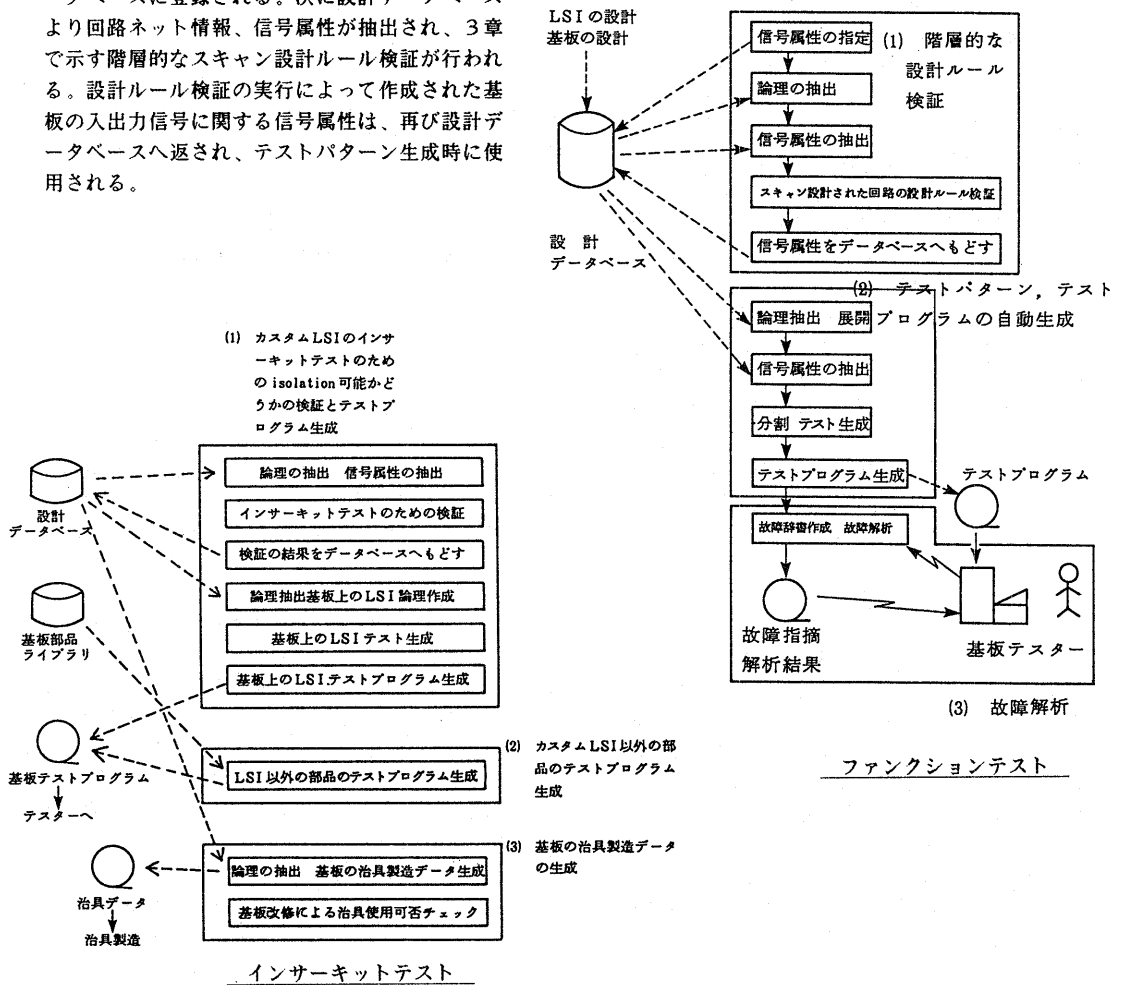


図1 システム構成

## 2.2 インサーキットテスト

インサーキットテストのサブシステムは、(1)カスタムLSIのインサーキットテストのためのisolat ion可能かどうかの検証とテストプログラム生成、(2)カスタムLSI以外の部品のテストプログラム生成、(3)基板の治具(フィクスチャー)製造データの生成より構成されている。

isolat ion可能かどうかの検証とテストプログラム生成では、設計データベースから基板、LSIの論理、実装情報及びクロック信号等の信号属性を抽出し、4章で示す様にカスタムLSI、機能ブロックのインサーキットテストのためのisolat ion可能かどうかの検証を行う。同時にisolat ionするためのパターンを自動生成し、検証結果を含めてデータベースへもどす。次に基板上の回路接続状況を考慮したLSI論理、機能ブロック論理を抽出し、テストパターン、テストプログラムの自動生成を行う。

カスタムLSI以外の部品のテストプログラム生成では、設計データベースより基板の論理、実装情報を抽出し、基板部品ライブラリ(真理値表の形で入出力パターンが登録されている)をもとにテストプログラムを自動生成する。ここでは基板上のネットのオープン/ショートテストのテストプログラムも生成する。

基板の治具(フィクスチャー)製造データの生成では、設計データベースより基板の実装情報を抽出し、4章で示す様にインサーキットテストのための治具製造データ生成、各基板に共通して使用できる共通治具製造データ生成を行う。基板に改修が入った場合は、現在の治具が使用できるかどうかの判定、治具改修情報の作成を行う。

## 3. ファンクションテスト

### 3.1 階層的なスキャン設計ルール検証

基板レベルでのスキャン設計ルール検証では、基板のLSIをブラックボックスとして扱い、各LSIの入出力インターフェース信号の信号属性同士を比較することにより階層的なスキャン設計ルール検証を行う。また、未設計のLSIが存在する場合でも、この未設計のLSIの入出力インターフェース信号に信号属性を定義することにより設計ルール検証ができる。このためボトムアップだけでなくトップダウンに設計ルール検証が可能である。[2],[3]

図2に簡単な例を示す。基板に搭載されている各LSIはLSIレベルで設計ルール検証を行い、

その結果、LSIの入出力信号に伝搬された信号属性はデータベースへもどされる。次に基板レベルの設計ルール検証では、LSIはブラックボックス(マクロ)として扱い、LSIの入出力インターフェース信号の信号属性をもとに記号シミュレーション手法で設計ルール検証を行う。[3]

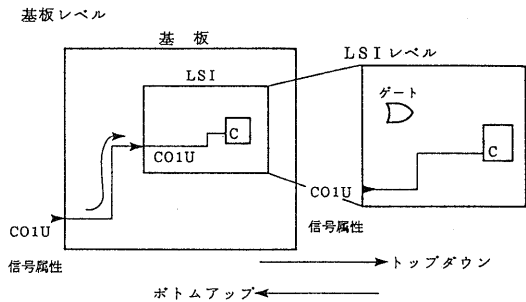


図2 階層的な設計ルール検証

### 3.2 テストパターン、テストプログラムの自動生成

設計ルール検証後は、ゲートレベルまでの展開を行い、組み合わせ回路単位に分割、テストパターンの生成、編集、ファンクションテストのためのテストプログラムの自動生成を行う。

### 3.3 故障解析

スキャン設計されたカスタムLSI搭載基板のファンクションテストでは、シフトレジスタとシフトレジスタに囲まれた組み合わせ回路、またはシフトレジスタと基板の外部入出力ピンで囲まれた組み合わせ回路単位にテストを行う。この点に着目して、図3に示す様に、各シフトレジスタ、外部出力ピンより基板のゲートレベルまで展開された回路ネット上をバックトレースし、各シフトレジスタ、外部出力ピンでテストされる論理を検索する。この各シフトレジスタ、外部出力ピンに対して検索された論理情報が故障辞書となる。このため、故障シミュレーションの必要がなく、テストパターンにも無関係で、基板の論理のみに依存する故障辞書である。[4]

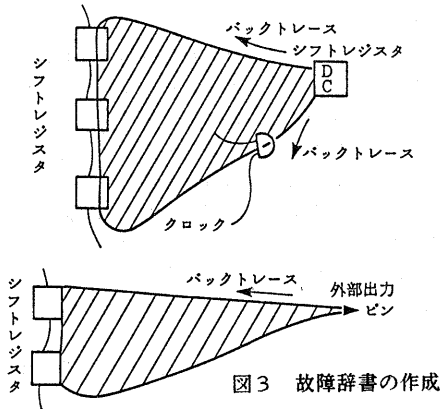


図3 故障辞書の作成

故障解析は、実際の基板ファンクションテスト時のフェイル情報、ログアウト情報をもとにして実行される。例えば、図4に示す様に複数のシフトレジスタまたは複数の外部出力ピンでフェイルした場合は、オーバーラップする部分の回路が最も故障の可能性が高い回路であり、自動的にこの部分の回路を指摘する。〔4〕

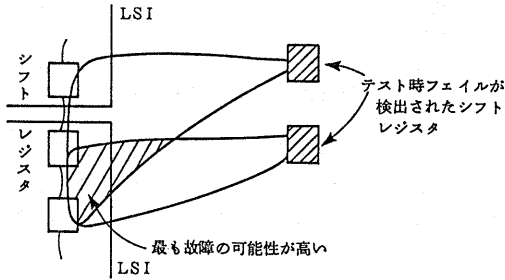


図4 故障解析

### 3.4 評価結果

いくつかの基板に対して適用した結果、階層的な設計ルール検証では表1に示す様に、従来のゲートレベルまで展開して行う設計ルール検証と比べて大幅に計算機時間が削減できた。

適用基板	搭載LSI数	展開した場合の素子数	展開して行う検証時間	階層的な検証時間
A	14	20029	962 sec	132 sec
B	22	36262	1284 sec	216 sec

表1

時間は3.5MIPSマシンでのCPU時間

また、基板のピン、LSIのピンの故障(S-a-0, S-a-1)を仮定して、故障検出率95%以上の品質のファンクションテストが実現できた。

故障解析では、故障シミュレーションの実行なしで故障辞書の作成を行い、故障辞書作成のための計算機時間を大幅に削減でき、効率的な故障解析が可能となった。

## 4. インサーキットテスト

### 4.1 isolation検証とテストプログラム生成

isolation検証では、基板上的カスタムLSIや機能ブロック単位のインサーキットテスト対象論理に対して、入出力信号の値をLOWレベルにすることができisolation可能であることをシミュレーション手法を用いて検証する。図5に一例を示す。

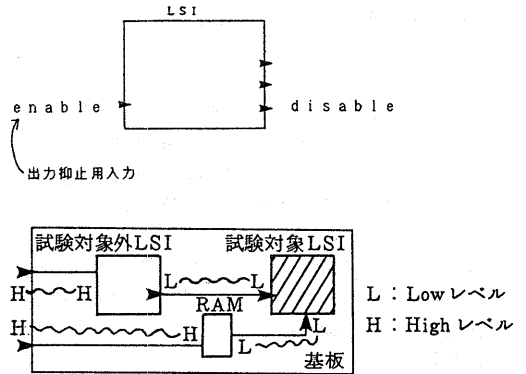


図5 インサーキットテストのための検証

次の図6は、複数のLSIや部品から構成される機能ブロックのインサーキットテストのためのisolation検証の例を示す。

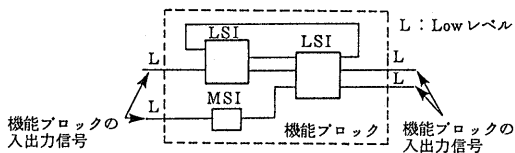


図6 機能ブロックのインサーキットテストのための検証

LOWレベルにならない場合は、LOWレベルにisolationするためのパターンを真理値表の形になっているSSI/MSI部品ライブラリや、ゲートレベルに展開された論理ネット上を信号値トレースすることにより自動生成する。isolationパターンを求めることができない場合は、isolation不可という判定を下す。

これにより、バックドライブによる部品の破壊、劣化を防止し、基板上のLSI、機能ブロック単位のインサーキットテストを行うことが可能となる。

isolation検証後、次に基板上の回路接続状況を考慮したLSI論理、機能ブロック単位のインサーキットテスト対象論理を自動抽出する。カスタムLSIを基板上に搭載した場合、搭載されたLSIの入力ピンどうしのショート、出力ピンどうしのショート、出力ピンから入力ピンへのフィードバックループなどが発生するため、基板上の回路接続状況を考慮してテストを行う必要がある。

図7に示す様に、これらの基板上の回路接続状況を考慮し、インサーキットテスト対象となる論理を自動抽出する。

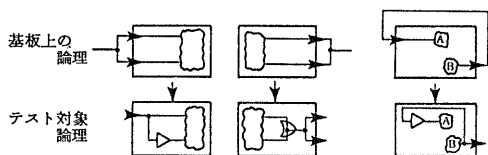


図7 基板上的論理抽出

自動的に抽出されたインサーキットテスト対象となる基板上のLSI論理、機能ブロック論理に対して3.2と同様にテストパターンを生成、編集し、テストプログラムの自動生成を行う。

また、実際に基板上のカスタムLSI、機能ブロックのisolationが可能かどうかをテストするためのテストプログラムも自動生成する。通常、テストはisolation可能かどうかのテストを行いpassしてからカスタムLSI、機能ブロックのインサーキットテストを行う。

#### 4.2 LSI以外の部品のテストプログラム生成

基板上に搭載されているカスタムLSI以外の部品については、基板の回路ネット、基板部品ライブラリの情報を基に、基板の回路接続状況を考慮した機能テストプログラムと、基板全体に対して行うオープン/ショートテストプログラムを自動生成する。

#### 4.3 基板の治具製造データの生成

基板上の回路ネットをもとに、基板ごとのインサーキットテストのための治具または、各基板に共通に利用できる共通治具の製造データを自動生成する。

共通治具の製造データは、複数の基板の回路ネットおよび実装情報から回路接続状況、ピンの属性(信号ピン、電源ピン等の属性)を考慮して、立てるピン数が最も少なくなる様に自動生成を行う。これにより、治具の有効利用と治具製造コストの低減を実現している。図8に簡単な例を示す。

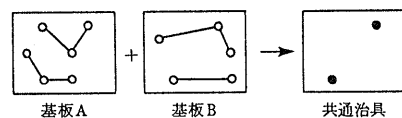


図8 共通治具

治具を製造した後、基板に改修が発生した場合、現在の治具で改修後の基板がテストできるかどうかを、改修後の基板ネットおよび実装情報、現在の治具製造データをもとにチェックを行う。チェック後、治具の使用可否、テストできない部品の割合、テストできない部品情報、治具改修指示データを生成する。

#### 4.4 評価結果

基板に搭載されているカスタムLSI、機能ブロックのインサーキットテストのためのisolation検証ができる様になり、設計者のパターンの指定の必要がなくisolationのためのパターン自動生成ができ、カスタムLSI、機能ブロック単位のインサーキットテストが可能となった。

また、各基板に共通に使用できるインサーキットテストのための治具は、5枚のカスタムLSI搭載基板に適用した結果、共通治具製造データが生成でき、治具コストを大幅に削減できた。

#### 5. まとめ

本報告では、カスタムLSI搭載基板のファンクションテスト、インサーキットテスト、機能ブロックのテスト、インサーキットテストのための治具製造をサポートするテストシステムについて述べた。

本システムによりカスタムLSI搭載基板のファンクションテストからインサーキットテストまでをサポートすることができる様になり、以下の結果が得られた。

- (1) カスタムLSI搭載基板の様な大規模論理回路に対しても、階層的なスキャン設計ルール検証によつて、高速に検証を行うことができる様になった。またボトムアップ、トップダウンに検証を行うことができるので、設計の初期の段階から適用することが可能となり、設計者はルール違反を早期に発見できる様になった。
- (2) ファンクションテストパターンとは独立に故障シミュレーションの実行なしで、論理から解析的に故障辞書を作成することにより、故障辞書作成のための計算機時間を大幅に削減することができた。また、この故障辞書からの故障解析により効率的な故障解析が実現できた。
- (3) インサーキットテストのためのisolation検証を設計の初期の段階から行うことが可能となり、またisolationのためのパターンの自動生成も可能となり、基板に搭載されたカスタムLSI、機能ブロック単位のインサーキットテストが実現できた
- (4) 各基板に共通に使用できるインサーキットテストのための共通治具製造データを生成することにより治具コストを大幅に削減することが可能となり、また基板改修が発生した場合も治具の改修が高信頼性、低コストで実現できた。

今後は、面実装基板への適用、各種デバイスへの適用を進めていく予定である。

#### 参考文献

- [1] Eichelberger, E.B. and T.W. Williams, "A Logic Design Structure for LSI Testing" proc. 14th DA Conference pp462-468
- [2] K. Muroi, M. Kitta, T. Ogihara, S. Murai, "A Hierarchical Logical Design Rule Check Program for Scan Design Circuit" ICCAD 1986
- [3] 室井、小迫、橋田、萩原、村井, "大規模論理回路の論理設計ルール検証方式" 情報処理学会設計自動化研究会 36-4 1987
- [4] 橋田、清尾、田淵, "スキャン設計されたカスタムLSI搭載基板の故障解析" 情報処理学会第34回全国大会 3F-2
- [5] 室井、萩原、橋田、村井, "インサーキットテストをサポートするCADシステム" 情報処理学会設計自動化研究会 24-5 1984
- [6] P. Hanson, "New Techniques for Manufacturing Test and Diagnosis of LSSD Boards" 1983 IEEE Test Conference