

ビルディングブロック方式における
寸法に制約をもつブロックの配置手法

A Placement Method for Blocks with Size Restriction
in Building Block Layout

出本 浩 大村 道郎 若林 真一 宮尾 淳一 吉田 典可

Hiroshi IZUMOTO, Michiroh OHMURA, Shin'ichi WAKABAYASHI,
Jun'ichi MIYAO and Noriyoshi YOSHIDA

広島大学 工学部

Faculty of Engineering, Hiroshima University

あらまし ビルディングブロック方式によるVLSIチップの配置設計では、大きさが不規則なブロックを対象としている。そのため、一般にはチップ面積最小と仮想配線長最短のいずれか一方でも最適設計を実現することは難しい。本稿では、 1×1 、 2×1 、 2×2 の3種類のブロックに対して、チップ面積の最小性を保証し、かつ、仮想配線長に関してでもできるだけ短い配置を求める手法を提案する。この手法では、チップ面積が最小であるブロック配置を求める段階と、チップ面積を保持したままでの配置変更が可能な変更操作を用いることによって仮想配線長の改善を図る段階とに分けられる。また、本手法に関する理論的考察として、チップ面積の最小性と、配置変更操作の(任意の配置変更がおこなえるという意味での)十分性を示す。

Abstract We propose a new placement method for Building Block Layout of VLSI chip design. In the proposed method, we restrict the size of blocks, that is, only the blocks of the size of 1×1 , 2×1 and 2×2 are permitted to use. We show that the placement algorithm always produces the block placement with the minimum chip area as an initial placement of given blocks. The obtained block placement is updated without increasing the chip area to improve the total wire length by applying a set of placement change operations, which we prove to be sufficient to get an optimal placement from any given initial placement of blocks.

1. まえがき

近年のVLSI製造技術の進歩に伴い、レイアウト設計で扱う回路の規模は著しく増大している。大規模回路のチップのレイアウト設計に対しては、階層レイアウト設計方式が用いられるのが一般的である。これは、全体の回路を扱い易いサイズの部分回路(ブロック)の組合せで表すというトップダウン的な論理分割と、下位レベルからボトムアップ的に積み上げていく配置、配線設計との2つから構成される設計方式である[9]。ここで、各階層レベルにおけるレイアウト設計問題は、大きさが不規則なブロックを含むビルディングブロック方式レイアウトに帰着できる。

ビルディングブロック方式における配置設計では、チップ面積を最小にする問題(面積最小化問題)と、

仮想的な配線長の総和を最小にする問題(仮想配線長最小化問題)が部分問題として挙げられるが、ともにNP困難の問題である[6]。したがって、一般には効率のよい最適アルゴリズムは望めない。

本稿では、ブロックの寸法に制約を加えて、与えられるブロックを 1×1 、 2×1 、 2×2 の3種類に制限した場合の配置手法を提案する。この3種類に制限した理由として、次の(1)、(2)がある。

- (1)ビルディングブロック方式で扱うブロックは一般に任意の大きさをもつが、階層レイアウト設計における各階層ではブロックの大きさが極端に異なる場合は考えにくい。
- (2)面積最小化問題と密接に関係するとと思われる2次元ビン・パッキング問題[1],[2]は、上述の3種類

に制限した場合に効率のよい最適アルゴリズムが存在する。

提案する手法では、最初に、与えられたチップの縦横比を満たす面積最小の配置を求め、次にこの面積を保持したまま、効率のよい配置変更操作を用いて配線経路の仮想的な配線長の総和（以降、単に仮想配線長と呼ぶ）の最小化を図る。

まず、2. でブロック配置問題の定式化をおこなう。次に、3. でブロック配置手法を提案するとともに、配置手法に関する理論的考察をおこない、4. で本手法に対するシミュレーション実験の結果を示す。最後に、5. で現在検討中の課題をあげる。

2. ブロック配置問題

2.1 チップモデル

配置の対象となる内部ブロックと外部ブロック、及び、ブロックの配置領域（チップ）のモデルについて説明する。

- ・内部ブロック：チップの内部に配置されるべき機能ブロックを指す。その寸法 $w \times h$ はブロックにより異なる。 w, h は正整数であり、それぞれ幅と高さを表す。ただし、常に $w \geq h$ と与えられるものと仮定する。また、端子位置は仮想的に、そのブロックを 1×1 の矩形に分割したときの各々の重心の位置にあるものとする。
- ・外部ブロック：チップの外部に配置されるべき入力ブロックを指し、その寸法はすべて 1×1 である。また、その重心に端子をもつとする。

内部ブロックの集合と外部ブロックの集合を合わせてブロック b_i の集合とし、それを B で表す。

- ・ネット n_i ：接続すべき端子の集合を指し、ネット n_i の集合（ネットリストと呼ぶ）を N で表す。また、各ネットの配線長 $d(n_i)$ は、ネットに含まれる端子の半周近似によって仮想的に計算する。
- ・配置領域：配置領域は、 $W \times H$ の寸法をもつ矩形領域 R_I と、その矩形を囲む幅 1 の領域 R_E から成る。 W, H にはブロックの w, h と同様の仮定をおく。 R_I, R_E は、それぞれ内部ブロック、外部ブロックを配置する領域であり、 1×1 の単位矩形から構成さ

れている。各ブロックに対し、配置可能な領域をスロットと呼ぶ。スロットも単位矩形から構成される。

〔例1〕図1は上述のチップモデルに従うブロック、ネット、及び、配置領域の一例である。

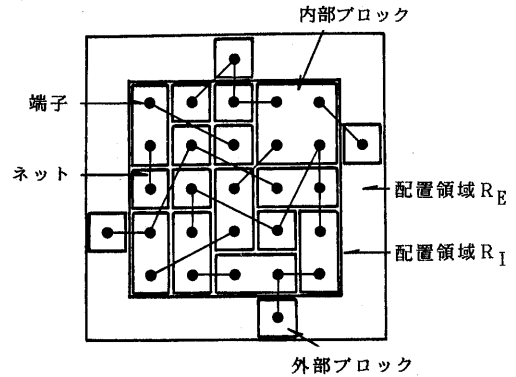


図1 チップモデル

2.2 配置問題MSL

ビルディングブロック方式の配置設計では、第一の目的であるチップ面積の最小化とともに、配線設計で決定される配線経路の長さが短くなるように、仮想配線長の最小化を図るのが一般的である。チップの縦横比を考慮した上での配置問題MSL (Minimization of Chip Size and Wire Length) を以下のように定式化する。

〔問題MSL〕 入力として、①ブロックの集合 B 、②配置領域に対する縦横比 r ($0 < r \leq 1$)、③ネットリスト N 、④各ネットの重み $c(n_i)$ が与えられたとき、条件C.1~C.5を満足し、目的関数 L を最小にするブロック配置を求めよ。ここで、 L は仮想配線長を表し、以下の値をもつとする。

$$L = \sum_{n_i \in N} c(n_i) \cdot d(n_i)$$

ただし、内部ブロックの総面積は、外部ブロックのその $1/8$ 以上とする。

- C.1: W, H は、 $(H-1)/W < r \leq H/W$, $H/W < r < H/(W-1)$ ($W \neq 1$)のいずれかを満足する。
- C.2: すべての内部ブロックは、 R_I 内に配置されている。
- C.3: すべての外部ブロックは、 R_E 内に配置されている。
- C.4: B の異なる任意のブロックは、互いに重なり合わずに配置されている。
- C.5: チップ面積 $S (= W \cdot H)$ が最小である。 □

問題MSLは、縦横比を考慮した上でチップ面積の最小性を保証し、仮想配線長に関してでもできる限り短くなるような配置を求める、という問題である。ここで、問題MSLにおいて、入力ブロックを 1×1 、 2×1 、 2×2 の3種類に制限した問題を、問題MSL $\langle 2,2 \rangle$ と呼ぶことにする。次章では、問題MSL $\langle 2,2 \rangle$ に対するアルゴリズムを示す。

3. ブロック配置手法

3.1 アルゴリズムの概要

問題MSL $\langle 2,2 \rangle$ に対するヒューリスティックアルゴリズムの概要を以下に示す。なお、ステップ1とステップ4、ステップ5については、それぞれ3.2、3.3節で詳細に説明する。

[アルゴリズムMSL $\langle 2,2 \rangle$]

ステップ1：問題の条件C.1を満足する矩形を、小さいものから順に生成し、すべての内部ブロックが配置できる最小の矩形 R_I を求める；すべての内部ブロックを、BLパッキング^[1]を用いて配置する。

ステップ2：文献[7]の方法を用いて、すべてのブロックの相対位置を決定する。

ステップ3：ステップ1で求めた R_I の周りに幅1の領域 R_E を設定し、ステップ2で求めた相対位置に近い R_E のスロットに、各外部ブロックを割当てる。

ステップ4：13種類の配置変更操作を用いて各内部ブロックを接続本数の多いものから順にステップ2で求めた相対位置にできる限り近づけ、仮想配線長（内部ブロック間）の最小化を図る。

ステップ5：ステップ4と同様の配置変更操作を用いたシミュレーテッドアニーリング法^[5]により配置の変更をおこなって、更に仮想配線長（内部ブロック間）の最小化を図る。

ステップ6：外部ブロックのみの配置変更により、仮想配線長の最小化を図り、最終配置を求める。

3.2 チップ面積の最小性

配置領域 R_I はステップ1で設定され、それ以降のステップでの変更はない。したがって、チップ面積の最小性については、ステップ1についてのみ議論すればよい。なお、問題の条件C.5からわかるようにチップ面積は領域 R_I の面積を示し、領域 R_E の面積は含め

ない。またこれ以降、単にブロックという場合それは内部ブロックを指す。

まず、ステップ1の詳細なアルゴリズムを以下に示す。ここで、問題の条件C.1における $(H-1)/W < r \leq H/W$ を条件C.1-1、 $H/W < r < H/(W-1)$ ($W \neq 1$)を条件C.1-2とする。ブロックの集合 $B = B_{2 \times 2} \cup B_{2 \times 1} \cup B_{1 \times 1}$ とする ($B_{2 \times 2}$ 、 $B_{2 \times 1}$ 、 $B_{1 \times 1}$ はそれぞれ 2×2 、 2×1 、 1×1 のブロックの集合)。更に、 $S(B_{sub})$ は、 $B_{sub} (\subseteq B)$ に含まれるブロックの総面積を表す。

[ステップ1] (配置領域 R_I の設定と、ブロックの初期配置)

S1： $W \leftarrow 1$ ； $H \leftarrow 1$ ； $flag \leftarrow 0$ ；

S2： $B_{2 \times 2} \neq \phi$ の場合、
 $\lfloor W/2 \rfloor \cdot \lfloor H/2 \rfloor \geq |B_{2 \times 2}|$ ならば、
 $flag \leftarrow 1$ としてS4へ；
 そうでなければ、S4へ。

S3： $W \cdot H - S(B_{2 \times 2}) \geq S(B_{2 \times 1} \cup B_{1 \times 1})$ ならば、
 S6へ。

S4：条件C.1-1を満足している場合、 $W \leftarrow W + 1$ とし、
 $flag = 0$ ならば、S2へ；
 $flag = 1$ ならば、S3へ。

S5：条件C.1-2を満足している場合、 $H \leftarrow H + 1$ とし、
 $flag = 0$ ならば、S2へ；
 $flag = 1$ ならば、S3へ。

S6：条件C.1-1、C.1-2のいずれも満足していなければ(このとき、必ず $H/(W-1) = r$ である)、
 $H \leftarrow H + 1$ 。

S7： R_I の寸法を $W \times H$ とする。

S8：面積の大きいものを優先させ、 2×1 のブロックについては可能ならば横向きにして、すべてのブロックを、 R_I 内にBLパッキング(注1)で配置する。

S9：終了。

(注1) BLパッキングとは、もっとも底に近い位置で、かつ、その中でもっとも左の空き領域にブロックを詰める方法で、2次元ビン・パッキング問題におけるアルゴリズムの一つである。問題MSL $\langle 2,2 \rangle$ で扱う3種類のブロックに対して、S8では面積の大きいブロックを優先させて、BLパッキングをおこなう。このようにすると底からすきまなく配置できるから、与えられた横幅に対して、高さ最小のパッキングができる。

ステップ1に関して、次の定理が成立する。

[定理1] ステップ1は、問題MSL_{<2,2>}の条件C.1, C.2, C.4, C.5を満足する解をO(n)で求める。ただし、nはブロックの総数である。□

(注2) 条件C.3についてはステップ3で満足される。したがって、ステップ1とステップ3で問題の許容解を求めることになる。

定理1を証明するために必要な補題を示す。なお、ステップ1はR_Iを設定するS1~S7と、R_I内にブロックを配置するS8との2つの部分に分けて考えられる。以降では、領域Rの面積をS(R)で表す。

[補題1] 問題MSLの条件C.1を満足する2つの異なる配置領域(矩形)をR_u, R_vとする。このとき、S(R_u) ≠ S(R_v)が成立する。

(証明) まず、0 < r ≤ 1であるから、R_uの幅とR_vの高さが等しく、かつ、R_uの高さとR_vの幅がそれぞれ等しいという場合はない。次に、問題の性質として、R_uの幅(高さ)がR_vの幅(高さ)よりも大きい場合、R_uの高さ(幅)はR_vの高さ(幅)に等しいか、またはそれより大きい。また、R_uの幅(高さ)とR_vの幅(高さ)が等しい場合、必ず高さ(幅)が異なる。以上より、S(R_u) ≠ S(R_v)が成立する。(証明終)

補題1に基づいて、ステップ1は、条件C.1を満足する矩形を、面積の小さいものから順にR_Iの候補としている。

[補題2] B_{2×1} ∪ B_{1×1}のみから成るBと、W×Hの寸法をもつ矩形Rが与えられるとする。このとき、

$$W \cdot H \geq S(B)$$

ならば、S8を用いて、Bに含まれるすべてのブロックをR内に重なることなく配置できる。

(証明) 注1で述べたように、S8は幅Wを越えずにブロックを配置する。したがって、S8で求めたブロック配置を囲む最小矩形R_{S8}の高さH_{S8}がHを越えないこと(H_{S8} ≤ H)を示せばよい。また、S8が高さ最小のパッキングをおこなうことから、空き領域は(あるとすれば)最上段の右端である(図2参照)。以降では、空き領域がない場合とある場合に分けて議論する。

(I) 空き領域がない場合:

空き領域がないことから、W · H_{S8} = S(B)である。また、条件W · H ≥ S(B)より、

$$H_{S8} \leq H$$

が成立する。よって、補題2が成立する。

(II) 空き領域がある場合(図2):

最上段の配置領域(図2の斜線部)をR_{top}とす

ると、次式が成立する。

$$W \cdot (H_{S8} - 1) + S(R_{top}) = S(B)$$

更に、条件W · H ≥ S(B)より、

$$W \cdot H \geq W \cdot (H_{S8} - 1) + S(R_{top})$$

$$W \cdot (H - H_{S8} + 1) \geq S(R_{top}) \quad (a)$$

以下では、H_{S8} ≤ Hであることを背理法で示す。今、H_{S8}がHよりも大きいと仮定する。H, H_{S8}はともに正整数であるから、

$$H - H_{S8} + 1 \leq 0 \quad \text{である。}$$

このとき、(a)の左辺は、

$$W \cdot (H - H_{S8} + 1) \leq 0 \quad \text{となる。}$$

S(R_{top})は正であるから、(a)が成立しなくなり矛盾が生じる。よって、H_{S8} ≤ Hであり、補題2が成立する。(証明終)

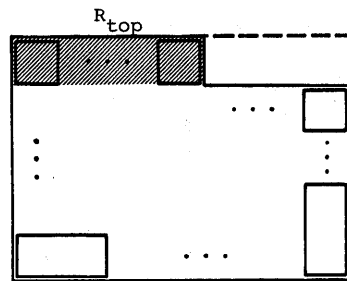


図2 S8(BLパッキング)によるブロック配置

[補題3] B_{2×2} = φの場合、ステップ1で得られるブロック配置は問題の条件C.1, C.2, C.4, C.5を満足する。

(証明) 補題2より、

$$W \cdot H \geq S(B) \quad (b)$$

が成立すれば、S8を用いてR_I内にすべてのブロックを重なりなく配置できる。すなわち、C.2, C.4を必ず満足している。また、ステップ1では、S2で式(b)の判定をおこない、最初に満足したW×HをR_Iの寸法としている。更に、ステップ1は条件C.1を満足する矩形を、面積の小さいものから順にR_Iの候補としている。このことより、C.1, C.5も満足している。以上のことから、ステップ1により得られる配置は条件C.1, C.2, C.4, C.5を満足する。(証明終)

[補題4] B_{2×2}のみから成るBと、W×Hの寸法をもつ矩形Rが与えられたとする。このとき、

$$\lfloor W/2 \rfloor \cdot \lfloor H/2 \rfloor \geq |B_{2 \times 2}|$$

ならば、S8を用いてBに含まれるすべてのブロックをR内に重なることなく配置できる。

(証明) $\lfloor W/2 \rfloor \cdot \lfloor H/2 \rfloor$ は、W×Hの寸法をもつ矩形R内に、互いに重なりなく存在できる2×2の

矩形ブロックの最大数を表している。BLパッキング(S8)に従いブロックを配置すると、 2×2 のブロックはすきまなく並ぶ。したがって、 $\lfloor W/2 \rfloor \cdot \lfloor H/2 \rfloor \geq |B_{2 \times 2}|$ ならば、 $|B_{2 \times 2}|$ 個の 2×2 のブロックを、S8を用いてR'内に重なりなく配置できることは明らかである。(証明終)

[補題5] $B_{2 \times 2} \neq \emptyset$ の場合、ステップ1で得られるブロック配置は問題の条件C.1, C.2, C.4, C.5を満足する。

(証明) $B = B_{2 \times 2}$ の場合と、それ以外の場合とに分けて示す。

(I) $B = B_{2 \times 2}$ の場合:

補題4より、

$$\lfloor W/2 \rfloor \cdot \lfloor H/2 \rfloor \geq |B_{2 \times 2}| \quad (c)$$

が成立するならば、S8を用いてR'にすべてのブロックを重なりなく配置できる。ステップ1では、S2で式(c)の判定をおこない、最初に条件C.1を満足した $W \times H$ をR'の寸法としている。以下、補題3の証明と同様に条件C.1, C.2, C.4, C.5を満足することを示せる。

(II) (I)以外 ($B = B_{2 \times 2} \cup B_{2 \times 1}$, $B = B_{2 \times 2} \cup B_{1 \times 1}$, $B = B_{2 \times 2} \cup B_{2 \times 1} \cup B_{1 \times 1}$)の場合:

ステップ1では、まず 2×2 のブロックが配置可能な最小の矩形を求める(最小性は(I)で示した)。 2×2 のブロックを配置する領域をR'、そして、R'を囲む最小の矩形に寸法が等しいか、または、それより大きい矩形をR''とすると、R'とR''は一般に図3のように表せる。この図で、斜線部の領域をR''とする。また、 2×2 のブロックがすきまなく配置されていることから、線分ABと線分CDの長さは常に偶数値である(ABは常に2である)。なお、R'の形状としては、図4(a)~(f)のような場合がある。このとき、

$$S(R') \geq S(B_{2 \times 1} \cup B_{1 \times 1}) \quad (d)$$

が成立するならば、 $B_{2 \times 1} \cup B_{1 \times 1}$ に含まれるすべてのブロックを領域R'内に重なることなく配置できる。この証明は、以下のようにしておこなう。例えば、図3(図4(a))の場合であれば、R'を破線で示すように分割して、X, Y, Zの矩形を作成する。S8に基づいてブロックを配置すると、(BLパッキングであるから)X, Y, Zの順に、 2×1 のブロックから配置していくことになる。ここで、X, Yはともに、それぞれ偶数値をもつ線分AB, CDを辺にもっていることから、 2×1 のブロックのみでもすきまなく配置することができる。更に、補題2からZの面積がま

だ配置していないブロックの総面積より大きければ、Z内にすべてのブロックを重なりなく配置できる。以上のことから、式(d)が成立していれば、R'内にすべてのブロックを重なりなく配置できる。他のR''についても同様である。以下、補題3の証明と同様に、条件C.1, C.2, C.4, C.5を満足することを示せる。(証明終)

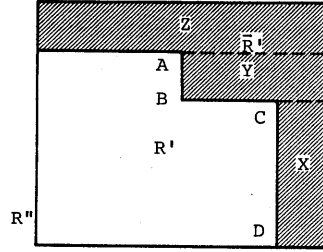


図3 R', R'', R'の一般的な関係

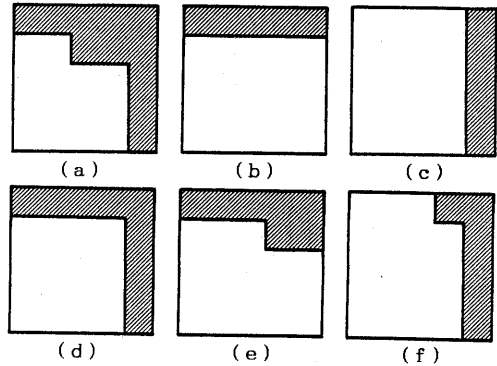


図4 R'の形状

(定理1の証明) 補題3, 補題5より $1 \times 1, 2 \times 1, 2 \times 2$ の3種類から成るブロックの集合Bに対して、ステップ1は問題の条件C.1, C.2, C.4, C.5を満足する配置を求める。

次に時間計算量について議論する。配置領域を設定するS1~S7までの部分と、ブロックを配置するS8の部分に分けて考える。ここで、前者の部分をもT₁、後者の部分をもT₂とする。

(S1~S7の部分) アルゴリズムより、明らかにT₁ = 2 · (W + H)である。これから、以下のように導ける。0 < r ≤ 1より、T₁ = 2 · (W + H) = 2 · (1 + r) · W ≤ 4 · Wである。また、W ≤ 2 · |B|であるから、T₁ ≤ 8 · |B|となり、結局T₁はO(|B|)である。

(S8の部分) BLパッキングはO(|B|)である。したがって、T₂もO(|B|)である。

以上より、全体の時間計算量であるT₁ + T₂は、O(|B|)である。(証明終)

3.3 配置変更操作に関する考察

ステップ4, ステップ5でおこなわれる配置変更は, 仮想配線長Lを改善するためのものであるが, ステップ1で求めた面積最小の配置領域の寸法を保持したい。本手法では, 配置領域を変形せずにチップ面積の最小化を保持したままで配置変更が可能である, 13種類の変更操作(図5)を用いて仮想配線長Lの改善を図っている。

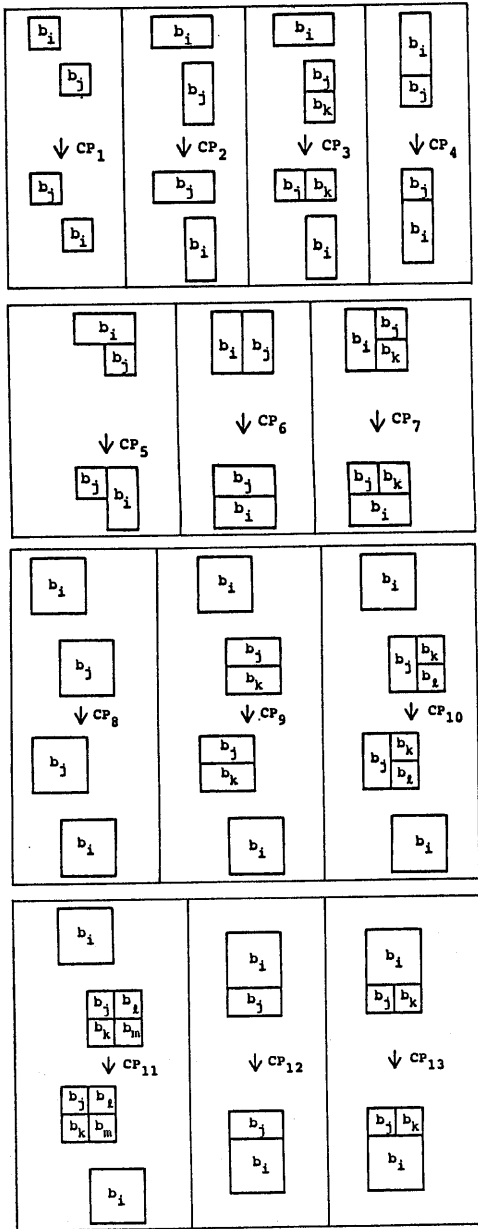


図5 配置変更操作

ステップ4での配置変更例を用いて, 変更操作を具体的に説明する。

[例2] 図6(a)はステップ1が終了した直後のブロック配置である。また, 図6(b)はステップ2で求めたブロックの相対位置から決定した, 各ブロックの理想的なスロットを表している。ここでは, b_1, b_3, b_6 についてのみを, 破線の矩形で示している。今, $b_1 \rightarrow b_3 \rightarrow b_6$ の順に, 各ブロックをそれぞれ理想的なスロットに移動することを考える。まず, b_4 と b_5 を複合させて1つの 2×1 のブロックとみなし, CP_3 の変更操作を適用して b_1 を目的位置に近づける(図6(c))。次に CP_5 の変更操作を適用して b_3 を目的位置に移動する(図6(d))。最後に, CP_9 の変更操作を適用して b_6 を目的位置に移動する(図6(e))。

ステップ4では, この操作を各ブロックに対して, 可能な限りおこなう。また, ステップ5では, 各ブロックの移動可能な範囲を設定し, その範囲内でのランダムな配置変更をシミュレーティドアニーリング法によりおこなう。

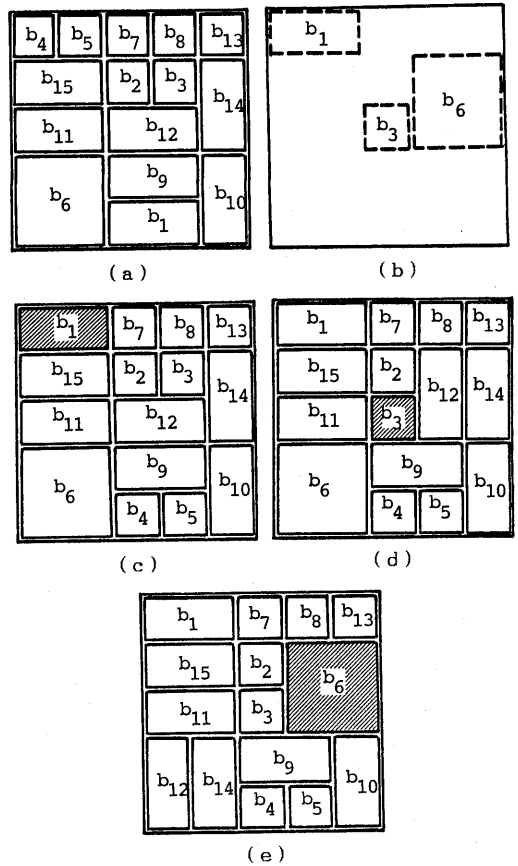


図6 配置変更操作の適用例

ここで、図5に示す変更操作の集合についての考察をおこなう。ただし、各操作は図5で示す以外に90度、180度、270度の回転を伴う場合も含んでいるとする。また、 CP_5 に関しては回転以外にその鏡対称となる場合も含むものとする。

〔定義1〕 集合Bに属するすべてのブロックが矩形内に問題MSL' $\langle 2,2 \rangle$ の条件C.2, C.4を満足して配置されているとき、その配置を集合Bの矩形Rへの配置といい、 $P(B, R)$ で表す。 □

〔定義2〕 変更操作の集合Cが与えられたとき、以下の条件を満足するならば、集合Cは十分な変更操作の集合であるという。

条件：任意のブロック配置 $P_u(B, R)$ は、集合Cに属する変更操作を有限回適用することによって、任意のブロック配置 $P_v(B, R)$ に変更することが可能である。 □

〔定理2〕 変更操作の集合 $C_{\langle 2,2 \rangle} = \{CP_1, CP_2, \dots, CP_6, CP_8, \dots, CP_{13}\}$ は、 1×1 , 2×1 , 2×2 のブロックを要素にもつ集合Bのブロック配置 $P(B, R)$ に対して、十分な変更操作の集合である。 □

(注3) 13種類の変更操作の中で、 CP_7 は配置変更の効率を高めるために導入されており、定理1の成立には必要ない。

定理2を証明するために、次に示す補題6と補題7を証明する。

〔補題6〕 任意のブロック配置 $P_u(B, R)$ は、集合 $C_{\langle 2,2 \rangle}$ に属する変更操作を用いることによって、B Lパッキングによって求められる標準的なブロック配置 $P_S(B, R)$ に変更することが可能である。

(証明方針) $B = B_{1 \times 1}$ の場合、 CP_1 を用いて任意のブロック配置に変更できることは明らかであるから、これ以外の場合についてその証明方針を述べる。詳細は、文献[3], [4]に譲る。集合 $C_{\langle 2,2 \rangle}$ に属する変更操作を用いて、標準ブロック配置 $P_S(B, R)$ に一致するように、 $P_u(B, R)$ におけるブロックを1つずつ移動させることを考える。このとき、既に配置変更が完了した部分のブロック配置を変えることなくブロックの移動をおこなうことができれば、 $P_S(B, R)$ に配置変更することが可能となる。

〔補題7〕 任意のブロック配置 $P_u(B, R)$ が、変更操作の集合 $C_{\langle 2,2 \rangle}$ を有限回適用して $P_v(B, R)$ に変更されたとする。このとき、変更操作の集合 $C_{\langle 2,2 \rangle}$

を用いて、 $P_v(B, R)$ から元の配置 $P_u(B, R)$ に変更することが可能である。

(証明方針) 集合 $C_{\langle 2,2 \rangle}$ に属する変更操作がすべて、集合 $C_{\langle 2,2 \rangle}$ に属する変更操作を用いて逆変更可能であることを示す。

(定理2の証明) 補題6と補題7より、ブロック配置 $P_S(B, R)$ から、集合 $C_{\langle 2,2 \rangle}$ を用いることによって、任意のブロック配置 $P_v(B, R)$ に変更することが可能となる。以上より、任意のブロック配置は標準ブロック配置を介して別の任意のブロック配置に変換可能となるので、これによって定理2が証明されたことになる。 (証明終)

4. シミュレーション実験

本手法を、日本・データゼネラル社のECLIPSE MV/4000(0.6MIPS)上で、C言語を用いて実現した。ステップ5で用いるシミュレティドアニーリング(SA)法のアニーリングスケジュールについて簡単に説明する。初期温度は、文献[8]の方法を用いて設定している。文献[8]の方法を簡単に説明すると、その配置がどの温度で平衡状態にあるかを実験的に求め、その温度を初期温度とする。温度は、減少係数0.9をかけて徐々に下げていった。また、各温度では、各ブロックがすべての変更操作を平均的に1回おこなうループ数を平衡状態の目安とした。

仮想配線長に関する最適解が既知であるテストデータ、及び、実際の論理回路から作成したデータに対して本手法を適用した結果を表1に示す。 L_{opt} , L_1 , L_4 , L_5 , L_{SA} はそれぞれ、最適配置、ステップ1, ステップ4, ステップ5が終了した直後の配置結果、及び、SA法のみによる配置結果の仮想配線長を表す。また、CPUtimeはステップ5でかかった時間を示している(それ以外のステップの計算時間は、ステップ5に比べてわずかである)。表1において、最適解に対して平均3割増の結果が得られ、また、最適解が既知でないデータ3に関してもSA法と同程度の解が得られていることから、3.3で述べた配置変更操作が有効であるといえる。また、3.1のアルゴリズムに従い、各ステップを実行して解を得た場合(表1の「本手法」)は、ステップ2, 4を省略しSA法のみによって解を得た場合(表1の「SA法」)に比べて解の質は同程度であり、しかも計算時間は大幅に短縮されていることから、ステップ2, 4は配置改良の高速化に役立っているといえる。図7はデータ5(テストデータ)の配置結果である。

表1 実験結果

データ 番号	ブロック数 (内部ノット数)	ネット 数	最適解 L_{opt}	本手法				SA法	
				L_1	L_4	L_5	CPUtime(min.)	L_{SA}	CPUtime(min.)
1	15	29	29	108	85	29	1.1	29	2.0
2	16	31	31	117	71	31	2.3	31	4.1
3	21	21	—	118	93	54	2.9	54	9.5
4	34	69	69	262	260	98	10.5	105	120.0
5	56	130	130	828	537	226	45.0	220	760.0

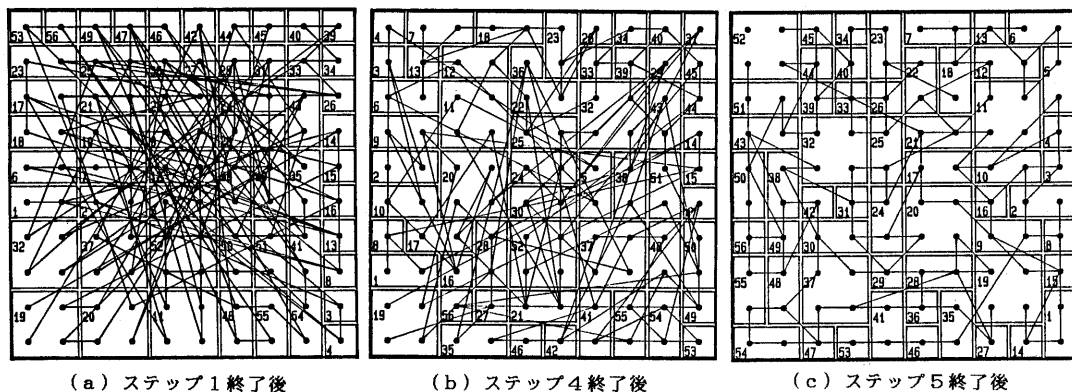


図7 本手法の適用例

5. 今後の課題

現在検討中の主な課題を以下にまとめる。

- (1) 本手法の実データへの適用と、その有効性の確認。
- (2) チップ面積のみを最小にする配置問題(ブロックの寸法を任意とした場合)の考察とその近似アルゴリズムの開発。
- (3) 目的関数に配線混雑度を含めることの検討。

謝辞 本稿の作成にあたり、ご協力頂きました本学大学院生横山和俊君、及び、本学学部生近藤真大君に感謝致します。

参考文献

[1] B. S. Baker, E. G. Coffman Jr. and R. L. Rivest: "Orthogonal packing in two dimensions", SIAM J. Comput., 8, 4, pp.846-855 (1980).
 [2] 榎原, 中野, 中西: "ピースに制約を加えた2次元ビン・パッキング問題", 信学論(A), J69-A, 3, pp.350-358 (1986).
 [3] 出本 浩: "寸法制約<2,2>のブロックに対する配置変更法", Hiroshima Univ. ECS Lab. Tech. Rep. No.88-16 (1988).

[4] 出本, 大村, 宮尾, 若林: "VLSI設計における寸法制約をもつブロックの配置手法", 1988年夏のLAシンポジウム資料(1988).
 [5] S. Kirkpatrick, C. D. Gelatt Jr. and M. P. Vecchi: "Optimization by simulated annealing", Science, 220, 4598, pp.671-680 (1983).
 [6] A. S. LaPaugh: "Algorithms for integrated circuit layout: An analytic approach", Ph. D. thesis, Department of Electrical Eng. and Comput. Sci., M. I. T. (1980).
 [7] 大村, 出本, 藤井, 菊野, 吉田: "モジュールの再利用を考慮したフロアプラン設計手法の提案—初期フロアプランニング—", 情処学設計自動化研究会研報, DA87-90 (1987).
 [8] J. Rose, W. Klebsch and J. Wolf: "Equilibrium detection temperature measurement of simulated annealing placements", Proc. Int. Workshop on Placement & Routing, Session 9.1 (1988).
 [9] 渡辺, 浅田, 可児, 大附: "VLSIの設計I", 岩波書店(1985).