

## 一般回路のスキャン自動変換を目的とした テスト容易化支援プログラム

A Design-for-Testability Support Program  
for Automatic Scan Implementation of General Circuits

西 宏晃  
Hiroaki Nishi

中沢 昌久  
Masahisa Nakazawa

新田 進  
Susumu Nitta

(株)東芝 ULSI研究所  
ULSI Research Center, TOSHIBA Corporation

あらまし 非同期回路を含む一般回路をスキャンデザイン回路に自動変換するプログラムを開発した。まず、回路のテスト容易性検証を行ない非同期信号を抽出する。次に、階層を保持したまま通常のフリップフロップをスキャンタイプのフリップフロップに置換して、スキャンバスを接続するとともに、スキャンクロック信号回路を自動発生し、さらに非同期信号を制御する回路を挿入する。全くテスト容易化設計されていない回路に対して、本テスト容易化支援プログラムを適用した結果、20～30%のゲート増でスキャンデザイン回路に変換することができた。

Abstract We developed an automatic scan design implementation program which converts an asynchronous circuit to a serial scan design circuit. First, the automatic scan design implementation program verifies the circuit for DFT rules and extracts asynchronous signals. Second, it hierarchically replaces the normal flip-flops to the scan type flip-flops and generates scan paths, scan clocks and control circuits over the asynchronous signals. This program makes it possible to convert totally DFT-unconsidered circuits into scan design circuits with 20~30% hardware overhead.

### 1. はじめに

半導体製造技術や設計技術の進歩に伴って、論理LSIは大規模、複雑化している。したがって、外部端子あたりのゲート数が多くなり、LSIのテストベクトルの作成はますます困難になっている。設計者にとって、LSIの論理設計検証用のテストベクトルの作成にかかる作業量は膨大であり、さらに故障検出率の高いテストベクトルの作成は、大変な作業となっている。この問題を解決する一つの手法として、論理設計の段階から回路をスキャンデザインすることで、テストを容易化する方法がとられている。<sup>[1]</sup>

スキャンデザインでは、回路内のレジスタをスキャンレジスタで構成することによって、順序回

路のテストを、組合せ回路のテストに置き換えて扱うことができる。組合せ回路については、ランダムパターンや、アルゴリズム法を用いて自動発生したテストパターンでテストが可能となるため、スキャンデザインを用いると、実用的なコストで高い故障検出率を持つテストベクトルを得ることができる。

また、スキャンデザインは同期式順序回路の設計に用いられてきたが、セット、リセット信号を許す非同期フリップフロップを含む回路についても、スキャンデザインが可能になっている。<sup>[2]</sup>

しかし、設計者は論理設計の段階で、スキャンデザインのために、煩雑な設計規則を守って回路を設計する必要があるため、一般的な非同期回路を、スキャンデザイン回路に自動変換するツール

の必要性が高まってきた。

さて、スキャンデザイン自動変換を行なうときには、被変換回路の機能を保存したまま回路の変換を行なわなければならない。したがって、元来の機能に影響を与えないような回路変更箇所を探索する必要がある。そして、スキャンデザイン変換によって増加するゲート数と遅延時間を、最小限に抑える必要がある。そのうえ、大規模な回路を短時間にスキャンデザインへ変換したり、さまざまなスキャンデザインに対応した自動変換を行ないたいという要請もある。

そこで、我々は階層設計された一般的な非同期回路を、シリアルスキャンデザイン回路に自動変換するプログラムを開発してきた。本稿では、本プログラムの概要、本プログラムが対象にしている被変換回路の構造、使用している処理方法、ならびに適用結果について報告する。

## 2. プログラムの概要

本プログラムでは、スキャンデザイン自動変換を行なう前に、変換の対象となる箇所を探索している。これについては、テスト容易化ルールに対して、回路接続データの接続解析や信号属性伝搬を用いて、トップダウンまたはボトムアップにチェックが可能なテスト容易性検証プログラムを、既に開発している。<sup>[3]</sup> このプログラムは、スキャンデザインされている回路のチェックを可能としているが、本プログラムではスキャンバス、スキャンクロックのチェックを除いた、ループチェックと同期系のチェックと非同期系のチェックを使用している。

一方で、階層設計された回路のスキャンデザイン自動変換を行なうテスト容易化自動変換プログラムを開発してきた。<sup>[4]</sup> このプログラムは、階層モジュール単位にスキャンデザイン変換を行なうので、大規模な回路を高速に処理できる。また、変換前の階層が保存されるため、モジュールが機能の固りとして強力に結合している場合は、自動チップレイアウトの工程においても、通常機能を重視した配置配線が行われるというメリットがある。そのうえ、スキャンデザイン自動変換した接続データを、接続記述に逆変換することによって、元の記述に対してどの箇所が変換されたかが明白

になり、スキャンデザイン変換後の回路のデバックが容易になるという特徴がある。

本プログラムでは、図1のように上記二つのプログラムをインターフェースして、

- (1) スキャンデザイン変換箇所の探索
- (2) 変換箇所データを用いたスキャンデザイン自動変換

の順に処理を行なっている。次章でスキャンデザイン変換の対象となる回路構造について述べ、処理方法については第4章と第5章で述べる。

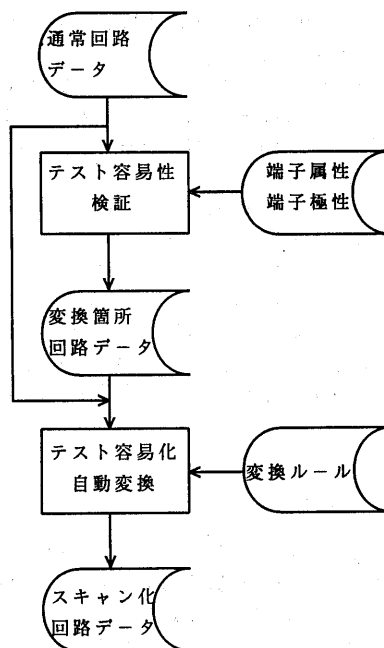


図1 プログラムの処理フロー

## 3. スキャンデザイン変換の対象回路

スキャンデザインでは、回路内のレジスタはスキャン可能でなくてはならない。したがって、通常のレジスタをスキャン可能なレジスタに置換する必要がある。そこで、スキャンレジスタに置換できない記憶素子を探索する必要がある。

また、一般のランダムロジック回路では、データ系の回路と制御系の回路が分離できなかったり、制御信号を回路内で発生させているため、回路の外部入力端子から、レジスタに入力するクロック、セット、リセット信号を制御できないことが多い。

よって、回路内のレジスタをスキャンレジスタに置換したとき、スキャンレジスタとして動作するのを妨げる回路構造があるかどうかをチェックし、これをスキャンデザイン自動変換の対象回路とする。

### 3. 1 フィードバックループ

ゲートを用いてフィードバックループが構成されている場合、これは非同期な記憶素子として動作するため外部から制御できない。そのうえ、スキャンレジスタに取り込むことができないので、これを探索する必要がある。

### 3. 2 レジスタのクロック信号が外部から制御できない

スキャンテストでは、スキャンレジスタを用いてテストパターンの入出力を行なう。したがって、スキャンレジスタとして動作させている間は、レジスタに入力するシステムクロックを *off* 状態にしなければならない。またスキャンテストのシステム動作時に、テストデータをスキャンレジスタの通常データ入力から取り込むためには、スキャンレジスタを構成しているフリップフロップのシステムクロックを、*on* 状態にする必要がある。このことから、スキャンレジスタに置換されるレジスタのシステムクロック入力が *on*、*off* 可能かどうかを調べ、少なくともクロックの *off* 状態は、外部から入力されるクロック信号で制御できなければならない。

### 3. 3 レジスタのセット、リセット信号が外部から制御できない

第3.2節で説明したように、スキャンレジスタとして動作させるためには、レジスタに入力する非同期セット、リセット信号も *off* 状態にする必要がある。そのため、スキャンレジスタに置換されるレジスタのセット、リセット入力端子に入る信号が、回路外部から *off* 状態に制御できるかどうかを調べる必要がある。

## 4. スキャンデザイン変換箇所の探索

多種多様な回路を対象にして、スキャンデザイン自動変換を行なう場合、前章で述べた回路構造が存在すると、スキャンテストを行なっても故障検出率が上がらないばかりでなく、スキャンテストができないことがある。

よって本プログラムでは、前章で述べた回路構造が存在するかどうかを、大きく分けて、以下の二つの方法を用いて行なっている。

- (1) 接続解析によるチェック
- (2) 信号属性伝搬によるチェック

(1) のチェックは、接続データを入力から出力へ、またはその反対にトレースすることによって行なう。

(2) のチェックは、回路に記号（本稿では信号属性と記述する）を伝搬させて行なう。信号属性にはデータ *D*（これは通常の論理値の“1”または“0”を示す）、システムクロック *C*、システムセット *ST*、システムリセット *RS* などがある。また信号属性には、通常の信号が持っている極性の意味も持たせてある。外部入力端子において、通常の論理値が“1”のときに信号が *off* 状態になる場合を負極性信号とし、反対に論理値が“0”のときに信号が *off* 状態になる場合を正極性の信号と定義する。

一方、信号属性の伝搬先、すなわち、フリップフロップの入力端子と外部出力端子に、端子属性と端子極性を設定する。端子属性も信号属性と同様にデータ、クロック等が用意されており、複数の属性を持ち合わせた併用端子属性も定義できる。また端子極性については、通常の論理値が“1”で *off* するものを負極性とし、論理値“0”で *off* するものを正極性と定義する。

次にチェックを行なう手順を説明する。まず、回路内のフリップフロップやラッチ、既設計モジュールまたは未設計モジュールについてはブラックボックスとして扱い、他の部分をプリミティブゲート（AND、OR、NAND、NOR、NOTなど）まで階層展開する。それから、外部入力端子に信号属性を割り付けて回路内部に伝搬する。このとき、プリミティブゲートでは入力する信号属性に応じて演算を行い、出力端子に演算後の信

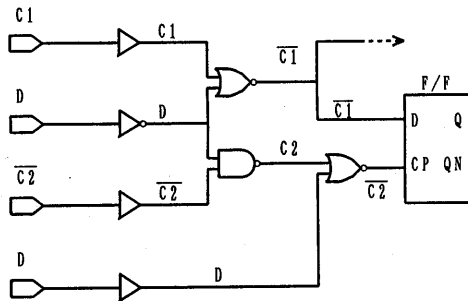
号属性を伝搬する。そして、フリップフロップ等のブラックボックスの入力端子と外部出力端子に伝搬した信号属性（極性）と、それらの端子が持つ端子属性（極性）を比較して、所望の信号が所望の箇所に伝搬するかどうかを調べることができる。

#### 4. 1 フィードバックループの探索

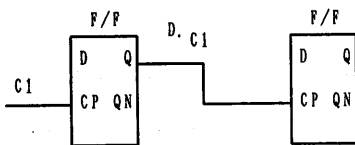
クロックで制御されるフリップフロップやラッチを除いて、外部入力端子とフリップフロップやラッチの出力端子から、フリップフロップ、ラッチの入力端子、および外部出力端子に達する回路について、接続データをトレースしてループ回路を検出する。

#### 4. 2 レジスタのクロック信号のチェック

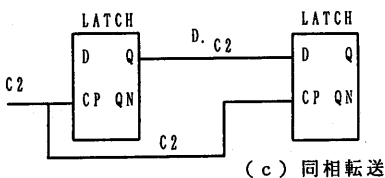
図2 aのように、レジスタのクロックを供給する外部入力端子にクロック信号属性を割り付けて回路内に伝搬する。クロック信号属性には、通常



(a) クロック信号属性の伝搬

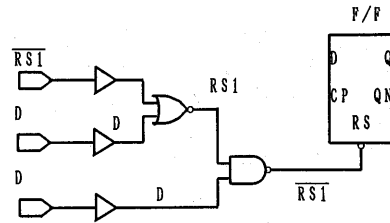


(b) 非同期信号の伝搬

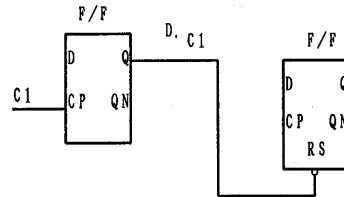


(c) 同相転送

図2 クロック系のチェック



(a) リセット信号属性の伝搬



(b) 非同期信号の伝搬

図3 セット、リセット系のチェック

動作で使用するクロック信号の入力波形と、回路内で用いているフリップフロップのクロックエッジによる動作特性を参考にして、信号極性も考え合わせたものを割り付ける。信号の極性によって、反転ゲートの伝搬特性が変わってくるので、所望の極性を持った外部クロック信号が、フリップフロップに伝搬するかどうかを調べて、フリップフロップに入力するクロック信号が、off可能かどうかのチェックができる。また、クロック信号属性には複数の種類のもので設定できる。

さらにフリップフロップの出力信号が、異なるフリップフロップのクロック入力端子に直接伝搬する場合や（図2 b）、ラッチ間の同相転送のチェックも行なっている。（図2 c）

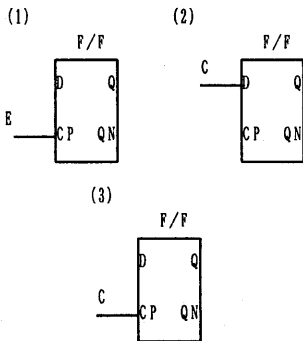
#### 4. 3 レジスタのセット、リセット信号のチェック

クロック信号のチェックと同様に、レジスタに入力するセット、リセット信号が外部入力端子から制御可能かどうかを、外部入力端子にセット、リセット信号属性を割り付け、回路内に伝搬してチェックする。図3 aは、リセット信号属性が伝搬する様子を示している。また、セット、リセット信号属性は、レジスタのセット、リセット入力端子に対して、それぞれ反対に伝搬してもよいとする。それから図3 bは、非同期信号が伝搬している様子を示している。

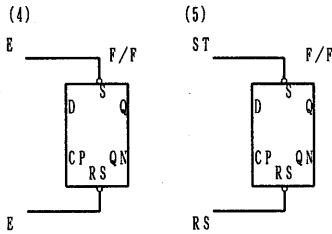
#### 4.4 スキャンデザイン自動変換プログラム へインターフェースするデータ

非同期回路をスキャンデザイン化するために、レジスタの入力端子へ非同期に入力する信号を、制御する必要があることは既に述べた。本プログラムでは、下記の5つの場合を、スキャンデザイン自動変換プログラムにインターフェースする回路変換箇所としている。(1)～(3)はクロック系の違反であり、(4)、(5)はセット、リセット系の違反である(図4)。

- (1) フリップフロップのクロック入力端子に外部クロックが伝搬しない。
- (2) フリップフロップのデータ入力端子に外部クロックが伝搬する。
- (3) フリップフロップのクロック入力端子に外部クロック信号の逆相が伝搬する。



クロック系チェックによって発見された違反



セット、リセット系チェック  
によって発見された違反

図4 スキャンデザイン自動変換プログラムへ  
インターフェースする違反データ  
(E は期待される信号属性が伝搬しないことを示す)

- (4) フリップフロップのセット、リセット入力端子に外部からシステムセット、リセット信号が伝搬しない。
- (5) フリップフロップのセット、リセット入力端子にシステムセット、リセット信号の逆相が伝搬する。

テスト容易性検証プログラムは、検証回路をプリミティブゲートまで階層展開してチェックを行なっているが、次章で述べるスキャンデザイン自動変換プログラムは、階層展開前の回路について変換を行なっているため、回路変更箇所を階層展開前のノード名で指摘するようにした。

一方、ゲートによって構成されたループ回路や、ラッチ間でデータが同相転送される場合は、設計者が回路変更を行なうことにしている。

#### 5. スキャンデザイン自動変換

本プログラムでは、スキャンクロックのマージンを考慮して、2相クロックでスキャンイン/アウトを行なうシリアルスキャンデザインへ回路を自動変換している。また本プログラムは、階層を保持したまま任意のモジュールをスキャンデザイン回路に変換し、変換前と同じ階層を持ったネットリストデータを再現できる。したがって、大規模回路を短時間にスキャンデザイン変換できるとともに、変換前の回路と変換後の回路の比較やデバックが容易に行なえる。それからテーブル指定の変換ルールを用意しているため、設計者はセルの選択やファンアウトの調整が簡単に行なえる。次に本プログラムの処理手順を説明する。

##### 5.1 スキャンレジスタへの置換

スキャン機能を持たないフリップフロップを、スキャン可能なフリップフロップへ置換する。このとき、通常のフリップフロップとスキャンタイプのフリップフロップの対応関係を示す変換ルールを用いている。次にスキャンデータ外部入力端子、スキャンデータ外部出力端子(バッファ)を生成し、自動的にスキャンパスの接続順序を決めて接続する。また設計者が任意のフリップフロップ間、フリップフロップを含むモジュール間のスキャンパスの接続順を指定することもできる。

### 5.2 スキャンクロック系の生成

スキャンクロックのクロックスキューを最小限にするために、クロックバッファを挿入してスキャンクロック系を生成する。このとき、一つのクロックバッファに接続される負荷（フリップフロップやクロックバッファ数）が均一になるように、そのうえ、各フリップフロップに接続されるクロックバッファの段数が等しくなるように、クロックバッファを階層トリー状に形成する。

### 5.3 非同期回路のスキャンデザイン変換

テスト容易性検証プログラムで指摘された箇所と、被変換タイプ（違反タイプ）のデータを用いて、回路外部から入力する2種類のモード信号を用いた回路変更を行なっている。一つはスキャンレジスタへ非同期に入力するクロック信号を制御する回路を付加することであり、もう一つはスキャンレジスタとしてシフト動作させるとき、非同期に入力するセット、リセット信号を制御する回路を付加することである。

以下、テスト容易性検証プログラムで指摘され

た回路変更箇所に対する回路変更方法を説明する。

図5にスキャンデザイン自動変換された回路図を示す。

#### (1) フリップフロップのクロック入力端子に外部クロックが伝搬しない

これはフリップフロップのクロック入力端子にクロック信号が入力しても逆相であったり、データ、セット、リセット信号が入力する場合や、フリップフロップのデータ出力信号が、異なるフリップフロップのクロック入力端子に入力している場合や、何等かの原因で何も入力しない場合がある。このとき、ディスエーブル信号を用いて、クロック入力される信号をoff状態可能とするゲートを挿入する。（図5の回路では、中央のスキャンフリップフロップのクロック入力信号に対してORが挿入されている）

#### (2) フリップフロップのデータ入力端子に外部クロック信号が伝搬する

スキャンテストのシステム動作時には、データをシステムクロックで取り込む。このとき外部ク

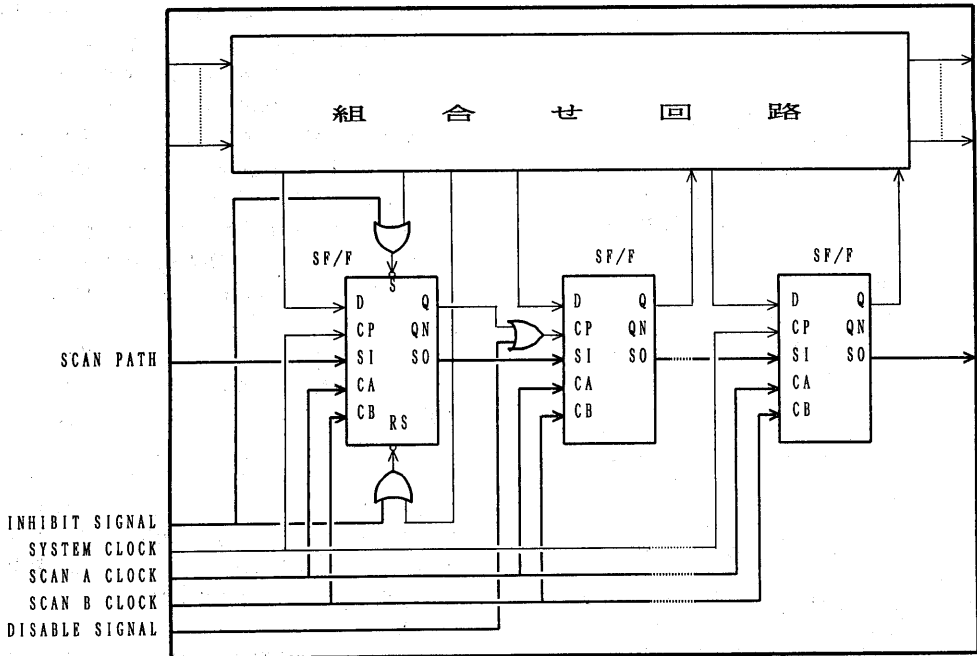


図5 非同期回路のスキャンデザイン変換

ロック信号が、フリップフロップのデータ入力端子に伝搬すると、フリップフロップの内部状態値が破壊される恐れがあるので、インヒビット信号を用いてこの信号を制御するゲートを挿入する。

(3) フリップフロップのセット、リセット入力端子に外部セット、リセット信号が伝搬しない

これはセット、リセット信号がフリップフロップのセット、リセット入力端子に（反対の信号が入力してもよい）入力しても逆相であったり、データ、クロック信号が入力する場合や、異なるフリップフロップのデータ出力信号が入力している場合や、何も入力しない場合がある。このときは、インヒビット信号を用いて、セット、リセット入力される信号を off 状態に制御するゲートを挿入する。（図5の回路では、左のスキャンフリップフロップへ入力しているセット、リセット信号に対してORを挿入している）

## 6. 適用例

本プログラムを回路規模1K~20Kゲートまでの6品種の回路で評価した。表1~4に評価回路の特性と評価結果を示す。A~Eの回路は非同期回路でFは同期回路である。A~Cは階層のないフラットな回路で、D~Fは階層設計された回路である。また、フィードバックループや同相転送の違反は、すべての回路で発見されなかった。一方、計算機は15MIPS相当のものを使用した。

### 6.1 テスト容易性検証に対する評価

表2は、テスト容易性検証プログラムを用いてクロック系とセット、リセット系の違反箇所を探索した結果を示している。違反箇所数は2つのタイプとも回路によって異なっている。回路Eのように階層設計されている場合は、違反箇所数に対して回路挿入箇所が少ないことがわかる。

表3は、本プログラムを用いて回路挿入箇所を探索するのに要した時間を示している。本プログラムの処理時間は、フリップフロップを除いた回路の規模と、フリップフロップ数と違反数に依存する。（違反が存在する場合には、その解析に時間を要する）

表1 変換前の回路特性

回路名	ゲート数	入力数	出力数	F/F数	記述行数
A	1255	55	38	75	647
B	2339	48	72	135	1404
C	4686	59	62	291	1912
D	5000	7	48	520	307
E	5145	60	41	281	777
F	19361	188	48	828	2403

(1ゲート=2入力NAND)

表2 回路変更箇所

回路名	違反箇所数		回路挿入箇所
	クロック系	セット系	
A	36	1	37
B	48	0	48
C	46	5	47
D	1	0	1
E	137	4	15
F	0	0	0

表3 CPU処理時間

回路名	DFT CHK(SEC)	DFT GEN(SEC)	合計(SEC)
A	1.2	1.7	2.9
B	1.9	3.1	5.0
C	2.8	4.7	7.5
D	1.8	1.0	2.8
E	2.0	2.0	4.0
F	6.5	6.3	12.8

DFT CHK: テスト容易性検証プログラム

DFT GEN: スキャンデザイン自動変換プログラム

(使用計算機: 15MIPS)

表4 変換後の回路特性

回路名	ゲート数	入力数	出力数	増加ゲートの割合(%)	記述行数
A	1661	60	39	32	703
B	2943	52	73	25	1471
C	5919	64	63	26	2001
D	7086	11	49	42	346
E	6172	65	42	20	716
F	22501	191	49	16	2554

## 6. 2 スキャンデザイン自動変換に 対する評価

表4は、表1の回路に対するスキャンデザイン自動変換後の回路特性を示している。回路はすべて完全スキャン回路に変換したので、通常のフリップフロップは、スキャンタイプのフリップフロップにすべて置換されている。外部入力数は、スキャンイン、スキャンAクロック、スキャンBクロック、インヒビット、ディスエーブル信号のために5つ増えている。但し、セット、リセット系の違反がないB、Dの回路には、インヒビット信号の入力端子はなく、同期回路のFにはディスエーブル信号の入力端子もない。出力端子については、すべての回路でスキャンアウト用の端子が1つ増えている。

変換前の回路に対する変換後の回路のゲート数の増加の割合は、同期回路のFが最少で16%である。一番大きいのはDの42%である。同期回路の場合は、クロック系、セット、リセット系の制御回路を必要としないので、通常のフリップフロップをスキャンタイプのフリップフロップへ置換するだけですむため、ゲート数の増加は少ない。ところが、回路Dのように回路規模に対してフリップフロップの数が多いため、これをスキャンタイプのフリップフロップに置換するだけで回路規模が増大するという難点がある。この表から一般的な非同期回路であれば、およそ20~30%のゲート増で、スキャンデザイン自動変換が可能であることがわかる。

一方、表1と表3からスキャンデザイン自動変換に要する処理時間は、ゲート数には直接に依存せず、接続記述の行数にほぼ比例し、階層設計されている場合は短いことがわかる。

## 7. おわりに

本報告では、一般的な非同期回路をスキャンデザイン回路に自動変換するプログラムの概要と、その処理方法および評価結果について述べた。本プログラムを5種類の非同期回路と1種類の同期回路について適用した結果、非同期回路については20~30%の、同期回路については16%のゲート数の増加で、完全スキャン回路に自動変換することができた。

今後の課題としては、挿入回路の最適化処理を行なって挿入回路の割合を小さくすることがある。また、本プログラムは不完全スキャンデザインもサポート可能であるので、テスト発生プログラムとリンクして、不完全スキャンデザイン自動変換を行なうことにしている。

## 参考文献

- [1] E. B. Eichelberger and T. W. Williams, "A Logic Design Structure for LSI Testability," Proc. 14th DA Conf., pp. 462-468, June 1977
- [2] K. Gutfreund, "Integrating the Approaches to Structured Design for Testability," VLSI Design, Vol. 4, No. 6, pp. 34-42, Oct. 1983
- [3] 西, 中沢, 新田, "テスト容易性検証プログラム", 情報処理学会, 第36年全国大会, pp. 2043-2044, 1988, 3月
- [4] 中沢, 西, 新田, "VLSI用テスト容易化自動変換プログラム", 情報処理学会, 第36年全国大会, pp. 2049-2050, 1988, 3月