

VLSIにおけるフロアプランニングについて

— 配線領域見積り、端子位置決定 —

富田常雄、松本美佐代、岡田時仁、神戸尚志
シャープ株式会社 コンピュータシステム研究所

大規模LSIのレイアウト設計において、複数の機能ブロックに分割してレイアウトを行う方法が一般的であり、チップ全体の最適化を図るためのフロアプランニングが重要な問題となっている。特に、設計期間の短縮、設計品質の向上のため、レイアウトの行われていない機能ブロックが扱えるトップダウンフロアプランニングが重要である。

トップダウンフロアプランニングにおける設計項目には、ブロック面積見積り、ブロック形状決定、ブロック配置、配線領域見積り、端子位置決定等があり、後の詳細レイアウトの推定や、レイアウト条件の決定を行う。本文では、配線領域見積りと端子位置決定を行う概略配線手法について述べ、その評価結果についても報告する。

A Floorplanning Scheme for VLSI Design

— Estimation of wiring area and Placement of I/O terminals —

Tsuneo TOMITA, Misayo MATSUMOTO, Tokihito OKADA, Takashi KAMBE
Computer Systems Laboratories, SHARP Corporation
2613-1 ICHINOMOTO-CHO, TENRI NARA 632 JAPAN

In a layout design of VLSI, a common way to layout a chip is to decompose the chip into several blocks which are laid out individually. A floorplanning is important in order to optimize a chip layout. Top-down floorplanning is especially important for shortening design time and improving quality of the VLSI. Here, the top-down floorplanning means that a floorplan can be obtained although all blocks are not completely designed.

In the top-down floorplanning, there are some design tasks: the area estimation of blocks, determination of block shapes, placement of blocks, estimation of wiring areas, placement of I/O terminals, and so on. These are used in estimating a final layout of the chip and specifying layout constraints. This paper describes an algorithm of a global routing which can be used to estimate the wiring areas and to determine the position of the I/O terminals. Experimental results are also shown.

1. はじめに

近年のLSI設計支援CADシステムの発達により、大規模なLSIが容易に設計できるようになっている。特に、ゲートアレイ、スタンダードセル方式LSIについては10万ゲート規模のLSIや、CPUコア、RAM等の機能ブロックを含んだLSIも出現している。このような大規模LSIのレイアウトについては、複数の機能ブロックに分割してレイアウトを行う手法が一般的であり、チップ全体の最適化を図るためのフロアプランニングが重要な問題となっている。特に、設計期間の短縮、設計品質の向上のため、レイアウトの行われていない機能ブロックも扱えるトップダウンフロアプランニングが重要である。トップダウンフロアプランニングにおける設計項目には、機能ブロック面積見積もり、機能ブロック形状決定、機能ブロック配置、配線領域見積もり、機能ブロック端子位置決定が挙げられる。

当社では、フロアプランニングのためのCADシステムの研究開発を進めており、既にルールベースシステムを用いた機能ブロック配置[1]や、フロアプランにおける配線径路指定[2]を開発している。本文では与えられた機能ブロックの配置に対して、配線領域の見積もりと機能ブロックの端子位置決定を行う概略配線手法について述べる。まず、2章では、我々の提案するトップダウンフロアプランニングについてその利点、重要性を述べ、3章においてはそのレイアウトモデルについて説明する。4章では、概略配線手法の詳細について述べ、5章で実験結果を示す。6章でまとめと今後の課題について述べる。

2. トップダウンフロアプランニング

フロアプランニングとは、チップを構成する複数の機能ブロックをチップ上にどのように配置すれば、チップ面積、配線長、タイミング等のレイアウト条件が最適化できるかを見積もり、そのチップレイアウトを得ることである。このとき、チップを構成する複数の機能ブロックのレイアウトが既に設計されているとすれば、チップレイアウトの最適化はこれらの機能ブロックの配置を変更することによって行われる。一方、まだ設計されていない機能ブロックがあるとする、その機能ブロッ

クの形状を変更することや端子位置を配線要求を考慮して決めることによって、チップ面積、配線長の最適化を行うことができる。本文では、前者をボトムアップフロアプランニング、後者をトップダウンフロアプランニングと呼ぶ。

トップダウンフロアプランニングの利点として、チップ面積や配線長を小さくできる可能性が大きいこと他に、設計期間の短縮も可能なことも挙げられる。ボトムアップフロアプランニングでは、すべての機能ブロックのレイアウトが完了していなければ、フロアプランニングできないのに対し、トップダウンフロアプランニングでは、すべての機能ブロックのレイアウトが完了していなくてもよい。また、このフロアプランの結果、機能ブロックへのレイアウト修正がある場合など、ボトムアップフロアプランニングでは、設計期間が大きく伸びることもある。一方、トップダウンフロアプランニングでは、このフロアプランの結果を個々の機能ブロックのレイアウトに利用することができる。例えば、スタンダードセル方式VLSIにおいて、複数のスタンダードセルブロックでレイアウトする場合、個々のスタンダードセルブロックのセル段数や端子位置は、フロアプラン結果を利用することによって最適な情報を得ることができる。

以上述べたように、トップダウンフロアプランニングは、チップレイアウトの最適化、設計期間の短縮化が実現でき、今後、さらに大規模化していくLSIの設計において重要な設計技術になると思われる。

3. レイアウトモデル

トップダウンフロアプランニングのレイアウトモデルについて定義する。チップは、矩形で機能ブロックと四辺に置かれるI/Oバッファ列で構成され、個々のI/Oバッファの位置は与えられているものとする(図1)。また、機能ブロックについては形状は矩形で、以下の二種類を扱う。

1. 固定機能ブロック

形状が固定で、その端子はブロックの四辺上に固定配置されている機能ブロック。既に設計された機能ブロックや、ROM、RAM、PLA等がその例である。

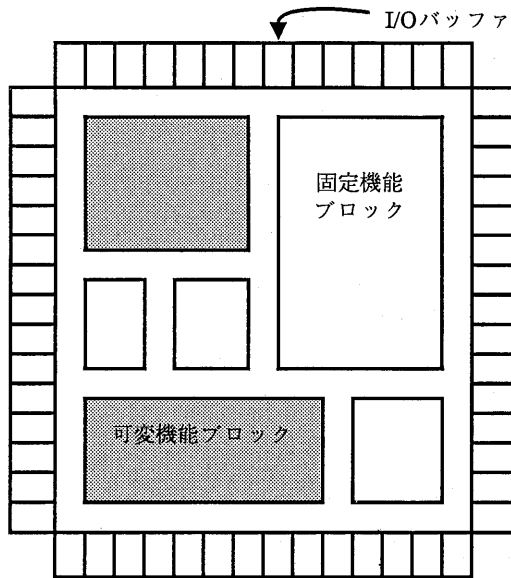


図1 レイアウトモデル

2. 可変機能ブロック

形状の変更が可能で、その端子はブロックの四辺上であれば自由に位置を変更できる機能ブロック。例えば、スタンダードセルブロックのようにその内部レイアウトを行う前であれば変更可能な機能ブロック。

本文中で記述する概略配線手法の入力としては、機能ブロックの配置と形状は与えられているものとし、端子位置については未決定であるとする。

4. 概略配線手法

本文中で扱うレイアウトモデルのようなビルディングブロック方式の概略配線手法はすでいくつか発表されている。特に、フロアプランニングにおいては、配置と配線を同時に考慮しているもの[3,4]や、本手法のように未設計ブロックを扱え、概略配線によってその端子位置を決定するものもある[5,6]。また、本手法では、各ネット毎に配線し端子位置を決定するのではなく、全ネットを配線しその後配線長の長い順に、各ネットの端子位置を決定する。こうすることにより、配線するネットの順序に影響されない端子位置決定が行える。

4.1 グラフモデル

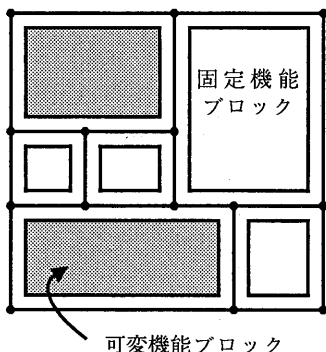
本概略配線手法で用いるグラフモデルについて説明する。

(A)フロアプランングラフ(図2-a)[7]

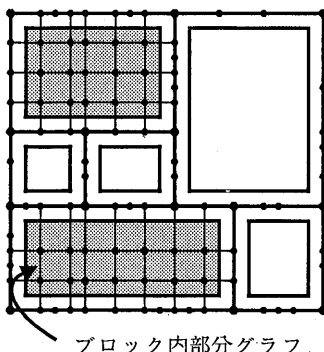
機能ブロック間の相対配置と配線チャンネルを表すグラフ。フロアプランングラフの節点には、与えられたブロック配置よりその位置座標を、その枝には節点間の距離を情報として持つ。

(B)経路探索グラフ(図2-b)

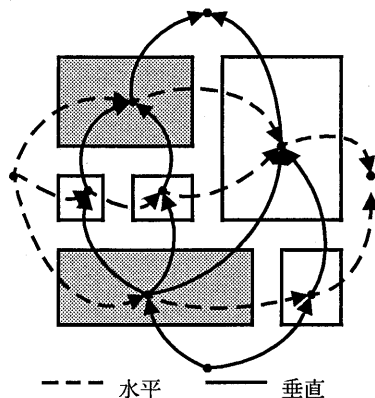
フロアプランングラフに経路探索のための節点と枝を加えたグラフ。加える節点には、固定機能ブロックの端子に対応するものと、可変機能ブロックの端子位置決定とブロック内配線に利用



(a)フロアプランングラフ



(b)経路探索グラフ



(c)チャンネルポジショニンググラフ

図2 グラフモデル

するブロック内部分グラフがある。また、フロアプラングラフと同様に各節点は位置座標を、各枝は節点間の距離(枝の長さ)を情報として持っている。

(C)チャンネルポジショングラフ(図2-c)

機能ブロックと配線チャンネルの相対位置を表すグラフ。節点は機能ブロックに対応し、枝は配線チャンネルに対応する。水平方向チャンネルポジショングラフと垂直方向チャンネルポジショングラフの二種類がある。

4.2 処理概要

以下に本概略配線手法の処理概要を示す。

[1] 端子順序付け

各ネット毎の端子の配線順序は、まず固定機能ブロックの端子の中で端子間距離最小のものから順に配線し、そして最後に可変機能ブロックの端子を配線するように決められる。

[2] グラフ生成

グラフ生成においては、前述の三種類のグラフを生成する。

[3] 初期配線

配線長のみをコストとした径路探索を行う。初期配線においては配線長のみをコストとしているので、ネットに関する順序付けは必要ない。

[4] 配線改善

配線混雑度を考慮したコスト付けによる径路探索を行う。配線改善においては、混雑した配線チャンネルを通過するネットについて再配線を行う。

[5] 端子位置決定

端子位置決定においては、径路探索の結果、配線長の長いネットから順に配線径路に応じて最適な端子位置を決定する。

[6] 初期配線

決定した端子位置での初期配線

[7] 配線改善

決定した端子位置での配線改善

[8] 機能ブロック位置決定

配線領域を径路探索の結果にしたがって見積もり、機能ブロックの位置決定を行う。

[5]~[7]は、可変機能ブロックがある時のみ実行される。

PROCEDURE route (net)

BEGIN

Set first terminal of net as target node;

REPEAT

BEGIN

Set next terminal of net as start node;

Search route using maze method;

Append searched route to net data;

Update channel density map;

Set route of net as target nodes;

END

UNTIL All terminals are connected

END

図3. 径路探索アルゴリズム

4.3 径路探索

径路探索の手法は、径路探索グラフ上でのコスト最小迷路法[8]を用いている。迷路法は、二端子間の最小コスト径路を求めるのに適しており、多端子ネットの径路探索に応用するには、二端子間配線問題に分解する必要がある。本手法では、端子の配線順序に従い、端子と探索済径路間の径路探索を行っている。径路探索のアルゴリズムを図3に示す。また、迷路法における始点、終点の設定には端子と探索済径路の場合があり、以下のように設定される。

(1) 固定機能ブロックの端子を始点、または終点にする場合

固定機能ブロックの端子に対応する径路探索グラフの節点を径路探索の始点、または終点とする。

(2) 可変機能ブロックの端子を始点、または終点にする場合

可変機能ブロックの四辺上にあるすべての節点(四隅は含まない)を径路探索の始点、または終点とする。

(3) 既に求められた配線径路を終点にする場合

既に求められた配線径路上にあるすべての節点を径路探索の終点とする。

また、各配線チャンネル領域を詳細に見積もるためチャンネル密度マップを用いている。これは、フロアプラングラフの各枝を、ある一定幅の区間に分割し、個々の区間の配線通過本数を設定、更新するこ

とによって、そのチャンネルに必要な幹線の数を見積もるものである。例えば、図4のような配線要求に対して、チャンネル密度マップの各区間の幹線数はそれぞれ、3、3、3、1、3、4、5、4、5、4、3となり、このチャンネルに必要な幹線数は5と見積もられる。

4.4 初期配線処理

初期配線は、上記の径路探索をすべてのネットについて行う。この時、径路探索グラフの各枝のコストは、次式によって計算する。

$$ERFC = ELEN$$

$$ERVC = \alpha \times ELEN$$

ERFC ブロック内部分グラフ以外の枝のコスト

ERVC ブロック内部分グラフの枝のコスト

ELEN コスト付けする枝の長さ

α 重み付け定数

また、ブロック内部分グラフの枝のコストについては、径路探索においてブロック内通過配線が生じる毎に、そのコストを次式によって更新する。

$$ERVC = ERVC + \beta \times ELEN$$

β 重み付け定数

4.5 配線改善処理

配線改善処理は、以下の処理で行われる。

Step. 1

径路探索の結果各配線チャンネルの幅を見積もり、チャンネルポジショングラフの枝にコストを付け、水平、垂直両方向のクリティカルパスを求める。チャンネルポジショングラフの枝のコストは、次式によって計算する。

$$ECC = BW_1 / 2 + BW_2 / 2 + Cw$$

ECC 枝のコスト

BW₁ 枝の左、または下のブロックの水平方向、または垂直方向幅

BW₂ 枝の右、または上のブロックの水平方向、または垂直方向幅

Cw 配線チャンネル幅

また、配線チャンネル幅Cwは、径路探索結果により個々の配線チャンネルの必要な幹線数が見積もられているので、それをもとに次式によって計算する。

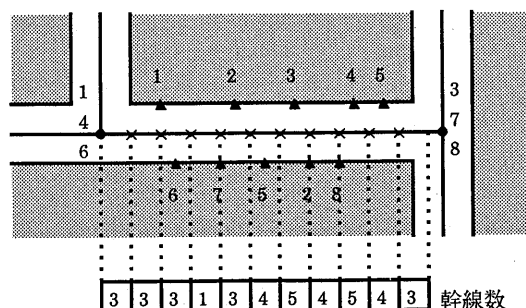


図4. チャンネル密度マップ

$$Cw = D \times (C_D + 1)$$

C_D 見積もり幹線数

D 配線中心間デザインルール

Step. 2

径路探索グラフのブロック内部分グラフ以外の枝に配線混雑度を評価したコストを付ける。クリティカルパス上のチャンネルに対応している径路探索グラフの枝のコストERCPとその他の枝のコストERCは、次式によって計算する。

$$ERCP = \gamma \times ELEN$$

$$ERC = ELEN / (LCP - LP) \times D$$

ELEN コスト付けする枝の長さ

LCP クリティカルパスの長さ

LP コスト付けする枝を含む最長パスの長さ

D 配線中心間デザインルール

γ 重み付け定数

このコスト付けにより、チップサイズを支配している配線チャンネルは通過しにくく、他の配線チャンネルは配線余裕に応じて通過しやすくなる。

ブロック内部分グラフの枝については、初期配線処理と同様に径路探索においてブロック内通過配線が生じた時に、そのコストを更新する。

Step. 3

水平、垂直両クリティカルパス上のチャンネルを通過しているネットについて、すべて一端引き剥がし再配線を行う。

Step. 1からStep. 3までを指定回数繰り返し、配線混雑度とチップサイズを考慮した概略配線結果を得る。

4.6 端子位置決定

可変機能ブロックの端子について、概略配線の結果を考慮して最適な端子位置を決定する。その方法は、個々のネットについて配線経路を求めその都度端子位置を決定するのではなく、配線の段階では一時的に径路探索グラフの節点に割り付け、すべてのネットの径路が決まった後で端子位置を決定する。以下にその処理フローを示す。

- Step. 1 配線結果より、すべてのネットを配線長の長い順にソーティングする。
- Step. 2 ソート順に、移動不可能端子について位置割付けを行う。
- Step. 3 ソート順に、移動可能端子について位置割付けを行う。

ここで、移動不可能端子とは、同一ネットの他の端子によって制約を受け、最適な端子位置が一意的に定まる端子のことを言い、移動可能端子とは、同一ネットの他の端子による制約のもとでも最適端子位置の候補が幾つか存在する端子のことを言う。図5(a)において、可変機能ブロックAの端子aは、ブロックの右下下側に端子位置を決定するのが最適で

あるが、可変機能ブロックBの端子bは、ブロック周辺の径路上であればどこでも良い。

端子位置決定は、径路探索グラフの節点に割り付ける概略位置割り付けと、その後実際の端子位置に割り付ける詳細位置割り付けの二段階処理で行われる。

(1) 移動不可能端子の位置割付け

概略位置割り付けでは、配線結果より対応する径路探索グラフの節点を割付け、次に、詳細位置割り付けにおいて絶対位置を決定する。各節点は、対応する絶対位置の候補をいくつかもっており、さらにその中で最適な位置を選択する。図5(b)において、可変機能ブロックAの端子aは、候補位置のうち最下端の空き端子位置に置かれる。もし配線結果の節点の絶対位置の候補がすべて他のネットの端子に割り付けられているなら、端子に対応する節点を次候補にし同様の処理を繰り返す。

(2) 移動可能端子の位置割付け

概略位置割り付けにおいて、割当て可能な径路探索グラフの節点の集合内で、既に割付けられている端子の最も少ない節点を選び、詳細位置割り付けは移動不可能端子と同様の処理を行う。

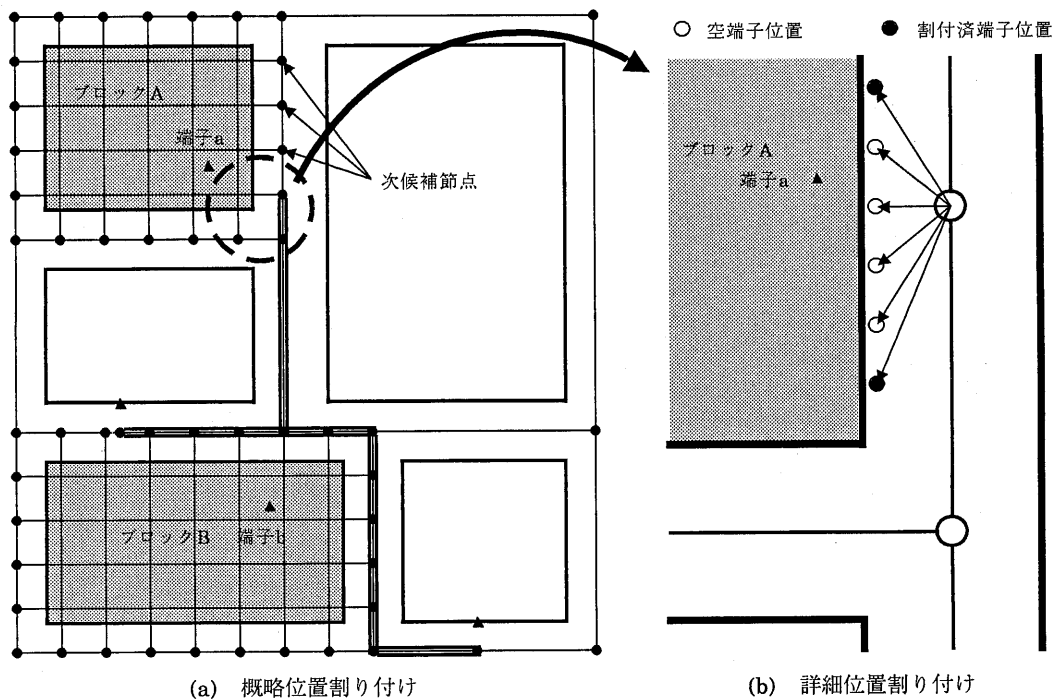


図5. 端子位置決定

5. 実験結果

本概略配線手法を二種類のデータに対して適用した。適用データに関する情報を表1、実験結果を表2に示す。実験結果における配線長は概略配線径路の長さであり、チップサイズは配線領域見積もりを行った後の見積もりである。また、使用計算機はHP9000/850Sで、約7MIPSのRISCマシンである。比較のため、すべての機能ブロックを固定機能ブロックとし端子位置の移動ができない場合(A)と、すべての機能ブロックを可変機能ブロックとし、端子位置の決定を機能ブロックの中心間を結んだ直線とブロック枠との交点とする場合(B)と、すべての機能ブロックを可変機能ブロックとし、本手法により端子位置を決定した場合(C)の結果を示す。また、本手法による端子位置決定においても、初期配線後すぐに端子位置決定を行った場合(C-1)と、何回か改善をした後で端子位置決めを行った場合(C-2)の結果も示す。改善回数を変更して実験したところ、二回の改善による結果が平均的に良かった。表2に示した結果は改善回数二回のものである。本手法による端子位置決定は、チップサイズの小さい、配線長の短いレイアウトを生成する可能性が高い。しかし、処理時間がBの手法に比べて2~12倍かかっている。これは、可変機能ブロックの内部グラフの密度

データ	ブロック数	ネット数	端子数
I	33	117	254
II	10	90	228

表1. 実験データ

データ	実験モード	配線長	比率	チップサイズ	比率	処理時間(CPU) (秒)
I	A	63677	1.00	1353×1276	1.00	41.05
	B	38852	0.61	1301×1266	0.95	25.22
	C-1	38332	0.60	1288×1266	0.94	157.74
	C-2	37318	0.59	1273×1266	0.93	310.82
II	A	1713514	1.00	19496×24025	1.00	50.22
	B	867190	0.51	18746×22375	0.90	31.96
	C-1	841830	0.49	18684×22125	0.88	62.04
	C-2	772260	0.45	18684×22175	0.88	106.84

表2. 実験結果

に起因しており、径路探索処理に時間を費やしているからである。また、固定機能ブロックと可変機能ブロックについて比較すると、面積的にはあまり変わらないが、配線長では約1/2になっている。

6. まとめ

トップダウンフロアプランにおける配線領域の見積もりと可変機能ブロックの端子位置を決定する概略配線について述べた。ボトムアップフロアプランと比較して、本手法による端子位置決定はチップサイズ、配線長のどちらも縮小でき、また、概略配線の結果を考慮した端子位置決定を行っているの、より実レイアウトに適した端子位置になると思われる。さらに、本手法は詳細配線においても同様の概略配線が使用されるので、より正確なチップの見積もりが可能となる。今後の課題として、配線領域見積もりについては、現状では概略配線の結果をそのまま用いているが、後の詳細配線の手法に応じた改良、例えばチャネル定義の手法やチャネルルータの手法に対する考慮が必要である。処理時間については、可変機能ブロックの内部グラフの生成について更に詳しい実験をし、最適な内部グラフの密度を求め、処理時間を短縮する必要がある。また、フロアプランニングシステムとして、本手法によるチップレイアウトの見積りの結果を、さらに機能ブロックの配置改善に利用することも検討し、全自動による高品質なフロアプランニングシステムを開発していく予定である。

参考文献

- [1] 富田、神戸、"VLSIにおけるフロアプランについて"、電子情報通信学会、昭和63年秋季全国大会、SA-6-2.
- [2] 山内、岡田、三浦、神戸、"フロアプランにおける配線経路指定の一手法"、情報処理学会、設計自動化研究会、DA43-3、(1988-7).
- [3] W.Dai, E.S.Kuh, : "Simultaneous Floor Planning and Global Routing for Hierarchical Building-Block Layout," IEEE Trans. on CAD, Vol.CAD-6, No.5, September 1987.
- [4] C.Sechen, : "Chip-Planning, Placement, and Global Routing of Macro/Custom Cell Integrated Circuits Using Simulated Annealing," Proc. 25th DAC, pp73-80, 1988.
- [5] 室伏、山田、"LSIの階層的レイアウトのためのブロック間概略配線プログラム"、情報処理学会、設計自動化研究会、DA36-8、(1987-2).
- [6] 福井、山本、岩崎、羽山、"VLSIレイアウト設計におけるブロック形状ピン配置の最適化の一手法"、信学会技法、VLSI設計技術研究会、VLD88-4、(1988-4).
- [7] W.Dai, T.Asano, E.S.Kuh, : "Routing Resion Definition and Ordering Scheme for Building-Block Layout," IEEE Trans. on CAD, Vol.CAD-4, No.3, July 1985.
- [8] C.Y.Lee, : "An Algorithm for Path Connection and its Applications," IRE. Trans. EC-10, pp346-365, 1961.