

述語論理を用いた組合せ回路の故障診断手法

山田 輝彦 中村 芳行

明治大学工学部情報科学科

組合せ回路における縮退故障の新しい診断手法を提案する。まず、述語論理を用いて誤りが観測された外部出力から外部入力に向って誤りの可能性を持つ経路を追跡し故障箇所を推定するための基本的操作について述べる。次に、この基本操作に被疑部分を絞り込む前処理と誤り経路上の分岐点の故障に対する検証を加えることにより、単一故障に対する診断の処理効率と分解能が向上することを明らかにする。最後に、計算機実験により評価を行い、本手法の有効性を示す。

Fault Diagnostic Method Based on Predicate Logic For Combinational Circuits

Teruhiko YAMADA and Yoshiyuki NAKAMURA

Department of Computer Science, Meiji University

1-1-1 Higashimita, Tama-ku, Kawasaki, 214 Japan

A new method for locating stuck-at faults in combinational circuits is proposed. First, the fundamental operations based on predicate logic are presented for tracing the potentially erroneous paths from the primary outputs to the primary inputs and deducing the stuck-at fault locations. Next, under the single fault assumption, it is pointed out that the diagnostic efficiency and resolution are improved by adding the preprocess of narrowing the faulty zone and the verification for the fanout stem fault on the erroneous paths to the fundamental operations. Finally, the effectiveness of the method is shown by computer simulation.

1. はじめに

VLSIの開発段階における設計上の諸問題を解決するために故障診断をおこなう必要がある。故障診断にとって最も重要な問題は、現実的な診断時間、データ量でどれだけ良い診断分解能を得るかである。従来から知られている故障診断の手法は、各故障に対する異常出力をあらかじめ辞書に登録しておき、観測された出力と照合する方法である[1]。しかし回路の規模が大きくなるとテスト入力及び故障の数が多くなり、辞書の作成が困難となる。これに対処するために、結果一原因分析法[2]が提案されたが、計算量が素子数に対して指数的に増加するため、大規模回路への適用は難しい。また最近では電子ビームを用いて信号線の値を直接読み取る方法[3]が提案されているが、観測したい部分に対してあらかじめイオンビームでエッチングするなど前行程が大変である。

本稿では、組合せ回路の縮退故障に対する新しい診断手法を提案する。この手法は各信号線の期待値（故障がない場合の値）をもとに、誤りが観測された外部出力から外部入力に向かって誤りの原因を推論するものである。第2章で述語論理を用いて誤りの原因を追跡する手法について述べ、第3章で単一故障に対するこの診断手法の性能を計算機実験により評価する。

2. 述語論理を用いた診断手法

2. 1 誤りと故障の表現

「誤り」と「故障」を次の基本論理式を用いて表す。ただし、 $v \in \{0, 1\}$ とする。

$E(t, x, v)$: テスト t において信号線 x に v 誤りが生じている。

$F(x, v)$: 信号線 x が v 縮退故障している。

この基本論理式を積 (\wedge)、和 (\vee)、否定 (\sim) で結合したのも論理式である。

例えば、 $E(1, 1, 1) \vee E(1, 3, 0) = \text{True}$ は、テスト 1 において信号線 1 に 1 誤りか、または信号線 3 に 0 誤りが生じていることを意味する。また、 $F(10, 1) \wedge \sim F(12, 0) = \text{True}$ は、信号線 10 は 1 縮退しているが、信号線 12 は 0 縮退していない（正常または、1 縮退である）ことを意味する。

次の論理式は t, x に関係なく常に成立する。

$$\begin{aligned} E(t, x, 0) \wedge E(t, x, 1) &= \text{False} \\ F(x, 0) \wedge F(x, 1) &= \text{False} \\ E(t, x, 0) \wedge F(x, 1) &= \text{False} \\ E(t, x, 1) \wedge F(x, 0) &= \text{False} \\ &\dots (1) \end{aligned}$$

2. 2 誤りの原因を表す論理式

テスト t において、NANDゲートの出力線 x_k に 0 誤りがあり、その入力線 $x_a \sim x_b, x_c \sim x_d$ の期待値がそれぞれ 1, 0 である時、この誤りの原因は次のいずれかである。

1) 出力線 x_k が 0 縮退している。

2) 出力線 x_k が 1 縮退していなくて、かつ入力線 $x_a \sim x_b$ には 0 誤りが生じていなくて、かつ入力線 $x_c \sim x_d$ に 1 誤りが生じている。

上記の因果関係は「誤り」と「故障」を表す基本論理式を用いて次のように表現することができる。

$$\begin{aligned} (\text{True} =) E(t, x_k, 0) \rightarrow & F(x_k, 0) \vee \sim F(x_k, 1) \wedge \\ & \sim E(t, x_a, 0) \wedge \dots \wedge \sim E(t, x_b, 0) \wedge \\ & E(t, x_c, 1) \wedge \dots \wedge E(t, x_d, 1) \\ & \dots (2) \end{aligned}$$

なお、以下では左辺の True は省略する。式 (2) より、次式を導くことができる。

$$\begin{aligned} E(t, x_k, 0) \rightarrow & F(x_k, 0) \vee \\ & E(t, x_c, 1) \wedge \dots \wedge E(t, x_d, 1) \\ & \dots (3) \end{aligned}$$

表1 素子の出力誤りの原因を表す論理式

素子	因果関係を表す論理式
AND	$E(t, x_k, 0) \rightarrow F(x_k, 0) \vee$ $E(t, x_a, 0) \vee \dots \vee E(t, x_b, 0)$ $E(t, x_k, 1) \rightarrow F(x_k, 1) \vee$ $E(t, x_c, 1) \wedge \dots \wedge E(t, x_d, 1)$
OR	$E(t, x_k, 0) \rightarrow F(x_k, 0) \vee$ $E(t, x_a, 0) \wedge \dots \wedge E(t, x_b, 0)$ $E(t, x_k, 1) \rightarrow F(x_k, 1) \vee$ $E(t, x_c, 1) \vee \dots \vee E(t, x_d, 1)$
NAND	$E(t, x_k, 0) \rightarrow F(x_k, 0) \vee$ $E(t, x_c, 1) \wedge \dots \wedge E(t, x_d, 1)$ $E(t, x_k, 1) \rightarrow F(x_k, 1) \vee$ $E(t, x_a, 0) \vee \dots \vee E(t, x_b, 0)$
NOR	$E(t, x_k, 0) \rightarrow F(x_k, 0) \vee$ $E(t, x_c, 1) \vee \dots \vee E(t, x_d, 1)$ $E(t, x_k, 1) \rightarrow F(x_k, 1) \vee$ $E(t, x_a, 0) \wedge \dots \wedge E(t, x_b, 0)$
NOT	$E(t, x_k, 0) \rightarrow F(x_k, 0) \vee E(t, x_c, 1)$ $E(t, x_k, 1) \rightarrow F(x_k, 1) \vee E(t, x_a, 0)$
FAN OUT	$E(t, x_k, 0) \rightarrow F(x_k, 0) \vee E(t, x_a, 0)$ $E(t, x_k, 1) \rightarrow F(x_k, 1) \vee E(t, x_c, 1)$
外部 入力	$E(t, x_k, 0) \rightarrow F(x_k, 0)$ $E(t, x_k, 1) \rightarrow F(x_k, 1)$

*ただし、素子の入力のうち $x_a \sim x_b$ は期待値が1の信号線で $x_c \sim x_d$ は期待値0の信号線とする。

同様にして、その他の素子の出力誤りの原因を表す論理式が表1のように得られる。

2. 3で述べるように誤りの可能性をもつ経路を追跡し、表1の論理式を用いて診断解を求める。このとき、式(2)に対応する論理式を用いる場合よりも分解能は低下するが、処理すべきデータ量の大幅な削減が期待できる。

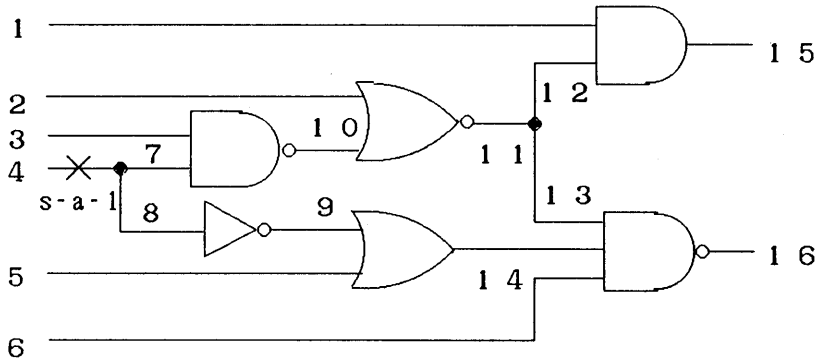
2. 3 診断解の生成法

テスト t に対する各信号線の期待値と表1に示す論理式を用いて、誤りの観測された外部出力から外部入力に向かって誤りの可能性を持つ経路(以下では、単に誤り経路という)を追跡する。このときに得られた誤り経路上の各素子に対する表1の論理式を、次に示す恒真式(4)を用いて結合することにより、外部出力で観測された誤りの原因を表わす論理式が生成できる。

$$\begin{aligned}
 &(a \rightarrow b) \wedge (b \rightarrow c) \rightarrow (a \rightarrow c) \\
 &(a \rightarrow b \vee c) \wedge (b \rightarrow d) \rightarrow (a \rightarrow d \vee c) \\
 &(a \rightarrow b \wedge c) \wedge (b \rightarrow d) \rightarrow (a \rightarrow d \wedge c) \\
 &\dots (4)
 \end{aligned}$$

外部出力で誤りの観測された各テストについて上記の論理式を求め、それらの全てを真にする解釈を診断解とする。診断解は、以下に例示するように、 $f_1 \vee f_2 \vee \dots \vee f_n$ なる形で得られる。ここで、 $f_k, k=1 \sim n$, は故障を表わす一つ以上の基本論理式の積項であり、 m 個の基本論理式を含む積項は m 重故障を意味する。

診断解 $f_1 \sim f_n$ のうちの 하나가回路に実在することは明らかであるが、どの故障であるかを定めることはできない。そこで、解の数 n を実行されたテストによって達成された分解能と定義する。



(a) 故障回路

(b) テスト結果

	期待値																観測値	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	15	16
テスト 1	1	0	1	0	0	1	0	0	1	1	0	0	0	1	0	1	1	1
テスト 2	1	0	1	0	1	1	0	0	1	1	0	0	0	1	0	1	1	0

図1 論理回路のテスト

[例1]

図1 (b) のテスト結果を用いて、(a) の回路に対する診断解を求める。

テスト1に対して：

表1より

$E(1, 15, 1) \dots$ (外部出力の誤り)

$E(1, 15, 1) \rightarrow F(15, 1) \vee E(1, 12, 1)$

$E(1, 12, 1) \rightarrow F(12, 1) \vee E(1, 11, 1)$

$E(1, 11, 1) \rightarrow F(11, 1) \vee E(1, 10, 0)$

$E(1, 10, 0) \rightarrow F(10, 0) \vee E(1, 7, 1)$

$E(1, 7, 1) \rightarrow F(7, 1) \vee E(1, 4, 1)$

$E(1, 4, 1) \rightarrow F(4, 1)$

従って、

$E(1, 15, 1) \rightarrow F(15, 1) \vee F(12, 1) \vee E(1, 11, 1)$

$\rightarrow F(15, 1) \vee F(12, 1) \vee F(11, 1) \vee$

$E(1, 10, 0)$

以下、(4)の第二式を繰り返し用いて

$$\rightarrow F(15, 1) \vee F(12, 1) \vee F(11, 1) \vee F(10, 0) \vee F(7, 1) \vee F(4, 1) \dots (5)$$

同様に、テスト2に対して：

表1より

$E(2, 16, 0) \wedge E(2, 15, 1)$

$E(2, 16, 0) \rightarrow F(16, 0) \vee E(2, 13, 1)$

$E(2, 15, 1) \rightarrow F(15, 1) \vee E(2, 12, 1)$

$E(2, 13, 1) \rightarrow F(13, 1) \vee E(2, 11, 1)$

$E(2, 12, 1) \rightarrow F(12, 1) \vee E(2, 11, 1)$

$E(2, 11, 1) \rightarrow F(11, 1) \vee E(2, 10, 0)$

$E(2, 10, 0) \rightarrow F(10, 0) \vee E(2, 7, 1)$

$E(2, 7, 1) \rightarrow F(7, 1) \vee E(2, 4, 1)$

$E(2, 4, 1) \rightarrow F(4, 1)$

これより、

$$\begin{aligned} & E(2, 16, 0) \wedge E(2, 15, 1) \\ \rightarrow & F(16, 0) \wedge F(15, 1) \vee F(15, 1) \wedge F(13, 1) \vee \\ & F(12, 1) \vee F(11, 1) \vee F(10, 0) \vee F(7, 1) \vee \\ & F(4, 1) \quad \dots (6) \end{aligned}$$

式(5), (6)をともに真にする解釈が診断解である。したがって

$$\begin{aligned} & F(16, 0) \wedge F(15, 1) \vee F(15, 1) \wedge F(13, 1) \vee \\ & F(12, 1) \vee F(11, 1) \vee F(10, 0) \vee F(7, 1) \vee \\ & F(4, 1) \end{aligned}$$

上記の式は、出力誤りの原因が信号線16と15の二重故障や、信号線7の単一故障などである可能性を示している。また、この場合の診断分解能は7である。

2. 4 故障の多重度を制限した場合の診断

故障に制限を付けない場合、回路が大規模になると誤りの原因を表わす論理式が現実的な時間では処理できないほど膨大になり、また十分な分解能が得られないと予想される。したがって、本手法を大規模回路に適用するには、故障の多重度を制限することが必要である。

k重故障までを対象とするときは、次の関係式を適用して論理式を簡単にすることができる。

$$\begin{aligned} & F(x_1, v_1) \wedge F(x_2, v_2) \wedge \dots \wedge F(x_{k+1}, v_{k+1}) \\ & = \text{False} \quad \dots (7) \end{aligned}$$

単一故障の場合は、誤りの生じている信号線が故障箇所よりも入力側に存在することはない。したがって、信号線 x_1 が x_2 よりも入力側にあるときには、次式が成立する。

$$\begin{aligned} & E(t, x_1, v_1) \wedge F(x_2, v_2) = \text{False} \\ & \dots (8) \end{aligned}$$

関係式(7), (8)を用いれば、論理式の展開途中で項の数を大幅に削減することがで

きる。

単一故障の場合は、次のようにして処理効率と分解能をさらに向上させることができる。

(1) 被疑部分の絞り込み

図1のテスト2では、外部出力線15と16で誤りが観測されている。このとき、故障は両方の外部出力線に関係する信号線11, 10, 7, 4, 3または2のいずれにしか存在し得ない。したがって、誤り経路上の各素子に対して表1の論理式を作成する段階で、被疑部分である11, 10, 7, 4, 3および2以外の信号線については $F(x, v)$ の項を省くことができる。

このような $F(x, v)$ の項は被疑部分の絞り込みを行なわない場合でも、誤り経路上の各素子に対する論理式を式(4)を用いて結合する段階で、式(8)を適用することにより自動的に除去される。しかしながら、被疑部分以外の信号線については $F(x, v)$ の項を予め省略することにより、処理効率を大幅に向上させることができる。

(2) 分岐点の故障に対する検証

$F(11, 1)$, $F(10, 0)$ または $F(7, 1)$ が図1(a)の回路に存在するときは、テスト1で外部出力線15と16の両方に誤りが生じる。これに対して、(b)のテスト1では外部出力線15だけに誤りが観測されたことを示しているので、これらの故障は存在し得ない。しかしながら、式(5)はこれらの故障を含んでいる。

上記の原因は、論理式の生成を簡単にするために、FANOUT素子の入力線(分岐点)上の誤りが追跡中の誤り経路以外へ及ぼす影響を考慮していないことにある。この問題は誤り経路上のFANOUT素子に着目して、次のように解決することができる。

・FANOUT素子に対して表1の論理式を作成する段階で、観測値に反する外部出力を生じさせる分岐点の故障を除去する。図1のテスト1における $F(11, 1)$ がこれに当たる。これに

対して、F(4,1)は観測値に反する外部出力を生じさせないので、除去してはならない。

・故障が存在し得ないと判明した分岐点から次のFANOUT素子に至るまでの各信号線の故障は、この分岐点の故障と同じ影響を外部出力に与えるので除去する。図1のテストにおけるF(10,0)とF(7,1)がこれに当たる。

上記の処理のために計算時間が増えるかもしれないが、分解能を大幅に改善することができる。

[例2]

図1(a)の回路に対する(b)のテスト結果から、単一故障を仮定した場合の診断解を求める。

テスト1に対して：

テスト1では一つの外部出力にしか誤りが観測されていないので、被疑部分の絞り込みは適用されない。上記の(2)で述べたように信号線11(分岐点)、10および7の故障を除去すると、

$$E(1,11,1) \rightarrow E(1,10,0) \rightarrow E(1,7,1) \\ \rightarrow E(1,4,1)$$

一方、信号線4(分岐点)の故障は除去できないので、

$$E(1,4,1) \rightarrow F(4,1)$$

この結果、誤りの原因を表わす論理式は

$$F(15,1) \vee F(12,1) \vee F(4,1) \dots (9)$$

テスト2に対して：

上記の(1)で述べたように被疑部分は信号線11, 10, 7, 4, 3, 2である。この部分に含まれる式(9)の故障はF(4,1)だけである。

故に、F(4,1)が診断解となる。

3. 単一故障に対する性能評価

次のそれぞれについて、計算機実験による

性能評価を行なった。

方法1：2.3に示す基本操作のみを使用。

方法2：方法1に2.4の(1)に示す
”被疑部分の絞り込み”を追加。

方法3：方法2に2.4の(2)に示す
”分岐点の故障の検証”を追加。

実験には、ISCAS'85で発表されたベンチマーク用の回路とFANアルゴリズム[4]によって生成された故障検出用のテストを用いた(表2)。診断解は、誤りが観測されたテストに対する論理式を一つずつ追加する逐次的方法で求め、もし途中で分解能が1になったら処理を終了させた。回路のすべての信号線の単一縮退故障に対する平均診断時間と平均分解能を表3に、また分解能の分布例を図2に示す。なお各素子の出力線の故障と等価な入力線の故障は除外した。

表3に示す方法1と方法2の実験結果を比較すると、被疑部分の絞り込みにより、診断時間がかなり改善されることが分かる。また方法3の結果から、分岐点の検証により、分解能が著しく改善されることが分かる。方法3は方法2よりも多くの診断時間を要すると予想されたが、実際には減少している場合もある。これは、各テストごとに検証を行なうことにより、分解能が早期に1になったためである。診断時間は追跡する経路の長さに関係するので、段数に大きく依存する。c6288で診断時間が大きくなっている理由はこのためであると思われる。

図2は方法3を適用した場合のc7552の分解能の分布を示すものである。ほとんどの場合に分解能が4以下となっている。他の回路についても、ほぼ同様の分布が得られた。

表2 評価用回路の諸元

回路名	入力数	出力数	ゲート数	信号線数	最大段数	テスト数
c432	36	7	160	432	17	76
c499	41	32	202	499	11	84
c880	60	26	383	880	24	76
c1355	41	32	546	1355	24	122
c1908	33	25	880	1908	40	163
c2670	233	140	1269	2670	32	147
c3540	50	22	1669	3540	47	208
c5315	178	123	2307	5315	49	178
c6288	32	32	2416	6288	124	57
c7552	207	108	3513	7552	43	270

表3 診断プログラムの実行結果

回路名	方法1		方法2		方法3	
	分解能	時間(s)	分解能	時間(s)	分解能	時間(s)
c432	19.0	1.4	19.0	0.9	1.65	0.4
c499	21.4	7.0	21.4	1.0	1.44	0.6
c880	---	---	10.3	1.2	1.89	1.6
c1355	41.6	14.0	41.6	4.0	2.35	9.9
c1908	33.5	14.2	33.5	15.1	1.99	10.8
c2670	---	---	22.0	6.9	1.94	7.6
c3540	40.8	64.9	40.8	17.0	2.09	16.6
c5315	15.1	96.6	15.1	12.5	2.00	13.6
c6288	77.7	323.0	77.7	265.9	1.51	299.1
c7552	32.3	219.0	32.3	38.0	2.01	50.2

注) 使用計算機 SUN3/60C 4MIPS

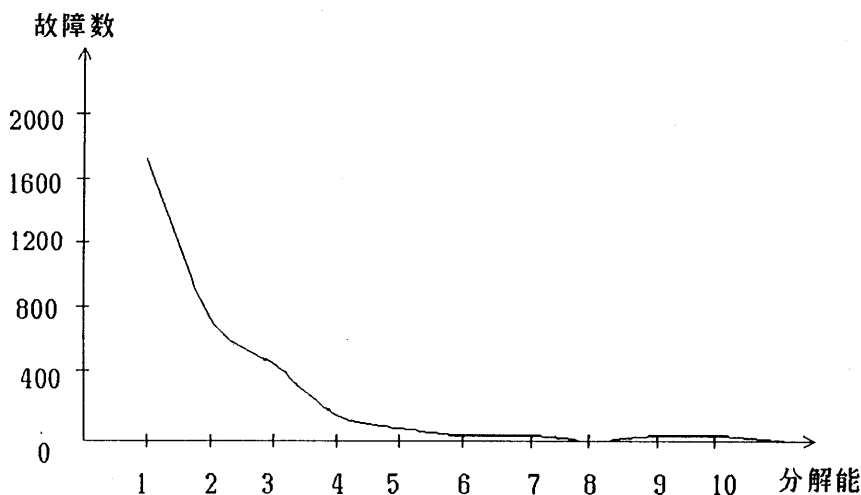


図2 c7552に対する分解能の分布 (方法3を使用)

4. むすび

述語論理を用いて誤りが観測された外部出力から外部入力に向かって誤りの原因を推論する方法を提案した。また、単一縮退故障に対して分解能と処理時間を向上させる手法について述べ、計算機実験により性能を評価した。その結果、単一故障については、故障検出用のテストパターンを用いて現実的な処理時間で十分な診断分解能を達成できることが明らかになった。今後、段数の多い回路の処理効率を向上させる手法を検討し、また多重故障に対する適用範囲を明らかにする予定である。

謝辞 ベンチマーク用回路とテスト生成プログラムを提供して頂いた本学藤原秀雄助教授に感謝します。

文 献

- [1] H. Y. Chang, E. Manning and G. Metz: "Fault diagnosis of digital systems", John Wiley & Sons, Inc. (1970).
- [2] M. Abramovici and M. A. Breuer: "Fault diagnosis based on effect-cause analysis: an introduction", Proc. 17th DAC, pp. 69-76 (June 1980).
- [3] T. Tamama and N. Kuji: "Integrating an electron-beam system into VLSI fault diagnosis", IEEE Design & Test, 3, 4, pp. 23-29, (Aug. 1986).
- [4] H. Fujiwara and T. Shimono: "On the acceleration of test generation algorithms": IEEE Trans. Comput., C-32, pp. 1137-1144 (Dec. 1983).