

順序回路テストの構造と諸性質
STRUCTURE AND SOME PROPERTIES
OF SEQUENTIAL CIRCUIT TEST

中道 松郎 岡本 亨雄
Maturon NAKAMICHI Michio OKAMOTO
千葉大学
Chiba University

あらまし 順序回路テストの構造表示式を求めた。さらにこれらの内部構造は構造化テストマトリクスで示され、テストのみならずその性質を考察するのに有用であることを示した。テストの構造表示式および諸性質は故障の伝搬経路を示す総合伝搬経路グラフから求められる。これは順序回路の時間的展開である等価組合せ回路としての繰り返しセル構造を基本とし、深さの概念によるモジュール分割および、ラッチと分割状態遷移回路の組としてのノード回路への分割によって構造的に求められる。これによりテストの構造をノード、モジュール、セルの各レベルで階層表示することを可能とし、順序回路テストの構造、諸性質の考察を見通しよくできるようにする。

Abstract. Structured test formulas for sequential circuits are introduced. The detail of them are represented by the expanded structured test matrices or tables. They can be used not only for test generation but also analysing the properties of tests, and some properties are discussed.

The formulas and also the properties of tests are generated using the basic and total or two dimensional fault propagation path graphs which are based on the hierarchical sequential circuit model: cyclic cell model expanded with time, and partition to the modules with depth and also to the nodes with pair circuits of a latch and divided state transition circuit.

1. まえがき

順序回路のテストについては古くから理論的⁽¹⁾⁽²⁾な面から検討されてきている。最初はオートマトン理論の発展にともない順序回路のテスト理論⁽³⁾⁻⁽⁶⁾についても多くの研究がなされた。この時代のテスト理論は回路の外部的な入出力特性である状態遷移図を対象にし、状態遷移の確認によってテストするもので、同期化系列、掃集系列、判定系列などの状態識別系列とその長さなどが論ぜられた。その結果、順序回路のテストは組合せ回路に比較して格段に困難であることが確認された。

そのため、実用的には順序回路を等価的に組合せ回路に変換するスキャン設計⁽³⁾⁽⁴⁾⁽⁶⁾などの検査容易化手法が採用されるようになってきている。しかし、ス

キャン設計が採用できない場合もあり、最近順序回路のテスト問題が見直され始めている。その試みの一つとして、時間展開によるゲートレベルの等価組合せ回路モデルをもとにした拡張Dアルゴリズムの改善、発展⁽⁷⁾⁽⁸⁾が考えられている。

一方、筆者らも組合せ回路テストとしての構造化テスト法⁽⁹⁾⁻⁽¹¹⁾を順序回路に拡張する試み⁽¹²⁾⁽¹³⁾を行ってきた。その間に、順序回路の中間構造表示ともいべき故障伝搬経路グラフ(PPG)の有用性に気づき、その一部について報告した。⁽¹³⁾

今回はこれをさらに発展させ、順序回路のフィードバックパスも見通しよく表示できる総合伝搬経路グラフを提案し、テストの構造並びにテストの諸性質について再考察する。

2. 故障の総合伝搬経路グラフ

2. 1 時間的展開(繰り返しセル)モデル

同期型順序回路は図1に示すように多段階の等価組合せ回路に時間的に展開、分割できる。⁽⁵⁾⁽⁶⁾⁽¹²⁾また、各段階はテストのための状態設定、故障の伝搬機構に着目すると次のように2分できる。

〔初期設定過程〕⁽¹⁴⁾ リセット状態または所定の初期状態から想定故障を励起できる状態に移させる過程。

〔励起伝搬過程〕 想定故障(線)を励起(活性化)し、さらに故障情報を一次出力まで伝搬させる過程。なお、この過程はさらに次の3つの過程に細分できる。

①励起過程: 励起状態入力と一次入力の組によって想定故障を励起し、想定故障線の出力側につながるラッチ(出力回路の場合一次出力)に故障情報を移す過程。
②伝搬過程: 故障情報を伝達されたラッチの信号を出力回路に直結するラッチに伝搬させる過程。一般に、いくつかの状態遷移回路とそれにつながるラッチを経由する。図1では簡単のため、1段階で代表させている。

③観測過程: 故障情報を出力回路を通して一次出力に伝搬させ、出力Zによって故障の有無を判定する過程。

なお、Moor型の場合は出力が直接ラッチから出ているので、この過程は前述の伝搬過程に含まれることになる。

2. 2 構造的分割モデル

(1) 深度と、回路の階層的分割

前述の各段階における故障の伝搬に直接関係する分割部分回路の連鎖に着目すると、図1の点線のようになる。これらは故障伝搬パスを構成することになる。分割回路の単位としては各ラッチとそれに直結する分割状態遷移回路の組(Mealy型の場合はさらに各一次出力とそれに直結する分割出力回路の組)を考える。以下、これら単位分割回路をノード(回路)と称することにする。

故障の影響が出力に伝搬するためには、いくつかのノードを経由することになり、その数または段数はノード回路間の接続関係に依存する。

ここではこのような接続関係つまり順序回路の構造の特徴を表すのに有用な深度の概念を定義する。

〔定義1〕 分割回路の深度とはその回路の故障が一次出力に伝搬するために構造上經由しなくてはならないラッチまたはノードの最小数をいう。なお、相対的

に深度の大きい場合深いといい、反対に小さい場合は浅いということにする。

従って出力回路の深度は0、出力回路に直結するノードの深度は1となる。なお、Moor型の出力ラッチとそれを含むノードも便宜上1とする。また、同一深度nのノード群を含む部分回路を深度nのモジュールと名付ける。

順序回路の時間展開等価組合せ回路は前述の段階(またはstep)と深度によって分割することができる。深度は出力側から数えられるが、段階(またはstep)は時間的経過に従って数えられることになる。時間的展開回路を繰り返しセルとみた場合、段階はセルの番号に対応し、各セルはさらに深度によって(一般に)複数のモジュールに分けられる。ノードは回路の構造によって決まる固有の深度のモジュールに属することになる。なお、ノードの出力は1つ浅い深度のノードのみならず同一深度及びより深い深度のノードに接続されている可能性がある。これらはいわゆるフィードバック経路を構成することになる。

(2) (基本)伝搬経路グラフ(PPG)⁽¹³⁾

ここでは構造上信号の伝搬可能な経路を表す(基本)伝搬経路グラフを定義する。

〔定義2〕 順序回路の各ノード間の接続を表す有向グラフを(基本)伝搬経路グラフ(PPG)という。

ただし、枝の向きは信号の伝搬の方向を示す。また、"モジュール(n)、n:深度"は深度の順に、同一モジュールに属する"ノード(n, i)、i:配列順"は、iの番号順に一列に並べて表示するものとする。なお、フィードバック出力のあるノードの一方は仮想ノードとして、そのフィードバック枝を入力枝としてもつノードの1つ深いモジュールにおくものとする。

したがって、ノードを○印で、仮想ノードを◎で示した深度の回路例は図2のようになる。

このようなPPGはノード単位の故障信号の伝搬可能な経路を表わすとともにそれぞれ順序回路の構造の特徴を示すことになる。また、故障伝搬経路は前向き(最短)伝搬経路(FFP)とフィードバック伝搬経路(FBP)に分けられる。また、2つのFFP間の前向きの枝を相互接続枝または干渉枝(MCE)、仮想ノードからの出力枝をフィードバック枝(FBE)、それ以外の枝を単純枝と名付け、入力枝および出力枝が1つのノードを単純なノード、入力枝(出力枝)が2つ以上のノードを多入力(多出力)ノードということにする。

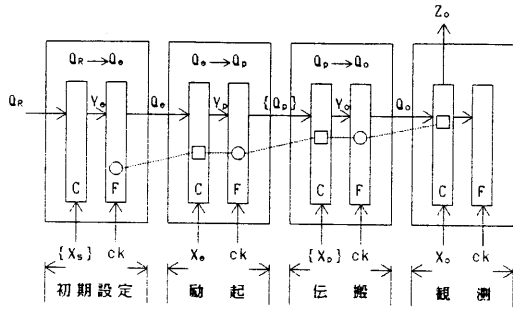


図1 繰り返しセルモデルの故障伝搬過程

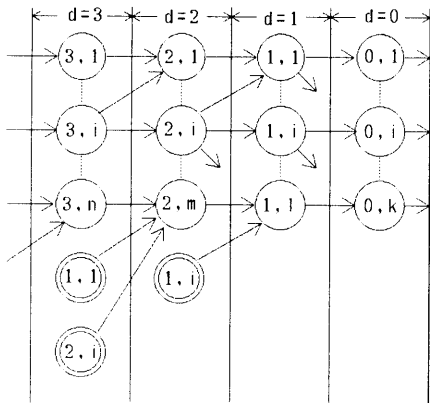


図2 (基本) 伝搬経路グラフ

2.3 総合伝搬経路グラフと並列伝搬モデル

繰り返しセルで表わされる順序回路全体の動作を考えると各深度のモジュールは同時にかつ並列に動作していることになる。

したがって、時間的な展開(分割)と構造的な分割を総合すると図3のような総合伝達経路グラフ(総合PPG)が得られる。ここでは、フィードバック伝搬経路は時間の経過に従って前向きに表現できることになる。ただし、フィードバック枝は浅いノードから同一深度またはより深いノードに、あたかも軌道を変更するように別の時間遅れ経路(群)に移ることになる。

さらに、図3をモジュール単位で一括表示し全体の繰り返し並列動作を示すと図4が得られる。これは循環型シフトレジスタモデルともいべきものである。図4で実線の四角で示した部分がモジュールで、点線の長方形の部分がセルを示す。 Q^k はモジュール*i*の中のノードの出力状態ベクトル(クロック印加後)で*k*はステップを表わす。同一*k*ステップの Q^k を合わせると順序回路全体の状態ベクトル Q^k となる。 $Q^k_{f,i}$ は*k*

ステップにおけるモジュール*i*からのフィードバック出力、 $Q^k_{f,i}$ はモジュール*i*へのモジュール*x*からのフィードバック入力である。

なお、モジュール間の接続、入出力線は一次入力線を除くとすべてラッチ出力で、これらはまとめて一括表示してある。

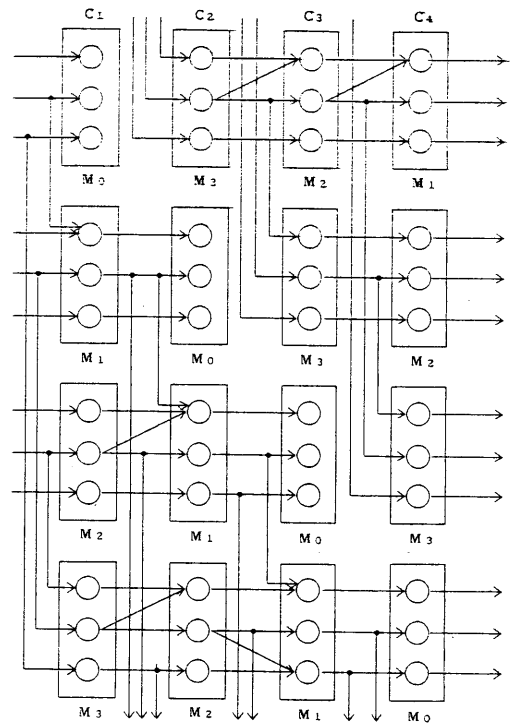


図3 総合(2次元)伝搬経路グラフ例

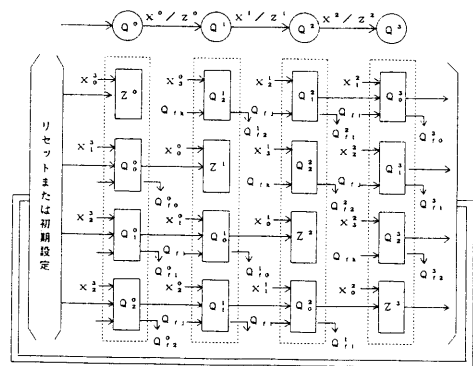


図4 並列循環動作モデル

3. テストの縦続構造と拡張テストマトリクス

3. 1 故障の伝搬機構と

ノードテストマトリクス⁽¹³⁾

(1) 励起過程またはステップ

ノード (n, i) の故障を検出するためには、想定故障線を励起し、故障情報をノード内ラッチに移す必要がある。そのためノードの入力線、つまり他のノードからの状態入力ベクトル $q_{e(n,i)}$ と一次入力ベクトル $x_{e(n,i)}$ の組、 $q_{e(n,i)} x_{e(n,i)}$ を励起入力ベクトルに設定し、クロック印加後のラッチ出力 $q_{e(n-1,i)}$ に故障情報を伝搬させることになる。もし、 $q_{e(n-1,i)}$ が直接観測できる場合は $x_{e(n,i)}$ がテストになる。直接観測できない場合でも全体のテストの一部つまり励起過程テストとなり、次のように示すことができる。

$$T_{e(n,i)} = (q_{e(n,i)} x_{e(n,i)} (q_{e(n-1,i)})) \quad (1)$$

さらに、ノード (n, i) のすべての故障の励起過程のテストを便宜上次の式で一括表示することにする。

$$T_{e(n)} = (Q_{e(n)} X_{e(n)} (Q_{e(n-1)})) \quad (2)$$

この場合、 $(Q_{e(n)} X_{e(n)})$ はノード回路のテスト入力ベクトル集合、 $(Q_{e(n-1)})$ 判定出力集合となり、既に提案した1出力組合せ回路の構造化テスト表またはマトリクス⁽⁹⁾⁻⁽¹³⁾の配列を変え、その内容を拡張したものと同一となる。したがって、これをノードテストマトリクス (NTM) と名付ける。すなわち、(2)式はノード (n, i) の励起過程テストの表現式でもありNTMの記号表現でもあると解釈できる。また、(2)式の具体的な内部構造あるいは内容表現がNTMと考えることもできる。

(2) 伝搬ステップ

励起ステップでラッチ (n, i) に移った故障情報をバス上の次の深度のノード (n-1, i) に伝搬させるためには、ノード (n-1, i) の伝搬入力ベクトルの対応成分つまりノード (n, i) からの入力線に対応する成分が $Q_{e(n-1,i)}$ と合致しなければならない。

いま、ノード (n-1, i) への伝搬過程を

$$T_{p(n-1,i)} = (Q_{p(n-1,i)} X_{p(n-1,i)} (Q_{p(n-2,i)})) \quad (3)$$

とすると、励起、伝搬の2つの過程の間には次の関係が必要となる。

$$\begin{aligned} T_{e(n,i)} &= \\ (Q_{e(n,i)} X_{e(n,i)} (Q_{e(n-1,i)})) & \\ \parallel & \\ T_{p(n-1,i)} &= (Q_{p(n-1,i)} X_{p(n-1,i)} (Q_{p(n-2,i)})) \end{aligned} \quad (4)$$

ここで \parallel は $Q_{p(n-1,i)}$ の対応成分に $(Q_{e(n-1,i)})$ が等しいことを示す。

つまり、バス上の隣接ノード間に励起(または伝搬)と伝搬の両立化条件(接続条件)が成立すると故障情報が伝搬することになる。

したがって、 $T_{e(n,i)}$ 、 $T_{p(n-1,i)}$ は一種の伝搬関数(または伝達関数)と考えることができ、 $Q_{e(n,i)}$ 、 $Q_{p(n-1,i)}$ をノード単位の疑似状態入力ベクトル、 $Q_{e(n-1,i)}$ 、 $Q_{p(n-2,i)}$ を状態出力ベクトルとして取り扱うことができる。

(3) 観測過程

観測過程は深度1のラッチに伝達された故障情報を一次出力に伝達し、その出力によって故障の有無を判定する過程で、ノード単位では次のようになる。

$$T_{o(n,i)} = (Q_{p(o)} X_{p(o)} Z_{n,i}) \quad (5)$$

なお、Mo or型の場合はこの過程は伝搬過程に吸収される。

したがって、ノードレベルの全テスト系列は次のようになる。

$$\begin{aligned} T_{n,i} &= (Q_{e(n,i)} X_{e(n,i)} (Q_{e(n-1,i)})) \\ &= (Q_{e(n,i)} X_{e(n,i)} (Q_{p(n-1,i)} X_{p(n-1,i)} (Q_{p(n-2,i)})) \\ &\quad \dots \dots \dots T_{p(o,i)} = (Q_{p(o,i)} X_{p(o,i)} Z_{n,i}) \quad (6) \\ &= (Q_{e(n,i)} X_{e(n,i)} (Q_{p(n-1,i)} X_{p(n-1,i)} \dots \dots \dots \\ &\quad \dots \dots \dots (Q_{p(o,i)} X_{p(o,i)} Z_{n,i}) \quad (7) \end{aligned}$$

3. 2 初期設定過程と関連諸性質⁽¹³⁾

(1) 初期設定過程とテストの構造

順序回路の場合はリセット状態(一般には任意の初期状態)から励起状態 $Q_{e(n,i)}$ に設定する必要がある。

リセット状態 (Q_R) から励起状態 ($Q_{e(n,i)}$) への状態遷移過程も基本的には前述の伝搬過程と同様で、ここではさらに簡便に次のように表す。

$$T_{s(n,i)} = (Q_R) \{X_{s(n,i)}\} (Q_{e(n,i)}) \quad (8)$$

ただし $\{X_{s(n,i)}\}$ は Q_R から $Q_{e(n,i)}$ への状態遷移のための一次入力系列を表す。

したがって、以上の初期設定過程と励起伝搬過程を合わせたものがノード (n, i) のテストとその構造を示すことになり、次のように示される。

$$\begin{aligned}
T_{n_i} = & \\
& (Q_R) \{ X_{s_{n_i}} (Q_{e_{n_i}}) X_{e_{n_i}} (Q_{p(n-1)_i}) \cdot \\
& | \leftarrow T_{s_{n_i}} \rightarrow | \\
& \qquad \qquad \qquad | \leftarrow T_{e_{n_i}} \rightarrow | \\
& \cdot \cdot \cdot (Q_{p_{o_i}}) X_{p_{o_i}} (Z_{n_i}) \\
T_{p_{n_i}} \rightarrow & | \\
& | \leftarrow T_o \rightarrow | \qquad (9)
\end{aligned}$$

以上、簡単のため前向き伝搬経路を前提にした記号を採用したが、図2からわかるようにフィードバック伝搬経路についても基本的に同じ継続接続構造のテスト表示式が得られる。

すなわち、ノードレベルのテストは一般に次のように表すことができる。

$$T(n_i, p_j) = C_{p_j}(Q_{n_i}) X_{n_i}(Q'_{n_i} = Q_{k_j}) \quad (10)$$

ここで、 n_i ：想定故障ノード番号、 p_j ：伝搬パス(フィードバックパスを含む。)、 C ：パス p_j に沿っての継続結合、 m_i ：パス上ノードの番号、 k_j ：ノード n_i からの接続ノードである。

(2) 状態設定と想定マシン

順序回路の時間展開による等価組合せ回路モデルに基づくテスト導出において、最も基本的な問題は、励起伝搬系列はもちろん、初期設定系列を、原則として繰り返し多重故障マシン想定して求める必要があるということである。いわゆる多重故障検出問題で、そのため想定故障が異なると状態遷移も変化し、すでに求めた状態設定系列を共通に活用できなくなるおそれがある。

しかし、テスト構造式およびPPGから、少なくとも単一故障の場合には次の予想が成り立つ。

[予想1] 単一故障の場合の初期設定系列は正常マシンを前提にして求めてもよい。

なぜならば、励起状態入力で励起一次入力印加されたときのみ正常マシンと異なった動作をすることになるが、初期設定過程において、そのような状態は経由しない。したがって、正常マシンと同じ状態遷移をたどるからである。

[予想2] 単一故障の場合の(少なくとも最短)励起伝搬系列テストは、多重故障を想定しなくとも単一故障モデルを前提にして求められる。

この場合も伝搬過程において故障は顕在化せず、正常マシンと同じ遷移をたどると考えられる。

4. テストの階層並列構造と諸性質

4.1 テストの構造の階層性と並列テスト

(1) テスト構造とその表現の階層化

前述のノードレベルのテスト構造表示式をモジュールおよびセルレベルに拡張すると次のようになる。

$$T(M_i, P_j) = C_{p_j}(Q_{n_j}) X_{n_j}(Q'_{n_j} = Q_{nk}) \quad (11)$$

$$T(C_i, S_t) = C_{s_t}(Q_t) X_t(Q_{t-1}) \quad (12)$$

ここで、 M_i ：想定故障モジュール番号、 P_j ：伝達経路、 M_j ：任意モジュール番号、 S_t ：状態遷移、 Q_t ：マシン全体の状態ベクトル、 C_i ：セル番号である。

つまり、セルレベルのテスト表示式に各ステップの出力を併記したものがマシン全体の状態遷移の表現になる。

(2) 並列テストとその性質

テスト構造の階層性あるいはその図的表現であるPPGおよび総合PPGから複数故障の同時並列伝搬の可能性があることがわかる。

(a) モジュールレベルの並列性と干渉枝

各モジュールに複数のノードがあり、かつノード間に干渉枝がない場合はPPGから容易に並列伝搬の可能性があることがわかる。したがって、並列性は同一モジュール中のノード最小数、干渉枝、深さ、それにフィードバック枝などと関係する。

(b) セルレベルの並列性とフィードバック枝

この場合は干渉枝の有無にかかわらず、並列テストの可能性はある。また、並列性は回路の深度に依存する。フィードバック枝がない場合は深度と同じ並列度で、フィードバック枝の増加にしたがって並列伝搬が妨害される可能性がある。

4.2 ノードレベルテストとテスト長の再考察

(1) ノードレベルテストの内部構造

干渉枝およびフィードバック枝を考えた場合の各ステップのテストの接続条件は、伝搬パス上のノードのみならず干渉枝およびフィードバック枝につながる関連ノードの入出力状態および一次入力に関係する。したがって、実際にテストを求める場合は(4)式では不十分で、関連ノードの状態と一次入力を陽に表現した式、つまり内部構造表現とそれに対応したテストマトリクスを考える必要がある。これについては後述す

る。

(2) テスト長の考察

テスト長は一般に次式のように表わすことができる。

$$L = (\text{初期設定系列長}) + (\text{励起伝搬系列長}) \quad (13)$$

これは総合PPGのパスの長さに対応する。また、初期設定系列は想定故障ノードの遷移に直接関係する状態サブベクトルに着目したときの縮退した(同一サブベクトルをもつ状態を1つの状態に縮退変換した)部分状態遷移図のパスから求められる。

したがって、励起伝搬過程が前向き伝搬経路をたどる場合の最大テスト長 L_{max} は次のように表わすことができる。

$$L_{max} = (\text{部分状態遷位図}) + (\text{最大深度}) \quad (14)$$

なお、ノード(n, i)の最小テスト長はnとなる。しかし、一般には、励起伝搬過程はフィードバック経路をたどり、深度より長くなる。フィードバック経路をたどる場合の最大長は興味ある問題として残されている。

4. 3 モジュールレベルテストとMTM

(1) テストの内部構造とモジュールテストマトリクス(MTM)

モジュールレベルのテストは既に述べたように考えているモジュールへの状態入力で表現した場合は(11)式のようになり、他のモジュールからのフィードバック入力がない場合はモジュール単位の拡張構造化テストマトリクスでその内部構造を表現できることになる。

しかし、他のモジュールからおよび他のモジュールへのフィードバックがある場合は次式のように前段の状態出力で表示した方が接続構造を明確化できる。

$$T(M_i) = C(Q_{i+1}) + \sum Q_{fj} \times [X_i + \sum X_{fk}] (Q_i + \sum Q_{fk}) \quad (15)$$

後に述べるノードレベルの干渉枝と同様、フィードバック枝によるモジュールレベルの再取れん経路が構成される可能性がある。このような場合には(15)式のような表示に従って、複数のMTMから適切な接続条件を探索し、テストを導出することになる。

(2) 多重経路または再取れん経路問題と探索範囲

一般に、励起ノード(またはモジュール)の想定故障を伝搬させる接続ノード(またはモジュール)が複数の状態入力をもつ場合について考察する。なお、このような場合はモジュールのフィードバック枝、またはノードの相互接続枝とフィードバック枝によって生ずる。モジュールの場合はノードの場合と基本的に同

じ構造の問題となるので、ここではノードを主体にして論ずる。

励起ノード(n, i)の故障情報を接続ノード(k, i)に伝搬させるためにはノード(n, i)の励起条件とノード(k, i)の伝搬条件を同時に満足させる必要がある。ノード(k, i)が1状態入力の場合は励起条件と伝搬条件を別々に求め単純照合によって容易にノード(n, i)の状態入力と一次入力を探索できる。

しかし、ノード(k, i)への状態入力つまり入力枝が複数の場合はノード(k, i)には励起ノード(n, i)以外の干渉ノード(n, j)(一般には複数あり)からの状態入力があり、これら干渉ノードからの状態入力を適切に設定してノード(n, i)からの入力数を活性化させる必要がある。

そのためには、励起ノード(n, i)および干渉ノード(n, j)双方への状態入力と1次入力を総合的に探索し、励起ノードの励起条件と干渉ノードの状態出力がノード(k, j)の伝搬条件を同時に満足するよう選定する必要がある。したがって、問題は(16)式のように表現できる。

$$\begin{aligned} & (Q'_{e(n+1)i} + \sum Q'_{p(n+1)j}) [X_{eni} + \sum X_{pnj}] \\ & (Q'_{eni} + \sum Q'_{ekj}) \\ & \parallel \\ & (Q_{pkj} + \sum Q_{pkj}) [X_{p(n-1)i} + \sum X_{p(n-1)j}] \\ & (Q'_{p(n-2)i} + \sum Q'_{p(n-2)j}) \end{aligned} \quad (16)$$

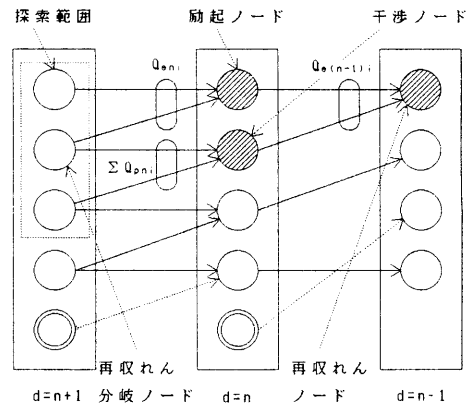


図5 探索範囲

これら各深度におけるノードの接続例を図5に示す。これから励起ノード及び干渉ノードへの入力枝をもつ深度 $n+1$ の接続ノードの状態出力と、深度 n の励起ノードと干渉ノードへの一次入力の中から励起条件を満足させた後に、自由に設定できる範囲から伝搬条件を満足するものを探索することになる。

伝搬条件を直接決める干渉ノードの状態出力は状態入力と一次入力の対で決まるので夫々単独に決定できず、探索の範囲はこれらの組合せとなる。したがって、探索範囲は次のようになる。

$$\Delta = \{ | Q_{pnj} | - (| \Sigma Q_{pnj} | \cap | Q_{eni}) \} \\ \times \{ | \Sigma X_{pnj} | - (| \Sigma X_{pnj} | \cap | X_{eni}) \} \quad (17)$$

$$\Delta' = \{ | \Sigma Q_{puj} | - (| \Sigma Q_{puj} | \cap | Q_{eni}) \} \\ \times \{ | \Sigma X_{puj} | - (| \Sigma X_{puj} | \cap | X_{eni}) \} \\ = | \Sigma Q_{pnj} | \\ \times \{ | \Sigma X_{pnj} | - (| \Sigma X_{puj} | \cap | X_{eni}) \} \quad (18)$$

ここで、 Δ (Δ') : 励起ノードが一般ノード(フィードバックノード)の場合の探索範囲、 $| \Sigma Q_{pnj} |$ ($| \Sigma Q_{puj} |$) : 深度 $n+1$ ($u+1$) の干渉ノードへの接続ノード数、 $| Q_{eni} |$: 深度 $n+1$ の励起ノードへの接続ノード数、 $| \Sigma X_{pnj} |$ ($| \Sigma X_{puj} |$) : 干渉ノード (n, j) (ノード (n, j)) の一次入力端子数、 $| X_{eni} |$: 励起ノード (n, i) の一次入力、 \cap : 共通のノード数または共通の端子数を求める記号。

なお、干渉ノードへの入力枝にフィードバック枝がある場合はその分は別のモジュールで決められるので、設定、探索範囲が広がる。フィードバック枝がない場合は最大探索範囲はモジュール ($n+1$) のノード数と干渉ノードの総一次入力端子数の積となる。

図3から順序回路の場合も再収れん経路が構成されることがわかる。これにより探索範囲が縮小され、伝搬条件を満足させることが困難になる。

4. 4 セルレベルテストとテストの並列化

(1) セルレベルテストと状態遷移表現

セルレベルテスト表示式は既に述べたように(11)式で示される。また、このレベルの動作は図4に示したように各ステップ毎に出力回路が故障判定情報を出している。したがって、セルレベルのテストは次式のように表現できる。

$$T(C_i, S_t) = C(Q_t) X / Z(Q_{t+1}) \quad (19)$$

(19)式は順序回路の状態遷移表現そのもので、さらに状態遷移図および状態遷移表に書き直すことができる。

モジュールレベルおよびノードレベルの表現は、(19)式のいろいろな階層の分割内部構造表現の一つと考えられる。

また、(19)式は異なった長さ(同じ長さのものを含む)のノードレベルおよびモジュールレベルの並列テストを表現していると考えられることもできる。

問題はこの並列テストの最適な順序つまり並列化をどのように決めるかである。1つの方法として、もしリセット状態がある場合には、リセット状態から次の式で示すように短いテストから順に実施する方法が考えられる。このとき並列化されている各テストとその判定出力は構造情報からあらかじめ求めた各レベルの励起伝搬テストを活用する。

$$T = (Q_R) X_0 / Z_0 \quad (Q_1) X_1 / Z_1 \quad (Q_2) X_2 / Z_2 \\ | \leftarrow \quad \Sigma T_0 \quad \rightarrow | \\ | \leftarrow \quad \quad \Sigma T_1 \quad \quad \rightarrow | \\ | \leftarrow \quad \quad \quad \Sigma T_2 \quad \quad \quad \rightarrow | \quad (20)$$

すなわち、リセット状態では最短の初期設定過程かつ最短の励起伝搬過程(観測過程のみ)のものを、順次これら両過程の長いものを実施することになる。

なお、この場合の最適順序決定方策も興味ある課題として残されている。

(2) 全テストの導出効率化の諸問題

状態遷移図が未知の場合には、深度の浅い方から順次励起伝搬テスト部を求め、継ぎ足していく方法が考えられる。最大深度まで求めると部分状態遷移図から全体の状態遷移図が求められる可能性がある。この場合NTMとMTMをどのように使い分けるかは回路の構造に依存すると考えられる。

次に、適当な深度まで後向き探索法で求め、リセット状態からの前向き探索をシミュレーション等で行ない、両方を結合させる方法も考えられる。

なお、状態遷移図が既知の場合には、後向き探索による励起伝搬テストの情報と状態遷移図の情報を結合して効率的な並列化を実現できる可能性が高い。

5. むすび

既に提案した、順序回路の構造情報から故障の伝搬経路を示す伝搬経路グラフ (PPG) に加え、フィードバック結合による伝搬経路も等価 (時間的) の前向き迂回経路として明確に表示できる総合 PPG を提案した。

これは深さの概念によって順序回路を構造的にモジュール分割し、さらにモジュールを各 FF と分割状態遷移回路を組としたノード回路に分割した上で、順序回路の時間的展開である繰り返しセル構造と統合することによって得られる。総合 PPG により順序回路を循環型の準並列シフトレジスタとしてモデル化することができた。またテスト構造は、このグラフにおける伝搬パス上で隣接するノード間の励起伝搬ステップから求められる等価伝搬関数の順次縦接続構造で示されることを明らかにした。

なお、これらテスト構造表示式は既に報告したように、ノードレベル、モジュールレベル、セルレベルで階層的に表示でき、かつ順序回路の状態遷移表示式と基本的に同じ構造になる。またこれら各レベルでの表示式の内部構造は、既に提案した構造化テストマトリクスで表示でき、テスト導出の基本になることを指摘した。さらにこれらテスト表示式から、テストに関するいくつかの性質、例えばテスト長、探索範囲などを導くこともできるであろう。

特に、初期状態設定テストを導出するとき正常マシンを前提して求められることを明らかにすることは重要であると考えている。

参考文献

- (1) 当麻: 順序回路論, 昭晃堂 (1976)
- (2) 尾崎, 樹下: デジタル代数学, 共立出版(1966)
- (3) 樹下, 藤原: デジタル回路の故障診断 (上), 工学図書 (1983)
- (4) 玉本: 論理回路の故障診断, 日刊工業新聞社 (1983)
- (5) M. A. Breuer and A. D. Friedman, Diagnosis and Reliable Design of Digital Systems, Computer Science Press (1976)
- (6) H. Fujiwara: Logic Testing and Design for Testability, The MIT Press (1985)
- (7) H. T. MA et al: Test Generation for Sequential Circuits, IEEE Trans. on CAD, vol. 7, no. 10 p. 1081-1093 (Oct 1988)
- (8) W. T. Cheng and T. J. Chakraborty: Gentest (An Automatic Test-Generation System for Sequential Circuits), Computer p. 43-49 (April 1989)
- (9) 中道: 構造化テスト表による組合せ回路のテスト導出法, 電子通信学会, 研資 FTS85-7, p. 47-54 (1985-5)
- (10) 中道: 構造化テスト表による組合せ回路テストの再考察, 電子通信学会, 研資 FTS85-13, p. 25-32 (1985-9)
- (11) 中道, 石田, アーティット: 構造化テスト表に基づく組合せ回路のテストプログラム, 電子情報通信学会, 研資 FTS87-11, p. 25-32 (1987-9)
- (12) 中道, アーティット: 構造化テスト表による順序回路のテスト導出法, 電子情報通信学会, 研資 FTS88-11, p. 1-6 (1988-9)
- (13) M. Nakamichi and A. Thongtak: Test Generation for Sequential Circuits Using Structured Test Table, Dig. 1989JFTCS p. 104-110 (1989-7)
- (14) 彦根, 藤原: 順序回路の状態初期化系列生成について, 電子情報通信学会, FTS88-30, P. 17-23 (1988)