

ICCAD報告

谷 勝則

日本電気(株)

本稿では、1991年11月10日から14日にかけて米国・サンタクララで開催されたICCAD'91において発表された論文のうち、レイアウト関連の論文を中心に報告を行う。

A Report of ICCAD'91

Katsunori Tani
NEC Corporation

1753 Shimonumabe, Nakahara-ku, Kawasaki,
Kanagawa, 211 Japan

This paper reports on International Conference on Computer-Aided Design (ICCAD'91), which was held on November 10-14, 1991 at Santa Clara, U.S.A.

1. ICCAD' 91概要

期間：1991年11月10～14日

場所：米国・サンタクララ コンベンション・センタ

主催：IEEE Circuits & Systems Society および IEEE Computer Society

共催：ACM Special Interest Group on Design Automation および
IEEE Electron Devices Society

内容：テクニカル・セッション 126件（3日間）

（投稿 全448件，採録率 28%）

チュートリアル 8件（1日）

パネル・セッション

ベンダ・スイート（13社）

以下、本稿ではレイアウト関連のテクニカル・セッションについて、その概要を説明する。

2. レイアウト関連テクニカル・セッション概要

論文数：31件（9セッション）

大学（含研究機関）：全21.5件（日本0）

企業：全 9.5件（日本5.5，外国4）

（注）大学と企業の共著論文はそれぞれ0.5件で計数

分野別内訳（表1参照）：

Partitioning	… 3件
Placement/Floor-Plan	… 4件
Routing	… 12件
Module/Cell Generation	… 9件
Verification/Extraction	… 3件

- ・ 全発表126件のうち、レイアウト関連は約25%。
- ・ 大学／企業の比率は2対1。今回は日本の大学発表は0件であるが、企業発表においては、日本企業の多さが目立つ。
- ・ レイアウト設計の中で上流に属する Partitioning および Placement/Floor-Plan に関してはすべてが大学等研究機関からの発表であり、従来のミニカット法の改良および拡張、および Timing-Driven Placement の2つに分類できる。
- ・ 昨年同様、Routing に関する発表が最も多く、Timing-Driven と多層（3層）配線が主たるテーマとなっている。

表1 ICCAD' 91 レイアウト関連発表一覧
 (大学(含研究機関)と企業の共著論文はそれぞれ0.5件で計数)

分野, 件数, 大学/企業別件数	セッション 番号	論文番号, 発表大学/企業	
Partitioning (全3=大3, 企0)	1 A	1A.1(UCB), 1A.2(UCB), 1A.3(UCLA)	
Placement/Floor-Plan (全4=大4, 企0)	2 A	2A.1(イリノイ大), 2A.2(UCB), 2A.3(ミネソタ大 + フロリダ大), 2A.4(Korea Adv. Inst.)	
Routing (全12=大7.5, 企4.5)	8 A	Performance-Driven	8A.1(日立), 8A.2(IBM)
		Parallel-Routing	8A.3(日電), 8A.4(CMU)
	10 A	Channel-Routing	10A.1(西シカゴン大 + NW大), 10A.2(三菱), 10A.3(イリノイ大 + 富士通), 10A.4(Syracuse大)
	12 A	Global-Routing関連	12A.1(テキサス大), 12A.2(UCSB + NW大), 12A.3(西シカゴン大), 12A.4(西シカゴン大)
Module/Cell Generation (全9=大6, 企3)	3 A	Digital系	3A.1(テキサス大), 3A.2(ナシオニ), 3A.3(Eindhoven大 + IBM), 11A.1(イリノイ大), 11A.2(Munich大 + Siemens), 11A.3(日電)
	11 A		
	9 A	Analog系	9A.1(UCB), 9A.2(CMU), 9A.3(CMU)
Verification/Extraction (全3=大1, 企2)	7 A	7A.1(Fraunhofer Inst.), 7A.2(HP), 7A.3(NTT)	

以下、レイアウト関連の論文で興味深いものをいくつか取り上げて紹介する。

① 1A.1: A Cell-Replicating Approach to Mincut-Based Circuit Partitioning,
C.Kring and A.R.Newton (UCB).

従来のミニカット分割は、与えられたネットワーク N を、その2分割 $N_1 \sim N_2$ 間にまたがるネット数(=カット数)が最小となるように、各セルを N_1 および N_2 のどちらか一方に振り分けるものであった。この論文で提案されている手法は、『セルを多重化(replicate)し、1ネットを(より小規模な)複数ネットに分割してもよい(図1参照)』という仮定を導入することによって、 N をより小さいカット数で分割できるようにした。セルの多重化によってネットワークのサイズは増大するが、カット数が小さいので分割後の部分ネットワーク間の独立性は高くなると言える。実験によると、数%のセルを多重化すれば、カット数を10~40%削減できるという。基にしている分割アルゴリズムは Fiduccia-Mattheyses によるものであり、セルの多重化を取り入れても時間複雑度は変わらない(ネットワーク中の端子数に比例する時間で実行可能)。

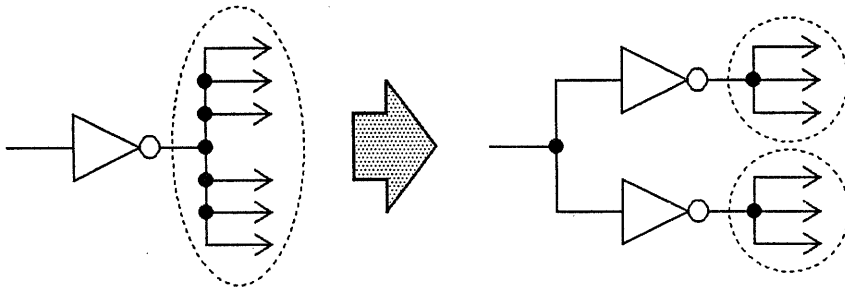


図1 セルの多重化によるネット分割

② 2A.1: A New Performance Driven Placement Algorithm,
T.Gao, P.M.Vaidya and C.L.Liu (Illinois Univ.).

この論文では、回路内の各モジュールの遅延量、各外部出力端子 i における許容最大遅延量 D_i 、およびモジュール間の単位配線長当たりの遅延量が与えられたときに、制約 D_i のすべてを満たすようなモジュールの配置を求める手法を提案している。この手法では、まず各ネット毎に配線長の上限値を数値計算(凸計画問題)によって算出する。次に、ミニカット法による再帰的2分割を用いて、各ネットの配線長が上限値以内に納まるように各モジュールの配置位置を求めていく。この処理は、配線長の予想値が上限値に近いあるいは上限値を越えているネットの重みを大きくすることによって行われている。最終的な配置が求められた時点で、ある遅延制約 D_j が満たされていないときには、配線長の上限値を変更し、 D_j の制約遵守を優先的に行えるようにしてから、再度配置処理を行う。実験によると、従来法による配置結果(遅延制約なし)に比べて、約20%の遅延量削減が図れたという。

③ 8A.2: Exact Zero Skew, R-S. Tsay (IBM).

この論文では、クロック入力端子間をピンペア毎にボトムアップに結線していくことによ

ってスキュー0のクロック配線経路 (clock tree) を実現する手法を提案している。この手法では、まず、クロック入力端子を2つずつまとめピンペアを形成し、ピンペア毎の配線経路を求める (従来の迷路法, 線分探索法を使用)。次に、各ピンペア P_i に対して、 P_i の配線経路 R_i 上の点 T_i で、 T_i から (R_i によって結ばれている) クロック入力端子までの遅延量が等しくなる点を求め (このような点 T_i を P_i の tapping point という)。以後、2つの tapping point 間をボトムアップに配線していく (図2参照)。遅延計算はエルモア (Elmore) のRCモデルに基づいている。この手法により厳密なゼロ・スキューが保証される (ただし、ピンペア毎のボトムアップ配線であるが故に比較的大きな遅延値でのゼロ・スキューとなってしまうのが欠点)。

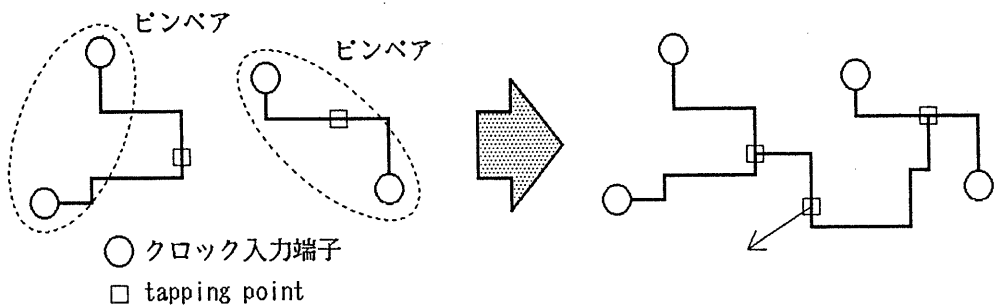


図2 Tapping point の設定による ゼロ・スキュー配線

- ④ 10A.1: Algorithms for Three-Layer Over-the-Cell Channel Routing.
 N. D. Holmes, N. A. Sherwani and M. Sarrafzadeh (Western Michigan Univ and Northwestern Univ.).

この論文では、セル列上通過を考慮した3層チャネル配線手法を提案している。従来のセル列上配線手法は、各ピンペアを結ぶ水平方向配線 (幹線) は1つのみであったが、この論文では空き端子 (vacant terminal) 位置で折れ曲がり (ジョグ) 可能であり、セル列上への幹線割り当ても、幹線間の上下制約グラフ (vertical constraint graph) の最長路長、および左右制約グラフ (horizontal constraint graph) の最大クリーク数の両方を見て、チャネル幅がほぼ最小になるように決定される。この配線手法により、従来の2層チャネル配線 (セル列上通過なし) に比べ、76%ものチャネル幅削減が実現できたという。

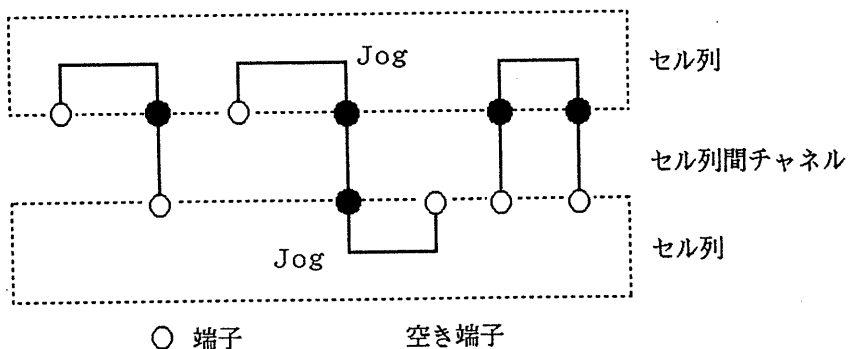


図3 空き端子を利用したセル列上配線

付録: ICCAD' 91 プログラム
(太枠部がレイアウト関連のテクニカル・セッション)

ICCAD-91 AT A GLANCE

PM 7:30	SUNDAY, NOVEMBER 10
9:00	Welcome Cocktail Party (Doubletree Ballroom)

	MONDAY, NOVEMBER 11			TUESDAY, NOVEMBER 12		
	Rooms E & G	Rooms D, F & H	Theatre	Rooms E & G	Rooms D, F & H	Theatre
AM 7:00	Continental Breakfast (Doubletree Ballroom)			Continental Breakfast (Doubletree Ballroom)		
7:30	Speakers' Breakfast (Doubletree Arizona Room)			Speakers' Breakfast (Doubletree Arizona Room)		
8:00						
8:30	1A Physical Partitioning	1B Analog Simulation	1C Controller Synthesis	5A Diagnostics & Testability Analysis	5B The False Path Problem in Timing Analysis	5C Encoding Algorithms
9:00	Coffee Break			Coffee Break		
9:30	2A Placement	2B Interconnect Simulation	2C Scheduling	6A Built-in Self Test	6B Framework Directions	6C Techniques for Effective Memory Utilization
10:00	Coffee Break			Coffee Break		
10:30	Lunch (Doubletree Ballroom) (CC Ballrooms A & C)			Lunch (Doubletree Ballroom) (CC Ballrooms A & C)		
11:00						
11:30						
PM 12:00						
1:00						
1:30						
2:00	3A Module Generation	3B Numerical Algorithms	3C Topics in Logic Synthesis	7A High-Level Layout Verification	7B Timing Analysis	7C Asynchronous Circuit Synthesis
2:30	Coffee Break			Coffee Break		
3:00	4A Real World Framework Applications	4B Reliability & Manufacturability Analysis	4C Timing Analysis & Performance Optimization	8A Performance Driven & Parallel Routing Techniques	8B Topics in Simulation	8C Sequential Synthesis & Verification
3:30	Coffee Break			Coffee Break		
4:00	Refreshments			Refreshments		
4:30	Panel: The Cutting Edge in CAD: Who Will Get the Axe? Room D, F & H			Banquet (CC Ballrooms A, C, E & G)		
5:00						
5:30						
6:00						
6:30						
7:00						
7:30						
8:00						
10:00						
10:30						

ICCAD-91 AT A GLANCE

	WEDNESDAY, NOVEMBER 13			THURSDAY, NOVEMBER 14			
	Rooms E & G	Rooms D, F & H	Theatre	CC Ballrooms			
AM 7:00	Continental Breakfast (Doubletree Ballroom)			Tutorials			
7:30	Speakers' Breakfast (Doubletree Arizona Room)			Continental Breakfast (Outside the CC Ballrooms)			
8:00				Tutorial Registration (Doubletree Hotel Mezzanine)			
8:30	9A Analog Circuit & Layout Synthesis	9B Scan Design	9C High-Level Synthesis - FSM Synthesis	TUTORIAL 1 Multi-Level Logic Synthesis	TUTORIAL 2 Software Engineering & Object-Oriented Programming for CAD	TUTORIAL 3 CAD and Architecture Issues in FPGAs	TUTORIAL 4 CAD Challenges for Consumer Parts & Related Designs
9:00	Coffee Break			Coffee Break			
9:30	10A Detailed Routing	10B Automatic Test Pattern Generation	10C Verification Algorithms				
10:00	Coffee Break			Coffee Break			
10:30	Lunch (Doubletree Ballrooms) (CC Ballrooms A & C)			Lunch on Your Own			
11:00							
11:30							
PM 12:00							
1:00							
1:30							
2:00	11A Transistor-Level Optimization & Layout	11B Design for Testability	11C Advances in Combinational Synthesis	TUTORIAL 5 Advanced Sequential Circuit Testing Techniques	TUTORIAL 6 Framework Technology Current Status & Future Directions	TUTORIAL 7 Design, Modeling & Simulation of Multi-Chip Modules	TUTORIAL 8 CAD Challenges for Computers & Systems
2:30	Coffee Break			Coffee Break			
3:00	12A Exact Algorithms in General Cell Routing	12B Fault Simulation	12C Synthesis for FPGAs				
3:30	Coffee Break			Coffee Break			
4:00							
4:30							
5:00							
5:30							
6:00							
6:30							
7:00							
7:30							
8:00							
10:00							
10:30							