

スイッチトレジスタ回路を用いた定電流素子

深井 澄夫 石川 弘文 鶴池 功

佐賀大学 理工学部 電子工学科

〒840 佐賀市本庄町1番地

あらまし モノリシック集積化に適した等価抵抗の実現方法の一つとしてスイッチトレジスタ (SR) 回路が提案されている。本資料では、このSR回路構成を用いた定電流素子の実現方法について述べている。SR回路の基本MOSFET回路の動作領域を従来の線形抵抗領域から飽和領域に移し、ブリチューン回路の設定量を抵抗値から電流値へ変更することにより、定電流素子を実現している。

具体的な検討例として、スイッチトキャパシタ (SC) 回路を基準電流源とするSC形ブリチューン回路を用いた回路を考え、個別部品による試作と実験により動作確認を行なっている。この回路構成は同一構成で等価抵抗と定電流素子を実現できる特徴を持つ。

定電流素子の基本的な特性の一つに端子電圧の変化に対する電流値の変動を表す定電流特性がある。この特性はMOSFETの飽和領域におけるドレイン電流対ドレイン・ソース間電圧特性に依存する。定電流特性の改善方法について、基本MOSFET回路にMOSFETを1個追加する簡単な方法を提案し、計算と実験によりその効果を確かめている。

Constant-Current Elements Using Switched-Resistor Circuits

Sumio FUKAI Hirobumi ISHIKAWA Isao UIKE

Department of Electronics, Faculty of Science and Engineering,
Saga University

1, Honjo-machi, Saga-shi, Saga 840 Japan

Abstract This paper presents a method for realizing of constant-current elements using switched-resistor circuits which have been proposed as a realization of equivalent resistors suitable for monolithic integrations. An MOSFET biasing in saturation region is used as a constant-current element. As an example, based on the switched-capacitor circuit, experimental circuits are constructed.

I-V characteristics of the constant-current element are depend on the behavior of the drain current I_d in the saturation region of an MOSFET. Methods for improving this characteristics by the use of an additional MOSFET are discussed.

1. まえがき

モノリシック集積化に適した回路構成の一つとして、MOSFET-C回路が提案されている^{(1)~(6)}。MOSFETとキャパシタを構成素子とし、基本的に能動RC回路を実現している。モノリシック集積において、能動RC回路の時定数を高精度に実現することは難しい。これを解決する方法として、MOSFETを等価的な可変抵抗とし、その抵抗値を希望する抵抗値に設定する自動チューニング回路が使用されている。

MOSFET-C回路では一般に演算増幅器が能動素子として使用される。しかし、利得が周波数特性を持つため応用周波数帯域は制限される。これに対して、低利得であるが周波数特性が良いトランスコンダクタンス増幅器(OTA)を用いた構成が近年研究されている^{(7)~(9)}。OTAの利得は容易に制御できることから自動チューニング構成のMOSFET-C回路との相性もよい。一般に、OTAの利得を制御する場合、定電流回路の電流値をなんらかの形で制御することになる。定電流回路はOTAに限らず他の増幅器を構成する重要な回路である。

本資料では、先にモノリシック集積化に適した等価抵抗の実現方法として提案された、スイッチトレジスタ(SR)回路^{(10)・(11)}において、基本MOSFET回路の動作領域を従来の線形抵抗領域から飽和領域に移し、プリチューン回路の設定量を抵抗値から電流値へ変更することにより、任意の電流値の定電流素子が実現できることを報告する。具体的な検討例として、同一構成で等価抵抗と定電流素子が実現できるスイッチトキャパシタ(SC)形プリチューン回路を用いて定電流素子を実現し、実験により動作確認を行なっている。

SR回路を用いて定電流素子を実現する場合、その定電流特性は基本MOSFET回路の飽和特性に依存する。一般に飽和領域でのドレイン電流はピンチオフ点の電流値を用い、一定値として簡略的に表されているが、実際にはドレイン・ソース間電圧により変化する。チャンネル長の短いモノリシック集積回路ではさらにこの問題が重要となる。そこで、基本MOSFET回路にMOSFETを1個追加することにより定電流特性を改善する方法を示し、計算と実験によりその改善効果を確認している。

2. 基本構成

図1にSR回路の基本構成を示す。基本MOSFET回路を可変抵抗素子として用い、プリチューン回路で希

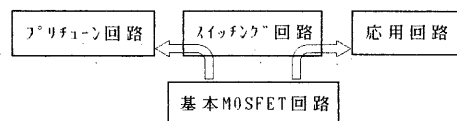


図1 SR回路の基本構成

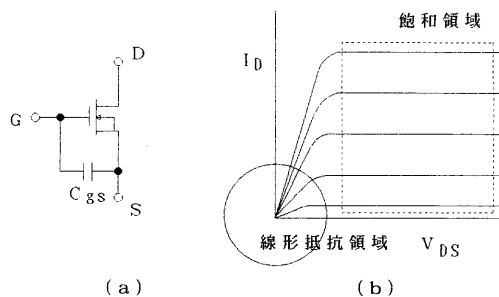


図2 基本MOSFET回路とその動作領域

望する抵抗値に設定した後スイッチング回路により応用回路に接続される。この間、もう一方のMOSFET回路がプリチューン回路に接続され先と同じ抵抗値に設定された後、応用回路に接続されているMOSFET回路と入れ換わる。このように切り換わる瞬時を除いて連続的に一定の等価抵抗を実現する。この構成を用いて定電流素子を実現するとき次のような動作量の変換が必要になる。

- ・基本MOSFET回路：等価抵抗→定電流素子
- ・プリチューン回路の設定量：抵抗値→電流値
(ゲート・ソース間電圧の設定による)

従来の等価抵抗を実現する場合、基本MOSFET回路の動作領域は図2(b)の原点付近の線形抵抗領域を使用する。同じ構成でも、破線で囲まれた飽和領域での動作を用いれば定電流素子として使用できることがわかる。このとき、基本MOSFET回路のドレイン電流 I_D は、

$$I_D = \frac{KW}{2L} (V_{GS} - V_t)^2 \quad (1)$$

ただし、 W 、 L ：チャンネル幅、チャンネル長
 K ：デバイスにより決まる定数
 V_{GS} ：ゲート・ソース間電圧
 V_t ：しきい値電圧

で簡略的に与えられる。

プリチューン回路にMOSFETが接続されたとき、希望する電流値 I_D になるように V_{GS} を設定することにより任意の定電流素子が実現できる。設定された V_{GS} は

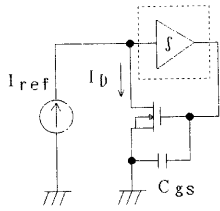


図3 基本プリチューン回路

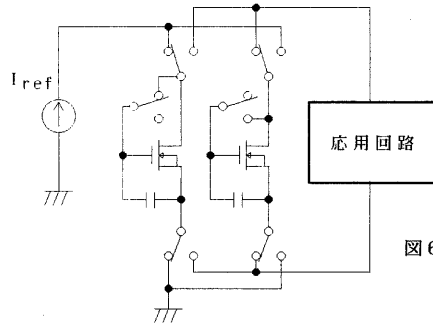


図5 図3を用いた定電流素子の実現回路

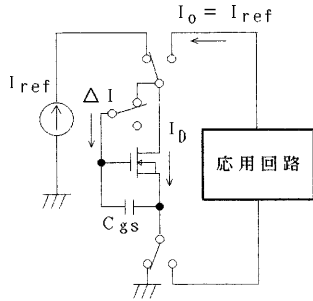


図4 基本プリチューン回路の動作

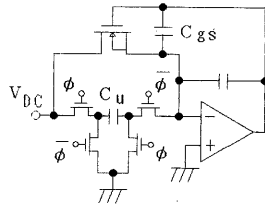


図8 SC形プリチューン回路

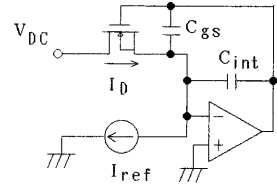


図6 積分器を用いた基本プリチューン回路

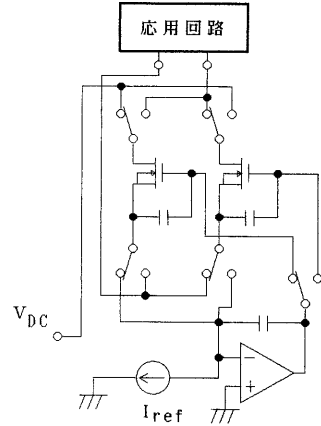


図7 図6を用いた定電流素子の実現回路

キャパシタ C_{gs} で保持され、放電による電圧降下による影響が無視できる間、2端子素子として動作する。このため接地、非接地に限らず自由に使用できる。

3. プリチューン回路

3. 1 基本プリチューン回路

基本プリチューン回路を図3に示す。破線で囲んだ積分器は基本的には省略できる。図4に基本プリチューン回路を用いた定電流素子の電流値を設定するときの状態(半回路)を示す。積分器がない場合基準電流源 I_{ref} と基本MOSFET回路を流れる電流 I_D の差電流 $\Delta I (= I_{ref} - I_D)$ がゲート・ソース間キャパシタ C_{gs} に電荷として蓄えられそれに比例した電圧がMOSFETに帰還される。 $I_{ref} = I_D$ の平衡状態になったとき、回路のプリチューン動作は終了、 V_{gs} は安定する。このとき、ドレイン及びソース端子のスイッチが応用回路に切り換わり $I_o = I_{ref}$ の定電流素子として働く。逆の状態でも働くもう一つのMOSFETを並列に使用することにより連続的な定電流素子が実現できる。図5にその回路例を示す。積分器を挿入した場合、平衡状態までの動作が安定し、設定時間や設定精度が改善される。積分器を挿入した場合の基本プリチューン回路を図6に、連続的に働く定電流素子の実現回路例を図7に示す。

3. 2 SC形プリチューン回路

基準電流源は、定電流素子の電流値の精度を決める重要な回路ブロックである。本資料ではSR回路を基本としていることから、等価抵抗と定電流素子の両方を実現できることに着目して、SC積分器を基本構成としたプリチューン回路を考えている。このときの回路を図8に示す。SC回路部は両端が基準電圧と仮想接地に接続されていることから、クロック周波数とユニットキャパシタから決まる定電流回路となる。このプリチューン回路はSR回路と同一であるが、MOSFETの動作領域を決める基準電圧値 V_{DC} が異なる。実際の電圧値はMOSFETの特性によるが、プリチューン状態において抵抗を実現する場合は線形抵抗領域に($V_{DC} < 100mV$)、定電流素子を実現する場合は飽和領域に($V_{DC} > 2V$)選ぶ必要がある。

図8において、SC電流源の電流 I_{ref} とMOSFETに流れる電流 I_D の差電流 ΔI が積分され、MOSFETのゲート電圧 V_{gs} として帰還される。 $I_{ref} = I_D$ ($\Delta I = 0$)の平衡状態になったとき V_{gs} は一定となり、基本MOSFET回路の電流は、

$$I_D = V_{DC} \cdot C_u \cdot f_{sc} \quad (2)$$

ただし、 C_u : SCユニットキャパシタ

f_{sc} : SCクロック周波数

で与えられる。この式から電流を設定するパラメータとして3個の変数が取り得ることがわかる。演算増幅器にTL081、アナログスイッチに4066、MOSFETに3SK29を用いて試作した回路における電流値の設定特性を図9と図10に示す。実線は式(2)の計算値を示す。ほぼ計算値通りに動作していることがわかる。計算値からのずれはSC回路部のスイッチのON抵抗、クロックフィードスルー効果、演算増幅器のオフセット電圧が原因と考えられる。

4. 定電流特性の改善

MOSFET回路の飽和領域におけるドレイン電流は、一般にピンチオフ点での電流値を用いて簡略的に一定値として表されている。しかし、実際には短チャネル効果やチャネル長変調効果等が原因となり、ドレイン・ソース間電圧により変化する。チャネル長の短いモノリシック集積回路ではさらにこの変化は大きくなる。基本MOSFET回路における飽和領域でのドレイン電流の近似式は、式(1)に代わりこの変化を近似した式(3)を使用しなければならない。

$$I_D = \frac{KW}{2L} (V_{GS} - V_t)^2 (1 + \lambda V_{DS}) \quad (3)$$

ただし、 V_{DS} : ドレイン・ソース間電圧

λ : アーリ電圧により近似される定数

デバイスにより決まる定数を式(4)のように簡略化する。基本MOSFET回路の出力トランスコンダクタンス $g_m (= \partial I_D / \partial V_{GS})$ は、式(5)で表される。

$$K' = \frac{KW}{2L} \quad (4)$$

$$g_m = K' (V_{GS} - V_t)^2 \lambda \quad (5)$$

本構成で実現する定電流素子は式(3)における λ の影響を受け、定電流特性が悪化する。改善方法として、いくつか考えられるが、SR構成に適した簡単な方法として、MOSFETを1個追加した図11の基本MOSFET回路を提案する。

図11(a)は基本回路表現である。ソース端子に抵抗を挿入することにより、 V_{DS} の影響をゲートに電圧として帰還し定電流特性を改善する。図11(b)、(c)はこの抵抗をMOSFETで実現したときの構成である。図11(d)はゲート端子の接続方法を変えた構成である。

以下に、それぞれの場合の出力コンダクタンスを求め、定電流特性の改善効果を検討する。

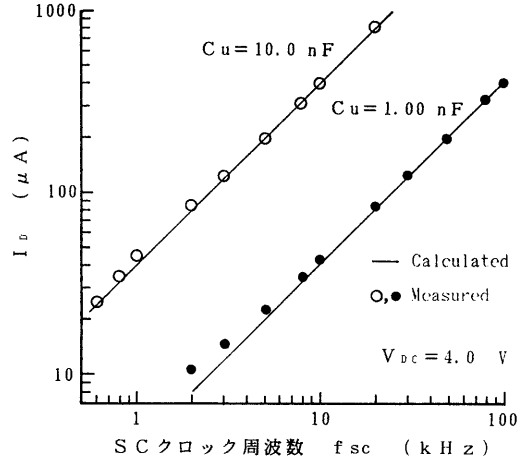


図9 $I_D - f_{sc}$ 特性

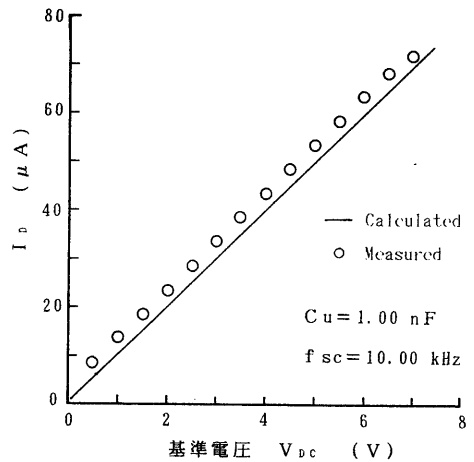


図10 $I_D - V_{DC}$ 特性

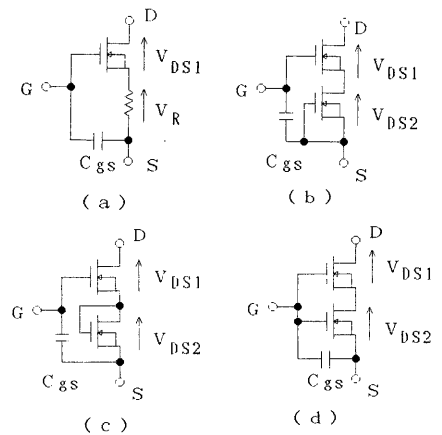


図11 定電流特性の改善

[図11 (a)]

図11 (a) において、ブリチューン回路により設定されるゲート・ソース間電圧を $V_{GS} = V_a$ とすれば、ドレイン電流 I_D について次の式が成り立つ。

$$I_D = K' (V_a - V_t)^2 (1 + \lambda V_{DS1}) \quad (6)$$

$$I_D = V_R / R \quad (7)$$

式 (6)、(7) より、

$$V_{DS} = V_{DS1} + V_R \\ = \frac{1}{\lambda} \left(\frac{I_D}{K' (V_a - V_t - R I_D)^2} - 1 \right) + R I_D \quad (8)$$

式 (8) は、 I_D に関して3次式になることから、

$(V_a - V_t) > V_R$ の条件下で2次式に近似する。また、 $(V_a - V_t) = \alpha$ と定数を簡略化すると、式 (8) は、

$$V_{DS} = \frac{I_D}{\lambda K' \alpha^2} \left(1 + 2 \frac{R I_D}{\alpha} \right) + R I_D - \frac{1}{\lambda} \quad (9)$$

となる。ドレイン電流 I_D に関して整理すると、

$$I_D^2 \frac{2R}{\lambda K' \alpha^2} + I_D \left(\frac{1}{\lambda K' \alpha^2} + R \right) - \left(V_{DS} + \frac{1}{\lambda} \right) = 0 \quad (10)$$

上式より I_D は、

$$I_D = \frac{-\left(\frac{1}{\lambda K' \alpha^2} + R \right) \pm \sqrt{\left(\frac{1}{\lambda K' \alpha^2} + R \right)^2 + \frac{8R}{\lambda K' \alpha^2} \left(V_{DS} + \frac{1}{\lambda} \right)}}{\frac{4R}{\lambda K' \alpha^2}} \quad (11)$$

で求められ、 $I_D > 0$ より、符号は+となる。

この式より出力コンダクタンスを求めると、

$$g_{n1} = \left(\left(\frac{1}{\lambda K' \alpha^2} + R \right)^2 + \frac{8R}{\lambda K' \alpha^2} \left(V_{DS} + \frac{1}{\lambda} \right) \right)^{-0.5} \quad (12)$$

が得られる。式 (12) より求められるドレイン電流は明らかに式 (13) の関係があることから、基本回路より定電流特性が改善されていることがわかる。

$$g_{n1} < \frac{1}{\left(\frac{1}{\lambda K' \alpha^2} + R \right)} < g_n (= \lambda K' \alpha^2) \quad (13)$$

また、式の結果より、挿入する抵抗が大きいくほど出力コンダクタンスは小さくなり、特性が改善されることがわかる。

[図11 (b)、(c)]

図11 (b)、(c) の回路は図11 (a) の抵抗を MOSFET で置き換えた回路と考えることができる。MOSFET の線形領域でのドレイン電流は、

$$I_D = K' (-V_t) V_{DS2} \quad (14)$$

で近似できることから、式 (11)、(12) で得られた結果に、

$$R = \frac{1}{K' (-V_t)} \quad (15)$$

を代入することにより、出力コンダクタンスが得られる。

ドレイン・ソース間電圧が高くなった場合、MOSFET の線形抵抗領域では V_{DS} に関する2次項が含まれることから、図11 (b)、(c) では動作が異なることが予想される。それぞれ、ドレイン電流式は、

$$I_D = K' \left((-V_t) - \frac{V_{DS2}}{2} \right) V_{DS2} \quad (16)$$

$$I_D = K' \left((-V_t) + \frac{V_{DS2}}{2} \right) V_{DS2} \quad (17)$$

で表され、2次項の影響が異なるためである。しかし、図11のようにMOSFETを2個用いた回路の場合、上部のMOSFETが早く飽和領域に達するため、ドレイン・ソース間に加わる電圧は $V_{DS1} > V_{DS2}$ となり、抵抗に置き換えたMOSFETにかかる電圧は低くなる。

[図11 (d)]

各MOSFETのドレイン電流式は次の式が成り立つ。

$$I_D = K_1' (V_a - V_{DS2} - V_t)^2 (1 + \lambda_1 V_{DS1}) \quad (18)$$

$$I_D = K_2' (V_a - V_t)^2 (1 + \lambda_2 V_{DS2}) \quad (19)$$

先と同様に $(V_a - V_t) = \alpha$ において簡略化すると、式 (18) と (19) から、

$$V_{DS} = V_{DS1} + V_{DS2}$$

$$= \frac{I_D}{\lambda_2 K_2' \alpha^2} + \frac{I_D}{\lambda_1 K_1' \alpha^2 \left(1 - \frac{1}{\alpha \lambda_2} \left(\frac{I_D}{K_2' \alpha^2} - 1 \right) \right)^2} - \frac{1}{\lambda_1} - \frac{1}{\lambda_2} \quad (20)$$

上式を $1 > \frac{1}{\alpha \lambda_2} \left(\frac{I_D}{K_2' \alpha^2} - 1 \right)$ の条件のもとで、 I_D に関する3次式から2次式に近似する。

$$V_{DS} = \frac{I_D}{\lambda_2 K_2' \alpha^2} + \frac{I_D}{\lambda_1 K_1' \alpha^2} \left(1 + \frac{2}{\alpha \lambda_2} \left(\frac{I_D}{K_2' \alpha^2} - 1 \right) \right) - \frac{1}{\lambda_1} - \frac{1}{\lambda_2} \quad (21)$$

I_D に関して整理して解くと、

$$I_D^2 \left[\frac{2}{\lambda_1 K_1' \lambda_2 K_2' \alpha^5} \right] + I_D \left[\frac{1}{\lambda_2 K_2' \alpha^2} + \frac{1}{\lambda_1 K_1' \alpha^2} \left(1 + \frac{2}{\alpha \lambda_2} \right) \right] - V_{DS} - \frac{1}{\lambda_1} - \frac{1}{\lambda_2} = 0 \quad (22)$$

$I_D > 0$ より、符号は+となり、出力コンダクタンスは、

$$g_{n2} = \left(\left[\frac{1}{\lambda_2 K_2' \alpha^2} + \frac{1}{\lambda_1 K_1' \alpha^2} \left(1 + \frac{2}{\alpha \lambda_2} \right) \right]^2 + \frac{8}{\lambda_1 K_1' \lambda_2 K_2' \alpha^5} \left(V_{DS} + \frac{1}{\lambda_1} + \frac{1}{\lambda_2} \right) \right)^{-0.5} \quad (23)$$

となる。 g_m 、 g_{m1} 、 g_{m2} を比較すると

$$g_{m2} < \frac{\lambda_1 \lambda_2 K_1' \alpha^3}{2} < g_{m1} < g_m \quad (24)$$

の関係が成立し、定電流特性の改善効果は図11 (d) > 図11 (b) > 図11 (c)の順に大きいことがわかる。

MOSFETに3SK29を用いたときの改善効果を実験により確かめる。図12に、図2の基本MOSFET回路と改善効果が大きいと思われる図11 (d)の実験結果を示す。この回路は簡単ながら、改善効果が大きいことがわかる。定電流素子として働くMOSFETのゲート電圧が端子電圧の帰還により深くなることから、飽和領域が低電圧部分まで伸び定電流動作領域が広がる利点を持つ。

4. むすび

スイッチトレジスタ構成を利用した定電流素子の実現方法について報告した。基準電流源をSC回路で構成した場合、制御変数として3個のパラメータが得られることがわかった。ほぼ計算通りの実験結果が得られるが、SC回路を用いているために生じるクロックフィードスルー効果の影響やスイッチのON抵抗の問題については更に検討が必要である。基準電流源として、連続時間系のアナログ回路構成とすることでSC回路が原因とされる誤差の影響を受けなくなる。

定電流特性は基本MOSFET回路にMOSFET1個追加することにより改善でき、簡単な構成ながら図11 (d)による改善方法が有効であることがわかった。本構成を用いた応用としてOTAの利得制御、遮断周波数可変フィルタ等を考えている。

参考文献

- (1) M. Banu and Y. Tsividis: "Fully integrated active RC filters in MOS technology", IEEE J. Solid-state Circuits, SC-18, 6, 644-651 (Dec. 1983).
- (2) H. Khorramabadi and P. R. Gray: "High-frequency CMOS continuous-time filters", IEEE J. Solid-State Circuits, SC-19, 6, 939-948 (Dec. 1984).
- (3) J. Khoury, Y. Tsividis and M. Banu: "Use of MOS transistor as a tunable distributed RC filter element", Electron. Lett., 20, 4, 187-188 (Feb. 1984).
- (4) Y. Tsividis, M. Banu and J. Khoury: "Continuous-time MOSFET-C filters in VLSI", IEEE Trans. Circuits and Systems, CAS-33, 2, 125-138 (Feb. 1986).

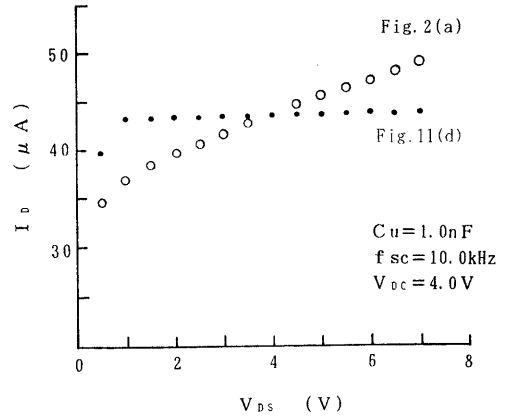


図12 $I_D - V_{DS}$ 特性

- (5) K. Radhakrishna Rao and G. Venugopal: "A novel technique for the on-chip tuning of monolithic filters", Proc. IEEE, 75, 2, 257-258 (Feb. 1987).
- (6) S. Takagi, N. Fujii and T. Yanagisawa: "Highly-linear canonical MOSFET-capacitor filters", Trans. IEICE, E71, 6, 562-566 (June 1988).
- (7) R. L. Geiger and E. Sanchez-Sinencio: "Active filter design using operational transconductance amplifiers: a tutorial", IEEE Circuits and Devices Magazine, 20-32 (March 1985)
- (8) Z. Czarnul: "Design of voltage-controlled linear transconductance elements with a matched pair of FET transistors", IEEE Trans. Circuits and Systems CAS-33, 10, 1012-1015 (Oct. 1986).
- (9) Z. Czarnul and Y. Tsividis: "Independent tuning of quality factor and unity-gain frequency in a transconductance-capacitance integrator", Electronics Letters, 22, 19, 1026-1027 (September 1986)
- (10) R. L. Geiger, P. E. Allen and D. T. Ngo: "Switched - Resistor Filters - A Continuous Time Approach to Monolithic MOS Filter Design", IEEE Trans. Circuits & Syst., CAS-29, 5, pp. 306-315 (May, 1982).
- (11) 深井、塚原、石川: "一般の複数個の抵抗を実現するスイッチト・レジスタ回路", 信学論(A), J69-A, 11, pp. 1385-1392 (昭61-11).
- (12) P. R. Gray and R. G. Meyer: Analysis and Design of Analog Integrated Circuits, John Wiley & Sons, 1984, New York, p. 62.