

International Workshop on Layout Synthesis 報告

小野寺 秀俊

京都大学 工学部 電子工学科

あらまし 1992年5月に米国ノースカロライナ州の Research Triangle Park で開催された International Workshop on Layout Synthesis に参加する機会を得た。このワークショップにおけるテクニカルセッション及びベンチマークセッションの概要について報告する。

A Report of International Workshop on Layout Synthesis

Hidetoshi ONODERA

Department of Electronics, Kyoto University
Sakyo-ku, Kyoto 606 Japan

Abstract This report introduces an overview of the technical and benchmark sessions at the International Workshop on Layout Synthesis, which was held on May 1992 at Research Triangle Park, North Carolina, USA.

1 はじめに

米国ノースカロライナ州 Research Triangle Park の MCNC で開催された International Workshop on Layout Synthesis に参加した。MCNC では、1988 年よりレイアウト合成 (自動レイアウト) と論理合成に関するワークショップを毎年交互に開催しており、今年はレイアウト合成の開催年にあっている。MCNC ワークショップの特徴は、論文発表が行なわれるテクニカルセッション以外に、ベンチマークセッションが設けられることである。そのためのデータは MCNC ベンチマークとして公開され、ワークショップ以外に CAD アルゴリズムの評価用として広く用いられている。

本稿では、テクニカルセッションおよびベンチマークセッションの概要を報告する。

2 ワークショップの概要

期間:	1992 年 5 月 18 日～ 21 日
場所:	Research Triangle Park, North Carolina, USA.
主催:	MCNC
共催:	IEEE Circuits and System Society, ACM SIGDA 及び IFIP wg 10.5
発表件数:	25 件 (論文), 4 件 (ベンチマーク)
参加者数:	約 70 名 国別内訳 (ドイツ 2 名, フランス 1 名, スロベニア 1 名, オランダ 1 名, 日本 1 名, それ以外は米国及びカナダ)
内容:	テクニカルセッション (10) ベンチマークポスターセッション (1) パネルセッション (配置コンテスト) (1)

ワークショップは、テクニカルセッションの他にベンチマークセッションが設けられ、これが MCNC で開催されるワークショップの特徴になっている。今年は、通常のベンチマークセッション (事前に配布されたベンチマークデータに対する結果を報告する) の他に、ワークショップ直前に配布されるデータを用いて、リアルタイムでベンチマークを行なうセッションも企画された。この概要については、5. で述べる。

表 1 にワークショップのプログラムを示す。

3 テクニカルセッション

合計 10 のテクニカルセッションが開かれ、25 件の発表があった。セッションの内訳は

配線関係	2
配置関係	2
セル生成	2
設計手法	1
FPGA 配線	1
MCM 配線	1
将来の CAD	1

である。

表 2: Best results after 1991 DAC

回路名	セル数	面積 (mm ²)
Fract	125	0.471
Primary1	752	19.28
Struct	1888	6.157
Primary2	2907	69.03
Biomed	6417	45.52

配置関係では、

- SOG レイアウトをマクロセルレイアウトのようなスタイルで行う提案と、そのための配線手法についての報告 (1.1)、
- メタル層のみカスタマイズする超短納期型ゲートアレーの配線アルゴリズムについての報告 (1.2)

などがあった。

配置関係では、

- 非スライス構造フロアプランにおける形状最適化問題について、良い近似解を限られた記憶容量の制約の下で求める手法の提案 (3.1, DAC92 の 5.4 に相当)
- スタンダードセルやゲートアレーなどの配置改善手法として、ある配置領域に含まれる全てのセルの新しい配置位置を同時に求める問題を、最小費用フロー問題に定式化して解く手法の提案 (9.1)

などがあった。

セル生成に関しては、

- リーフセルのレイアウト生成を、分枝限定法を持ちいたトランジスタ配列、迷路法による配線、整数計画法を用いた 2 次元コンパクションにより行なう方法 (10.2)
- 数百トランジスタ程度の回路を対象として、レイアウト生成過程にトランジスタサイジングによる回路特性の最適化処理を組み込んだ手法 (11.1 及び 11.2)

などが報告された。

4 ベンチマークセッション

ベンチマークセッションでは、まず Benchmark Chair である K. Kozminski 氏より、今年のベンチマークデータについての説明があった (ベンチマークデータについては、付録 A 参照)。また、1991 年の DAC における報告 [1] 以降に更新されたベンチマーク結果が紹介された (スタンダードセル配置配線の結果。表 2)

ベンチマークセッションの参加者は、結果のプロット図面やシステムの説明図をポスターに掲示すると共に、本セッションで簡単な説明を行なう。今年は、以下に示す 4 機関が参加した。但し、いずれもベンチマークのガイドラインに完全に沿って参加しているわけではない。

(1) Telecom Paris: Preform と呼ばれるシステムによるリーフセルのコンパクション結果が報告された。Preform はバーチャルグリッドのコンパクターであるが、隣接したコンタクトの移動などを行ない、レイアウト密度の向上を図っている。Preform により作成されたレイアウトの品質は、人手設計と比べて密度で 12% 程度低く、回路特性で 5% 程度

悪いだけであると報告されていた。

(2) Carleton University: Picasso II システムによる、リーフセルレイアウトの自動生成結果が報告された。Picasso II の詳細は、テクニカルセッションで発表されている。数十トランジスタ程度の小規模な回路を対象としており、レイアウト生成のベンチマーク回路(最小回路でも 306 トランジスタ)には適用されていないが、密度の高いレイアウトが生成されていた。

(3) University of Kaiserslautern: PLAYOUT システムによるスタンダードセル方式の階層化フロアプラン結果が報告された。PLAYOUT システムの概要は、テクニカルセッションで説明されている。ポスターには、いくつかの回路についてアスペクト比に対するレイアウト面積の変化が示されていた。

(4) Pennsylvania State University: PERFLEX システムによるリーフセルレイアウトの自動生成結果が報告された。PERFLEX システムの詳細はテクニカルセッションで発表されている。MCNC のベンチマーク回路ではなく、独自の回路についての生成結果が示されていた。このシステムの特徴は、トランジスタサイジングにより回路の遅延を最適化することにある。スタンダードセル方式に比べて、レイアウト面積、回路遅延、消費電力の各項目で優れたセルが生成できたと主張している。

5 配置コンテスト

今回のワークショップにおける新しい企画として、Timberwolf Hunt と名付けられたスタンダードセル配置プログラムのリアルタイムコンテストが行なわれた。この背景には、“最小面積のレイアウトを得るには、シミュレーティッドアニーリングのような統計的な配置手法が良いのか、それともアルゴリズム的な手法が良いのか”といった議論がある。面積最小化という観点で、最も優れたプログラムは何であるかを調べようと本コンテストが企画されたとのことである。コンテストにおける目標はレイアウト面積の最小化であり、タイミング情報などの回路動作に関する制約は与えられない。コンテストの条件を以下に示す。

- MCNC が同一構成のワークステーションを用意する (SPARCstation 2, 32MB メモリ)。ワークステーションは 5 月 11 日の正午からアクセス可能となり、参加者は各自のプログラムをインストールする。
- 5 月 18 日の正午に、未公開のベンチマークデータ (約 13,000 セル) がコンテスト参加者に配布される。この回路を、セル列数と I/O 位置の指定の下で配置する。配置の試行は 1 回。
- 48 時間後の 5 月 20 日正午に配置結果が集められ、その日のイブニングセッションで結果が報告される。
- 配置品質と配線品質を分離するため、概略配線とチャネル配線 (コンパクション機能付き) は Yale 大学と MCNC が用意したツールにより行なう。

コンテストには、Washington 大学から Timberwolf 6.1 と、Munich 工科大学から Gordian/Domino プログラムが参加した。前者はシミュレーティッドアニーリングを用いた配置プログラムである。後者は初期配置を 2 次計画法と回路分割の繰り返し適用で求め、配置改善を最小費用フロー問題に

定式化して求めている。配置改善手法の詳細はテクニカルセッションで発表されている。

コンテスト用のベンチマークデータは未公開のもので、MCNC で実際に設計された音声信号圧縮回路とのことであった。回路の I/O 端子数 76、ネット数 16,642 本、セル数 13,770 個、1 ネットあたりの端子数 4.04、1 セルあたりの端子数 4.05 である。

コンテストの結果は、20 日のイブニングセッションで発表された。レイアウト面積の比較では、TimberWolf 6.1 の方が 0.5 % 程度大きいだけという僅差であった。一方、配置時間は大きく異なっており、Gordian/Domino の 2 時間 13 分に対し、TimberWolf 6.1 は 14 時間 44 分を要していた。Benchmark Chair である Kozminski 氏の判定は引き分けであった。他のベンチマーク回路 (Highway, Fract, Struct: コンテスト用回路よりはるかに小規模) での比較結果も同時に発表されたが、いずれも Gordian/Domino が TimberWolf 6.1 より小さなレイアウトを作り出していた。イブニングセッションのパネリストの中からは、“明らかに Gordian/Domino の勝ちだ。次回からは Gordian 祭りという名前にしよう。”という意見も出ていた。

6 むすび

筆者は前回 (2 年前) のワークショップにも参加しているが、その時に比べて参加者数が若干減ったこと、また、ベンチマークセッションへの参加数が少なかったことが気に掛かる。後者の原因としては、“ネットリストが与えられて、それを最小面積に配置配線する”という古典的なレイアウトベンチマークの問題設定が、現状に合わなくなりつつあることが考えられる。現段階では、タイミングや動作特性を考慮したレイアウト合成が重要な研究課題となっており、このような問題設定が可能なベンチマークデータ (例えば、総合ベンチマークセット [2]) の作成が必要である。

本ワークショップには期間中の食事が全て含まれており、また、地元の参加者以外は全員が同じホテルに宿泊する。まさに、“寝食を共にしながら”ワークショップに参加することになり、参加者相互の意見交換を十分に行なうことが出来る。研究成果を議論する場として、また、将来の研究課題や動向を知る場としても、本ワークショップは大変貴重な機会を提供していると思う。是非、関係研究機関各位の積極的な参加を期待したい。

参考文献

- [1] Krzysztof Kozminski, “Benchmarks for Layout Synthesis — Evolution and Current Status,” Proc. 28th DAC, pp. 265–270(1991).
- [2] 中島、小野寺、安浦、神原、矢野、田丸, “LSI 設計用 CAD ツール評価用総合ベンチマークセットについて,” 情報処理学会第 43 回 (平成 3 年後期) 全国大会講演論文集、No.6R-9, pp. 6-267–6-268(1991).

A LayoutSynth92 ベンチマークデータ

今年のベンチマークデータは、1990年のワークショップ用ベンチマークデータ (LayoutSynth90) に、いくつかの新しいデータを追加して構成されている。

以下に、全ベンチマークデータのリストを示す。

ビルディングブロック (マクロブロック) 配置配線

xerox (10 blocks, 203 nets), ami33 (33 blocks, 123 nets), apte (9 blocks, 97 nets), ami49 (49 blocks, 408 nets), hp (11 blocks, 83 nets).

今年の追加データ xlii (62 blocks, 1611 nets).

コンパクション

afakr (26 transistors), afa (26 transistors), c132.2 (hierarchical, 13 subcells containing 132 transistors), mul2x2 (hierarchical, 4 subcells containing 54 transistors), mul4x4 (hierarchical, 13 subcells containing 222 transistors), mul8x8 (hierarchical, 28 subcells containing 518 transistors), mul16x16 (hierarchical, 58 subcells containing 1110 transistors).

レイアウト合成 (トランジスタレベルのネットリストから)

ti_alu (306 transistors), highway (332 transistors), accum (648 transistors), fract (722 transistors), struct (8990 transistors), biomed (43486 transistors).

今年の追加データ: avq.small (139555 transistors), avq.large (152595 transistors).

ビルディングブロック / スタンダードセル混在の配置配線

g2 (113 cells, 17 blocks, 295 nets), a3 (519 cells, 27 blocks, 881 nets), t1 (434 cells, 26 blocks, 1059 nets).

スタンダードセル配置配線

fract (125 cells, 147 nets), primary1 (752 cells, 904 nets), struct (1888 cells, 1920 nets), industry1 (2271 cells, 2594 nets), industry1a (2271 cells, 2479 nets), primary2 (2907 cells, 3029 nets), biomed (6417 cells, 5766 nets), industry2 (12142 cells, 13915 nets), industry3 (15059 cells, 21966 nets). Industry1 と industry1a は over-the-cell routing が必要。

今年の追加データ: balu (701 cells, 702 nets), sioo (602 cells, 259 nets), avq.small (21854 cells, 22124 nets), avq.large (25114 cells, 25384 nets).

ゲートアレー配置配線

primary1, primary2, industry2, industry3 (スタンダードセル用データと同一)

フロアプラン

xerox (10 blocks, 203 nets), fan (10 blocks, 312 nets).

ベンチマークデータの多くは、YAL(Yet Another Language) と VPNR(Vanira Place 'N Route) の2種類のフォーマットで記述されている。ベンチマークデータには、上記言語の説明文書の他、以下のパーサーやフォーマット変換プログラムなどが添付されている。

YAL parser

VPNR parser

YAL → VPNR 変換 VPNR → YAL 変換

VPNR → EDIF 変換 VPNR → TimberWolf 変換

また、レイアウトのデザインルールや、ベンチマーク結果の報告にあたってのガイドライン (例えば、電源線の取り扱いをどうするか、どの様なデータ項目をどの様なフォーマットで報告すべきか、等) を記述したファイルも含まれている。

ベンチマークデータの総量は、約 13M Byte である。本データは MCNC より直接入手することも可能であるが、情報処理学会の CAD モデル分科会でも活動の一環として配布を行なっている。連絡先を以下に示す。

〒 606-01 京都市左京区吉田本町

京都大学工学部電子工学科

小野寺秀俊

Tel. 075-753-5314

Fax. 075-751-1576

E-mail: onodera@kuee.kyoto-u.ac.jp

表 1: 1992 年 International Workshop on Layout Synthesis のプログラム

<p>Final Program International Workshop on Layout Synthesis Research Triangle Park, North Carolina, USA May 18-21, 1992</p> <p>Sponsored by MCNC In Cooperation with acm SIGDA, IEEE Circuits and Systems Society, and IFIP wg 10.5</p> <p>-----</p> <p>Monday Evening, May 18</p> <p>Registration (Holiday Inn)</p> <p>Reception and cocktails (Holiday Inn)</p> <p>Tuesday, May 19</p> <p>8:30-9:15 a.m. Continental Breakfast (MCNC)</p> <p>9:15-9:30 a.m. Welcome and Introduction Franc Brglez, General Chair Carl Sechen, Program Chair</p> <p>9:30-10:30 a.m. Session 1: Routing I Session Chair: L. Cohoon, University of Virginia</p> <p>1.1 Macro-cell Style Routing on Sea-of-Gates with 100% Completion Guarantee P. Groeneveld, Delft University of Technology</p> <p>1.2 Channel Routing in Quickly Customized Logic Y. Sun, Univ. of Illinois at Urbana-Champaign, S. Sato, Fujitsu Labs Ltd., and C.L. Liu, Univ. of Illinois at Urbana-Champaign</p> <p>11:00 a.m. - 12:00 p.m. Session 2: Routing II Session Chair: M. Lorenzetti, Mentor Graphics</p> <p>2.1 Logos -- A New Approach for Complex Routing Problems J.P. Cohoon and P.L. Heck, University of Virginia</p> <p>2.2 "TimberWolfAR: An Arbitrary Design Rule Multi-Layer Area Router" R. Weier and C. Sechen, University of Washington</p> <p>12:00-1:00 p.m. Lunch (MCNC)</p>	<p>1:00-2:00 p.m. Session 3: Placement and Floorplanning Session Chair: B. Preas, Xerox PARC</p> <p>3.1 A Graph Theoretic Technique to Speed Up Floorplan Area Optimization T.-C. Wang and M.D.F. Wong, University of Texas at Austin</p> <p>3.2 Estimation of Wiring Area for Hierarchical Design B. Schurmann and G. Zimmermann, University of Kaiserslautern</p> <p>2:30-4:00 p.m. Session 4: Design Methodologies Session Chair: R. Rutenbar, Carnegie Mellon University</p> <p>4.1 Reducing Time to Market Using Incremental Layout Design E. Levin, National Semiconductor (I.C.) Ltd.</p> <p>4.2 A 280,000 Standard Cells Test Design -- First Experiences with the PLAYOUT Top-Down Design System B. Schurmann, University of Kaiserslautern</p> <p>4.3 SYMCELL II -- A Second-Generation Symbolic Standard Cell System K. Ramachandran, D.G. Boyer, and R.R. Cordell, Bell Core</p> <p>6:00 p.m. Dinner (Holiday Inn)</p> <p>7:30 p.m. Session 5: Benchmark Poster Session (Holiday Inn) Session Chair: K. Kozminski, MCNC</p> <p>Wednesday, May 20</p> <p>8:30-9:00 a.m. Continental Breakfast (MCNC)</p> <p>9:00-10:30 a.m. Session 6: Field-Programmable Gate Arrays Session Chair: C.H. Shaw, Texas Instruments</p> <p>6.1 RA Global Router for Channelled FPGAs R.M.N. Rao, Texas Instruments, India</p> <p>6.2 A Generalized Row-Based Global Router for FPGAs W. Swartz and C. Sechen, University of Washington</p>

6.3 Algorithms and Architectures for
Field-Programmable Gate Arrays
S. Brown and J. Rose,
University of Toronto

11:00 a.m. -12:30 p.m.

Session 7: Multi-Chip Modules
Session Chair: W. Dai, University of
California - Santa Cruz

7.1 SURF-- A Performance Driven Layout System
for Thin-Film MCM
W.W.-M. Dai and D. Staepelaere, University
of California - Santa Cruz

7.2 A Fast Multilayer General Area Router for
MCM and Dense PCB Designs
K.-Y. Khoo and J. Cong, University of
California - Los Angeles

7.3 Performance Driven Routing Algorithms for
MCM Designs
J. Chung, R. Carragher, C.K. Cheng,
University of California Diego
and X. Xiong, AMCC

12:30-1:30 p.m.
Lunch (MCNC)

1:30-3:30 p.m.
Session 8: CAD Challenges for the Future
Session Chair: F. Brglez, MCNC

8.1 Catalyst -- An Integrated CAD System for
Drug Discovery
J. Greene, Biocad

8.2 CAD Requirements for Superconducting
Electronics
S. R. Whiteley, Conductus, Inc.

8.3 Molecular Nanotechnology
Ralph Merkle, Xerox PARC

4:00-5:30 p.m.

Session 9: Placement and Partitioning
Session Chair: L. Scheffer, Cadence

9.1 Placement Improvement by Network Flow
Methods
K. Doll, F. Johannes, and G. Sigl, Technical
University of Munich

9.2 A Timing Driven N-Way Chip Partitioner
K. Roy and C. Sechen, University of

Washington

9.3 Discussion (if time permits)

6:00 p.m.
Dinner (Holiday Inn)

7:30 p.m.
Panel Session (Holiday Inn)
Hunting Timberwolves -- Results of the Placement
Competition.

Thursday, May 21

8:30-9:00 a.m.
Continental Breakfast (MCNC)

9:00-10:30 a.m.
Session 10: Cell Generation
Session Chair: D. Boyer, Bell Core

10.1 Automatic Generation of Layout Description
for Analog Module Generators
T. Sato, H. Onodera, and K. Tamaru, Kyoto
University

10.2 Picasso II: A CMOS Leaf Cell Synthesis
System
M. Lefebvre and D. Skoll, Carleton
University

10.3 An Efficient Algorithm for Some MultiRow
Layout Problems
J. Feldman, I. Wagner, and S. Wimer, IBM

11:00 a.m.-12:00 p.m.
Session 11: Layout Synthesis
Session Chair: J. Burns, IBM

11.1 A Module Generator for High Performance
CMOS Circuits
S. Kim, R.M. Owens, and M.J. Irwin,
Pennsylvania State University

11.2 iCGEN: A CMOS Integrated Circuit Layout
Generator
R.W. Thaik, S. Sapatnekar, and S.M. Kang,
University of Illinois at Urbana-Champaigne

12:00-1:00 p.m.
Lunch (MCNC)

1:00 p.m.
A tour of MCNC, including the N.C.
Supercomputing Center, will be conducted.
Shuttle buses depart for the airport.