

ロバストフォールトトレラント演算集積回路の設計

春日 健 亀山 充隆 樋口 龍雄
福島高専 東北大学工学部 東北大学工学部

〒970 いわき市平上荒川字長尾30
〒980 仙台市青葉区荒巻字青葉

あらまし

高安全デジタルシステム実現のためのロバストフォールトトレラント演算回路を提案している。正と負で入出力を分けた構成とし、数値情報はそこでの1の個数で表現する2線式分散的符号化を用いている。演算回路は同一構造を有するサブモジュールにより線形的に構成されている。サブモジュールの入出力においては、1の個数の観点からある関数関係が成立する。また、任意の出力ビットの値は限られたサブモジュールに依存する構成としている。このことから、複数個のフォールトに対しても、1個のフォールトによる小さな偏差の線形加算的な影響で済むことになる。32ビット程度のロバストフォールトトレラント演算回路と通常の2進数に基づく演算回路とのチップ面積と速度の評価を行った結果、冗長性のためチップ面積は増えるものの速度の点ではほぼ同程度であった。

キーワード:

ロバストフォールトトレランス、2線式分散的符号化、安全性、バイトニックソータ

Design of Robust-Fault-Tolerant Arithmetic Integrated Circuits

† Takeshi KASUGA, †† Michitaka KAMEYAMA
and †† Tatsuo HIGUCHI

† Fukushima National College of Technology, Iwaki 970

†† Faculty of Engineering, Tohoku University, Aoba-ku, Sendai 980

†† Faculty of Engineering, Tohoku University, Aoba-ku, Sendai 980

Abstract

Robust-fault-tolerant arithmetic circuits for highly safe digital systems are proposed. A special numerical representation called two-rail distributed coding is introduced. The arithmetic circuits consist of linearly connected submodules. Between the input and output bits in the submodule some simple functional relation is satisfied with respect to the number of 1's. Moreover, the output bit value depends on very small portion of the submodules including the input bits. These properties make the linearly additive effect with a small value to the final result in the arithmetic circuits even if multiple faults occur. It is shown that the evaluation of the chip area and the speed of the robust-fault-tolerant arithmetic circuits.

keywords:

robust-fault tolerance, two-rail distributed coding, safety, bitonic sorter

1. まえがき

近年のマイクロエレクトロニクスの発展に伴い、機器組み込み型の電子制御システムが広く開発されてきている。これらのシステムは、FAやロボット制御などにみられるように電磁ノイズなどの厳しい環境中で使用される場合が多く、故障や誤動作が極めて重大な事態を引き起こす可能性がある。従って、システムの高信頼化と同時に高安全対策が強く要求されてきている^{(1),(2)}。これらの要求を満足する方法として、フェイルセーフシステムが提案され、幅広く利用されている^{(3)~(6)}。しかし、実際の素子でこれを実現することは困難な点も多い。

一方、誤りが発生しても演算結果が正常値と比較して大きな差がなければ、システムは安全な動作を維持できる場合も多い。例えば、典型的な制御システムにおいては、正常値にほぼ近い出力であれば、安全性にほとんど影響を及ぼさないことが知られている。このような性質をロバストフォールトトレランスとよぶことにする。

筆者らは、高安全デジタルシステムを達成するためのロバストフォールトトレランスを有する具体的な演算回路の設計法を提案してきた^{(7)~(9)}。ここで、数値情報は1の個数で表す分散的符号表現を用いている⁽¹⁰⁾。この方式では、演算回路に単一フォールトが発生しても演算結果と正常値との偏差は微小であるときに、多重フォールトに対しても1個のフォールトによる偏差の線形加算的な影響ですむことによりロバストフォールトトレランスが満足される。本稿では、数値情報の正と負に対して、1の個数を数値情報とする2線式分散的符号表現に基づく演算回路の構成法を示している。

ロバストフォールトトレラント加算器は、同一構造を有するサブモジュールを多段に接続し、最終ステージのサブモジュールから加算結果を出力する構成としている。加算結果において、正と負でのそれぞれのビット構成に1が存在すると、引き続き演算によってはオーバーフローを生じる可能性がある。そこで、正と負でのビット構成の一方は常に0になるようにしている。また、入出力データを降順に並べることになると、加算はソーティング問題に帰着でき、加算器がバイトニック・ソーティング回路⁽¹¹⁾で構成できることを示している。ロバストフォールトトレラント加算器では、単一フォールトに対し加算結果は正常値から高々偏差1となる。

乗算係数1以下のロバストフォールトトレラント乗算器もまたサブモジュールを多段に接続した構成としている。サブモジュールにおいては、入力の正または負の系列における1の個数がある固定係数でスケールダウンされて出力さ

れる。出力値が入力値の半分であれば、乗算係数1/2の乗算が実行されたことに相当し、これはANDゲートで構成できる。これを拡張すれば、ANDゲートの木構造で構成できることになる。本乗算器では、任意のゲートの入出力にフォールトが発生すると、乗算結果が正常値から最大偏差1となることを示している。更に、乗算係数n/mの乗算器が乗算係数1/mの乗算器n個で構成でき、最大偏差2のロバストフォールトトレランスを満足することを明らかにしている。

2μm CMOS設計ルールに基づくロバストフォールトトレラント演算回路について、チップ面積と速度について評価を行った。その結果、2進重み数に基づく演算回路と比較して、その冗長性のためチップ面積は大となるが、両者とも同程度の遅延時間をもつことが明らかとなった。

2. ロバストフォールトトレラント加算器

2.1 設計法

図1に2線式分散的符号表現に基づくロバストフォールトトレラント演算回路の記号を示す。整数入力Xは正の入力X⁺と負の入力X⁻を用いて式(1)のように表される。

$$\left\{ \begin{array}{l} X^+ = X, \quad X^- = 0 \quad (X \geq 0 \text{ のとき}) \\ X^+ = 0, \quad X^- = -X \quad (X \leq 0 \text{ のとき}) \end{array} \right. \quad (1)$$

但し、

$$X^+ = \sum_{i=1}^m x_i^+ \quad x_i^+ \in \{0, 1\} \quad (i=1, 2, \dots, m)$$

$$X^- = \sum_{i=1}^m x_i^- \quad x_i^- \in \{0, 1\} \quad (i=1, 2, \dots, m)$$

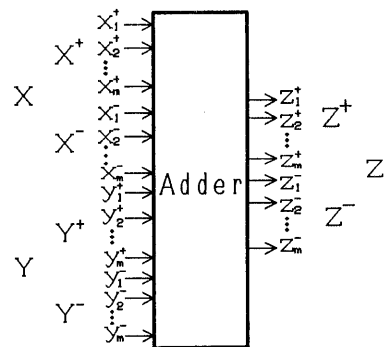


図1 ロバストフォールトトレラント加算器の記号

入力Yについても同様な表記が可能である。出力Yに関して、加算結果 $Z = X + Y$ が正の場合は Z^+ から、負の場合は Z^- からそれぞれ出力される。

$$Z^+ = Z, \quad Z^- = 0 \quad (Z \geq 0 \text{ のとき})$$

$$Z^+ = 0, \quad Z^- = -Z \quad (Z \leq 0 \text{ のとき})$$

ここで、

$$Z^+ = \sum_{i=1}^m z_i^+ = \sum_{i=1}^m g(x_i^+ + y_i^+ - x_i^- - y_i^-) \\ z_i^+ \in \{0, 1\} \quad (i=1, \dots, m) \quad (2)$$

$$Z^- = \sum_{i=1}^m z_i^- = \sum_{i=1}^m g(x_i^- + y_i^- - x_i^+ - y_i^+) \\ z_i^- \in \{0, 1\} \quad (i=1, \dots, m)$$

但し、 $g(\alpha)$ は以下のように定義している。

$$g(\alpha) = \alpha \quad (\alpha \geq 0 \text{ のとき})$$

$$g(\alpha) = 0 \quad (\alpha \leq 0 \text{ のとき})$$

ロバストフォールトトレラント加算器では、それぞれ $2m$ ビットからなる二つの入力データから $2m$ ビットに圧縮した出力をつくる必要がある。これを容易にするために、入力データに関して以下のような制限を設けることにする。

$$\begin{cases} x_1^+ \geq x_2^+ \geq \dots \geq x_m^+ & (X \geq 0 \text{ のとき}) \\ x_1^- = x_2^- = \dots = x_m^- & \\ x_1^+ = x_2^+ = \dots = x_m^+ & (X \leq 0 \text{ のとき}) \\ x_1^- \geq x_2^- \geq \dots \geq x_m^- & \end{cases} \quad (3)$$

すなわち、正負ともに m ビットのデータを降順に並べることとする。Y, Zについても同様の制限を設ける。

出力Zにおける正と負の出力の両方に1が存在すると引き続く演算次第では加算器の出力桁数で表現できないオーバーフローが生じる可能性がある。これを避けるため、正負の入力に1

が同時に存在すれば、これを2個の0に変換している。加算結果はこのようにして得られるビット列を降順に並べることにより求められ、ソーティングに帰着できることを示している。

図2に示すロバストフォールトトレラント加算器は図3に示すようなコンパレータにより構成できる。コンパレータの入出力関係は以下の式ようになる。

$$x^+ + (-x^-) + y^+ + (-y^-) = z_0^+ + (-z_0^-) + z_0^+ + (-z_0^-) \quad (4) \\ z_0^+ \geq z_0^-, \quad z_0^- \geq z_0^+$$

ここで、演算子+は算術和を表す。コンパレータは、正と負のそれぞれの出力から2ビットを降順に並べる機能を有している。従って、コンパレータを基本ブロックとしてソーティング回路を構成することができる。本稿では、降順に並べられた入力による加算が、中間出力においてバイトニック列に並べることができることに着目して、バイトニックソーティング回路を用いた加算器の構成法を提案している。加算器は正負の入力系列長 $2m$ ビットからなる二つの入力と、 $2m$ ビットの出力を有している。図2において、実線で表した部分が加算器の構成を示し、バイトニックソーティング回路そのものより少ないコンパレータ数で構成できる。

一般に、正と負それぞれ系列長 m をもつロバストフォールトトレラント加算器は、以下に示すコンパレータ数 $S(m)$ を必要とする。

$$S(m) = 2m + (m/2) \log_2 m \quad (5)$$

また、動作遅延に影響する段数 $T(m)$ は以下の式で与えられる。

$$T(m) = 2 + \log_2 m \quad (6)$$

2.2 ロバストフォールトトレランス

初めに、加算器のコンパレータ内部のゲートの入出力にフォールトが発生し、加算結果が正

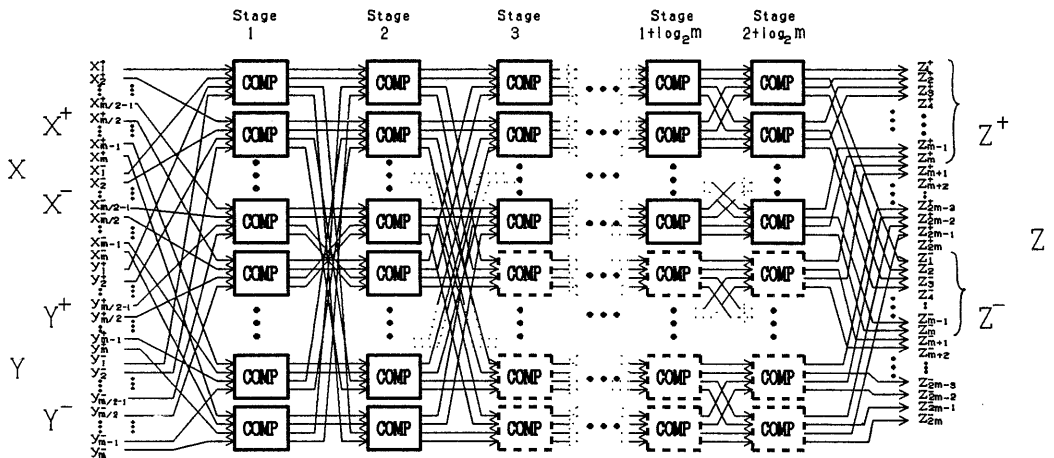
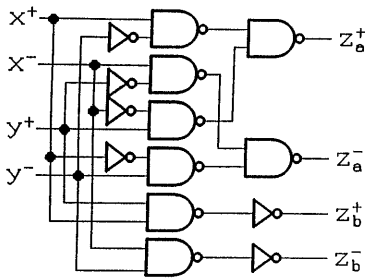


図2 ロバストフォールトトレラント加算器の構成



(a) 回路



(b) 記号

図3 コンパレータ

常時と比べて最大 ε の偏差を生じる加算器を、最大偏差 ε のロバストフォールトトレラント加算器と呼ぶことにする。

〔性質1〕 コンパレータで構成される加算器において、任意のゲートの入出力に故障が発生しても最大偏差1のロバストフォールトトレランスが満足される。

証明： 表1は図2のコンパレータの入出力関係を示している。この表から、入力 x または y にフォールトが発生すると、式(4)から、出力では最大偏差1となる。加算器は図1からコンパレータで構成され、任意のコンパレータの出力は次段の任意のコンパレータの入力と1対1に対応している。どの段においても数値情報は2線式分散的符号で表されているのでフォールトの発生により生じた偏差が最終出力でも現れるだけで、ロバストフォールトトレランスが満足される。(証明終り)

一般に、任意のゲートの入出力に t 回のフォールトが発生すると、出力の正常値からの最大偏差は t となる。

3. ロバストフォールトトレラント乗算器

3.1 設計法

デジタル制御システムにおいては、乗算器も重要な演算回路であり、ここでは2線式分散的符号表現に基づく、ロバストフォールトトレラント定係数乗算器の構成法を提案している。ロバストフォールトトレランスの観点から乗算係数は1以下に限定しており、1を超える乗算は加算を繰り返すことにより実現できると考えられる。

表1 コンパレータの入出力関係

(a) z_a^+

x^+x^- \ y^+y^-	00	01	11	10
00	0	0	1	1
01	0	0	0	0
11	1	0	0	1
10	1	0	1	1

(b) z_a^-

x^+x^- \ y^+y^-	00	01	11	10
00	0	1	1	0
01	1	1	1	0
11	1	1	0	0
10	0	0	0	0

(c) z_b^+

x^+x^- \ y^+y^-	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	1

(d) z_b^-

x^+x^- \ y^+y^-	00	01	11	10
00	0	0	0	0
01	0	1	0	0
11	0	0	0	0
10	0	0	0	0

乗算係数 A を式(7)のように表す。ここで、 m は系列長である。

$$A = n/m \quad (\text{但し、} n < m) \quad (7)$$

被乗数 X に対して乗算結果 Y は次の式で与えられる。

$$\begin{aligned} Y^+ &= Y, \quad Y^- = 0 && (X \geq 0 \text{ のとき}) \\ Y^+ &= 0, \quad Y^- = -X && (X \leq 0 \text{ のとき}) \end{aligned}$$

ここで、

$$\begin{cases} Y^+ = A \cdot X^+ = n/m \cdot X^+ \\ = (n x_1^+ + n x_2^+ + \dots + n x_m^+) \cdot 1/m \\ Y^- = A \cdot X^- = n/m \cdot X^- \\ = (n x_1^- + n x_2^- + \dots + n x_m^-) \cdot 1/m \end{cases} \quad (8)$$

加算器の場合と同様、 X と Y は正負の系列長 m のそれぞれ降順にソートされた入力データとし、便宜上 m は2のべき乗とする。初めに、 n が1の場合、乗算結果 Y は X を 2^1 で割ったときの商に相当する。ここで、上述したANDゲートは入力値の半分、またはほぼ半分を出力する機能を有しているため、乗算係数 $1/m$ の乗算器は図4に示す k 段の木構造AND回路で構成できる。次に、 n が1より大きいとき x_i ($i=1, 2, \dots, m$) は n の個数だけANDゲートの入力として分岐される。その結果、ロバストフォールトトレラント乗算器は図5に示すように n 個のサブモジュールで構成される。

一般に、乗算係数 n/m をもつ乗算器の構成に必要なANDゲート数は式(9)で与えられる。

$$S(m, n) = 2n(m-1) \quad (9)$$

また、乗算における遅延を決定するANDゲートの段数は式(10)で与えられる。

$$T(m) = \log_2 m \quad (10)$$

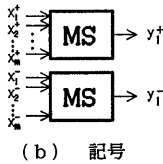
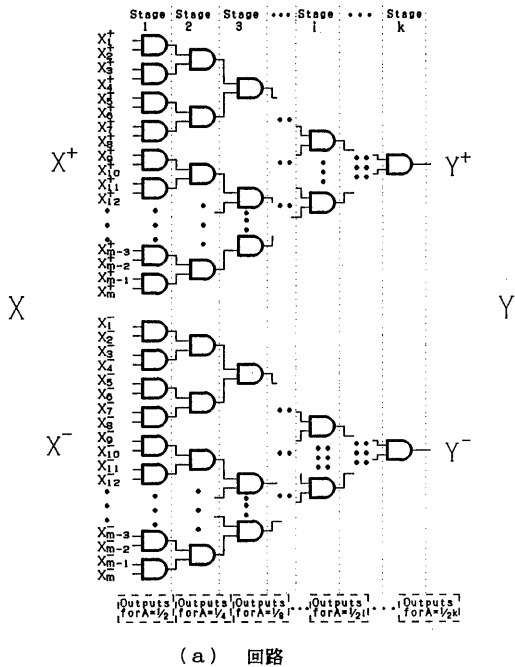


図4 ロバストフォールトトレラント乗算器 (A=1/m)

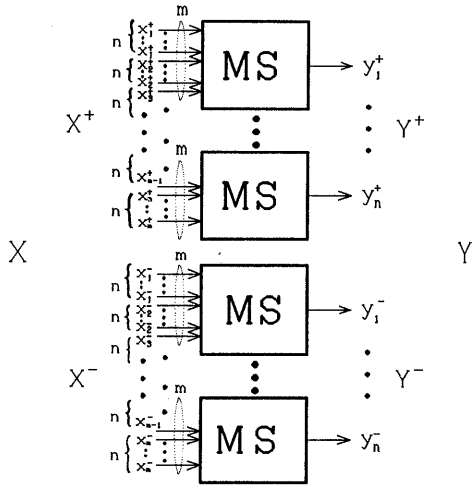


図5 ロバストフォールトトレラント乗算器 (A=n/m)

3. 2 ロバストフォールトトレランス

初めに、乗算係数 2^{-i} をもつ乗算器のロバストフォールトトレランスを検討する。

[性質2] 図4に示すように、乗算器はANDゲートから構成されているものとする。乗算係数 A が 2^{-i} ($i=1, 2, \dots, k$) のとき、任意のゲートの入出力におけるフォールトに対して出力値の正常値からの偏差は高々1である。証明: 図6は乗算器の各ステージにおける入出力関係を表している。乗算器は正と負の入力に対して同様の回路構成となっているので、ここでは正の入力における回路のロバストフォールトトレランスを考えることにする。ステージ $i-1$ からの出力 Q_{i-1}^+ とステージ i からの出力 Q_i^+ との関係は式(11)で表すことができる。

$$Q_{i-1}^+ = Q_i^+ \cdot 2 + R_i^+ \quad (11)$$

(但し、 $0 \leq R_i^+ \leq 1$)

この式で、 Q_i^+ と R_i^+ は Q_{i-1}^+ を2で割ったときの商と剰余にそれぞれ相当する。本乗算においてはこの商を乗算結果としている。式(11)はまた、次式のように表すことができる。

$$0 \leq Q_{i-1}^+ - Q_i^+ \cdot 2 \leq 1 \quad (12)$$

ステージ $i-1$ の任意のゲートの出力にフォールトが発生した場合、ステージ i の出力への影響を次の2つの場合に分けて考える。

(1) $Q_{i-1}^+ - Q_i^+ \cdot 2 = 0$ のとき

正常時は Q_{i-1}^+ は偶数、 R_i^+ は0である。

(i) Q_{i-1}^+ が $Q_{i-1}^+ + 1$ に誤っても、 Q_i^+ は同じであるから偏差は0である。ただし、 R_i^+ は0から1に変化する。

(ii) Q_{i-1}^+ が $Q_{i-1}^+ - 1$ に誤ると、 Q_i^+ と R_i^+ はそれぞれ $Q_{i-1}^+ - 1$ と1に変化する。従って、偏差は1となる。

(2) $Q_{i-1}^+ - Q_i^+ \cdot 2 = 1$ のとき

正常時は Q_{i-1}^+ は奇数、 R_i^+ は1である。

(i) Q_{i-1}^+ が $Q_{i-1}^+ + 1$ に誤ると、 Q_i^+ と R_i^+ がそれぞれ $Q_{i-1}^+ + 1$ と0に変化する場合がある。従って、最大偏差は1となる。

(ii) Q_{i-1}^+ が $Q_{i-1}^+ - 1$ に誤ると、 Q_i^+ は $Q_{i-1}^+ - 1$ となる場合がある。従って、最大偏差は1となる。

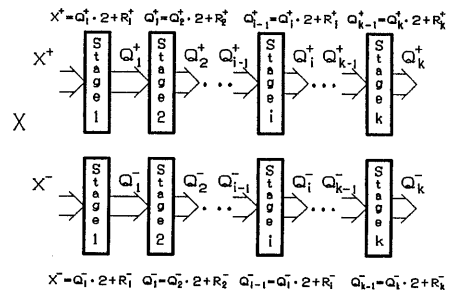


図6 ステージ間の入出力関係

上記の性質はすべてのステージについて成り立つので、次のステージ以降での出力の影響は高々1となる。一方、最終ステージkのゲートの出力にフォールトが発生し、 Q_k が $Q_k \pm 1$ に変化すると、偏差1となる。以上のことから、最大偏差1のロバストフォールトトレランスが満足される。(証明終り)

次に、乗算係数が 2^{-1} 以外をもつ乗算器のロバストフォールトトレランスを考える。

[性質3] 図5に示す乗算器において、任意のゲートの入出力にフォールトが発生しても最大偏差2のロバストフォールトトレランスが保証される。

証明: 図7に示すようにnはmより小であるので、入力 x_i でのフォールトは高々2つの乗算サブモジュールの出力に影響を及ぼすだけである。従って、フォールトが発生したときの出力値と正常値との偏差は高々2となり、ロバストフォールトトレランスが満足される。

(証明終り)

乗算器の構成を単純化することは、チップ面積や遅延時間の観点から重要である。図8は乗算係数 $3/8$ をもつ乗算器を単純化したものである。

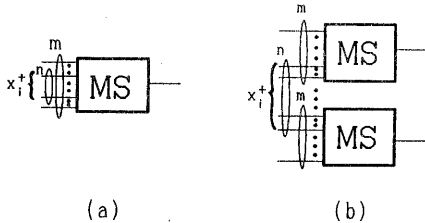


図7 フォールトの乗算サブモジュール出力への影響

4. 性能評価

図9(a)に $2\mu\text{m}$ CMOS設計ルールに基づく32ビットのオペランドをもつロバストフォールトトレラント加算器のレイアウトを示す。比較のため、同じ設計ルールに基づく等価な2進数に基づく加算器を図9(b)に示す。表2は両者の加算器の性能評価を示している。一般に、ロバストフォールトトレラント加算器は2進数に基づく加算器よりも冗長性を有しているという点から、非常に大きなチップ面積を必要とする。しかし、遅延時間についてはほとんど差がない結果となった。

図10は16ビットロバストフォールトトレラント乗算器とそれと等価な配列形乗算器の2ミクロンCMOS設計ルールに基づくレイアウトを示している。表3から一般の配列形乗算器と比較してチップ面積、遅延時間の点からもロ

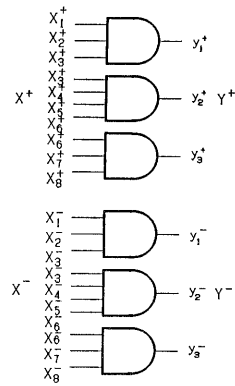


図8 単純化された乗算器の構成 ($A=3/8$)



(a) 32ビット ロバストフォールトトレラント加算器



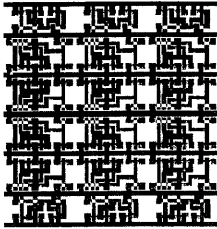
(b) 5ビット 桁上げ伝搬加算器

図9 加算器のレイアウト

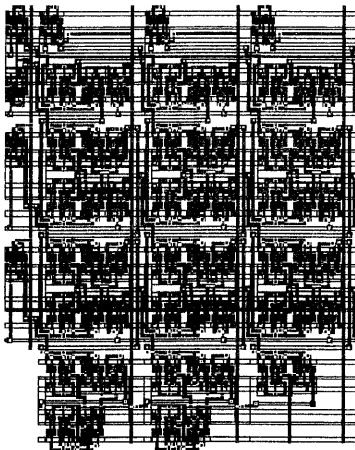
表2 加算器の性能評価

	Robust-fault-tolerant two-rail adder	5-bit ripple carry adder
Area [mm ²]	4.51	0.059
Delay time [ns]	7.0	7.25

バスタフォールトトレラント乗算器が有利な結果が得られた。但し、ロバストフォールトトレラント乗算器の乗算係数は固定なのに対し、配列形乗算器は任意の乗算係数が設定可能である。



(a) ロバストフォールトトレラント乗算器 (m=9/16)



(b) 4×4ビット配列形乗算器

図10 乗算器のレイアウト

表3 乗算器の性能評価

	Robust-fault-tolerant multiplier*	4x4 bit array multiplier
Area[mm ²]	0.09	0.26
Delay time [ns]	1.0	13.1

(* multiplier coefficient: 9/16)

5. むすび

高安全デジタルシステムを設計するため、2線式分散的符号表現に基づくロバストフォールトトレラント演算回路を提案した。ロバストフォールトトレランスは、たとえ複数個のフォ

ールトが発生しても、出力が正常値から大きくずれないことによりシステムが安全な動作を維持できるという点で重要である。これは、提案した演算回路においては、通常のフォールトトレラントシステムで用いられている多数決回路のようなハードコアが存在せず、回路全体で分散化された冗長性を有しているためである。

ロバストフォールトトレラント演算回路における遅延時間は、2進重み数に基づく演算回路と比較して、同程度であることがわかった。このようなロバストフォールトトレラント演算回路は、特に安全が重視される実時間制御システムにおいては有用であり、今後、128桁程度のロバストフォールトトレラント演算回路や同様の性質を有するメモリ、制御回路などを含めた1チップマイクロプロセッサの開発を検討中である。

文 献

- (1) 亀山充隆、樋口龍雄: "マイクロコンピュータシステムの高信頼化", 計測と制御, 24, 4, 319/324(1985).
- (2) 鹿股昭雄、樋口龍雄: "故障注入機構を有するフォールトトレラントシステムの信頼度評価システム", 計測自動制御学会論文集, 18, 6, 571/575(1982).
- (3) 向殿政男編: "フォールト・トレラント・コンピューティング", 丸善株式会社, 200/233(1989).
- (4) Katsuji AKITA, Hideo NAKAMURA: "SAFE-TY AND FAULT-TOLERANCE IN COMPUTER-CONTROLLED RAILWAY SIGNALLING SYSTEMS," (A. Avizienis, J.C. Laprie(eds.)), Dependable Computing for Critical Applications, 107/131(1991)
- (5) 当麻喜弘編著: "フォールトトレラントシステム論", 電子情報通信学会, 236/253(1991).
- (6) Masayoshi SAKAI, Masakazu KATO and Koichi FUTSUHARA: "Application of Fail-Safe Multiple-Valued Logic to Control of Power Press", Proc. of 22nd International Symp. on MVL, IEEE Comp.Society, (May 1992).
- (7) 春日健、亀山充隆、樋口龍雄: "分散的符号化に基づくフォールトトレラント演算回路の構成とその評価", 電子情報通信学会論文集(D-I), J72-D-I, 6, 516/525(1989).
- (8) 春日健、亀山充隆、樋口龍雄: "ロバストフォールトトレラント乗算器の構

- 成”，電子情報通信学会論文集(D-I),
J73-D-I, 2, 141/147(1990).
- (9) 春日健、龜山充隆、樋口龍雄：“ロバ
ストフォールトトレラント並列演算回
路の構成”，計測自動制御学会論文集、
28, 4, 528/535(1992).
- (10) 麻生英樹：“分散的情報表現による
情報処理”，数理科学, 289, 7, 60/64
(1987).
- (11) K. E. Batcher, "Sorting networks
and their applications", AFIPS
SJCC, 32, pp.307-314,(1968).