計算機アーキテクチャ　98－14
設　計　自　動　化　65－14
(1993. 1. 22)

計算機工学一貫教育用ＤＬＸ風マイクロプロセッサの開発構想

諸富 聡†　　村上 和彰　　安浦 寛人
九州大学 大学院総合理工学研究科 情報システム学専攻
〒816 春日市春日公園6-1
†: 九州大学 工学部 情報工学科
E-mail: {morotomi, murakami, yasuura}@is.kyushu-u.ac.jp

あらまし

「ソフトウェアから，計算機アーキテクチャ，論理回路設計，集積回路設計・製造に至る**計算機工学一貫教育**」用マイクロプロセッサ開発プロジェクトの開発構想を述べている．アーキテクチャとしては，「J. L. Hennessy and D. A. Patterson: *Computer Architecture: A Quantitative Approach*」の中で教材として用いられている *DLX* アーキテクチャを採用している．上記文献で未定義のアーキテクチャ仕様を与えるとともに，現在開発中のプロトタイプの仕様（特に，命令パイプラインと割込み）および設計状況を報告している．

和文キーワード：教育用マイクロプロセッサ，DLX，RISC，命令セット・アーキテクチャ，パイプライン処理，割込み

Developing an Education-Purpose, DLX-Based Microprocessor for Computer Science Courses

Satoru MOROTOMI†　Kazuaki MURAKAMI　Hiroto YASUURA
Department of Information Systems
Interdisciplinary Graduate School of Engineering Sciences
Kyushu University
Kasuga-shi, Fukuoka 816 Japan
†: Department of Computer Science and Communication Engineering
Faculty of Engineering
Kyushu University
E-mail: {morotomi, murakami, yasuura}@is.kyushu-u.ac.jp

Abstract

This paper reports on the development project of the education-purpose microprocessor for computer science courses. The ISP architecture and the basic pipeline structure of this microprocessor is based on the DLX, which is used in J. L. Hennessy and D. A. Patterson: *Computer Architecture: A Quantitative Approach*. This paper gives some architectural specifications which are not defined in the literature, and then describes the pipeline design of the prototype.

英文 key word: education-purpose microprocessor, DLX, RISC, ISP architecture, pipelining, interrupt

ログラム制御とする，といった方法を採用する．

2.4 開発計画

本プロジェクトでは，以下のものを順次開発して行く予定である．

- **教育用マイクロプロセッサ・プロトタイプ**：本稿で述べる仕様に基づき，まずプロトタイプを設計・製作することで，そのハードウェア量，性能，製作コスト，等を把握する．なお，本プロトタイプは，次のプロダクトとは異なり，フィールド・プログラマビリティ（前節参照）の機能は備えない．
- **教育用マイクロプロセッサ・プロダクト**：上記プロトタイプの評価結果に基づき，フィールド・プログラマビリティの機能を備えたプロダクトを設計・製作する．実際に大学等の教育機関における教育用として，広く配布する．
- **システム・キット**：ソフトウェア演習向けに，システム・ボードおよびシステム・ソフトウェア（モニタ，アセンブラ，コンパイラ，等）を開発・配布する．
- **CAD ツール**：ハードウェア実験向けに，学生が設計した論理回路を本プロダクトにフィールド・プログラムするためのツールを開発・配布する．

3 アーキテクチャ仕様

DLX は，計算機アーキテクチャの教科書として米国で広く利用されている J. L. Hennessy and D. A. Patterson: *Computer Architecture: A Quantitative Approach*[6] の中で教材として用いられているアーキテクチャである．*DLX* は，今日のアーキテクチャの主流である RISC アーキテクチャに基づいており，RISC 型商用マイクロプロセッサの多くを平均化したようなアーキテクチャとなっている．

ただし，文献 [6] では，*DLX* の基本仕様を定義するにとどめており，実際にマイクロプロセッサを設計するために必要な細部の仕様が与えられていない．よって，本章では，これら未定義部分の仕様を独自に与えることにする．

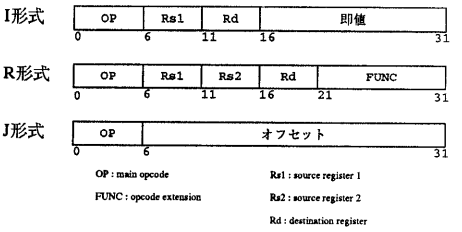

図 1: 命令形式

3.1 基本仕様

以下に，*DLX* の基本仕様（文献 [6] で定義済み）をまとめる．

- 基本語長：32 ビット．
- レジスタ・アーキテクチャ：32 個の 32 ビット汎用レジスタと 32 個の 32 ビット浮動小数点レジスタ（または，16 個の 64 ビット浮動小数点レジスタ）を持つ．さらに，制御系として，以下の特殊レジスタを有する．
  - プログラム・カウンタ（PC）
  - ステータス・レジスタ（SR）
  - 浮動小数点ステータス・レジスタ（FPSR）
  - 割込みアドレス・レジスタ（IAR）
- 命令形式：すべての命令は固定長かつ単一長．命令形式は，図 1 に示す 3 種類がある．3 アドレス形式（オペランド 1 op オペランド 2 → オペランド 3）で，演算はレジスター レジスタ演算およびレジスター即値演算のみが可能（ロード／ストア・アーキテクチャ）．
- 命令セット：データ転送，算術論理演算，分岐／ジャンプ，浮動小数点演算の 4 種類に分類される．
- メモリ・アドレッシング：ビッグ・エンディアン方式．アドレッシング・モードは，ベース相対および PC 相対（ジャンプ命令のみ）が可能．

3.2 独自決定仕様

以下に，文献 [6] で未定義のため，我々が独自に与えた仕様を示す．

表 1: オペコード一覧（OP フィールド）

上位＼下位	00	01	10	11
0000	LB	LH	LW	
0001	LBU	LHU		
0010	SB	SH	SW	
0011	LF	LD		
0100	SF	SD		
0101	ADDI	SUBI		
0110	ADDUI	SUBUI		
0111	ANDI	ORI	XORI	LHI
1000	SLLI	SRLI	SRAI	
1001	SLTI	SLEI	SEQI	
1010	SGTI	SGEI	SNEI	
1011	BEQZ	BNEZ		
1100	BFPT	BFPF		
1101	JR	JALR		
1110	R型DT	R型ALU	R型FP	
1111	J	JAL	TRAP	RFE

I形式

R形式

J形式

表 2: オペコード一覧（FUNC フィールド）

上位＼下位	000	001	010	011	100	101	110	111
0000	ADD	SUB	MULT	DIV	AND	OR	XOR	
0001	ADDU	SUBU	MULTU	DIVU				
0010	SLL	SRL	SRA					
0011	SLT	SGT	SLE	SGE	SEQ	SNE		
0100	ADDF	SUBF	MULTF	DIVF				
0101	ADDD	SUBD	MULTD	DIVD				
0110	CVTI2F	CVTI2D	CVTF2D					
0111	CVTF2I	CVTD2I	CVTD2F					
1000	LTF	GTF	LEF	GEF	EQF	NEF		
1001	LTD	GTD	LED	GED	EQD	NED		
1010	MOVF	MOVD						
1011	MOVI2FP	MOVFP2I						
1100	MOV1AR2I	MOVSR2I						
1101	MOVI2IAR	MOVI2SR						
1110								
1111								

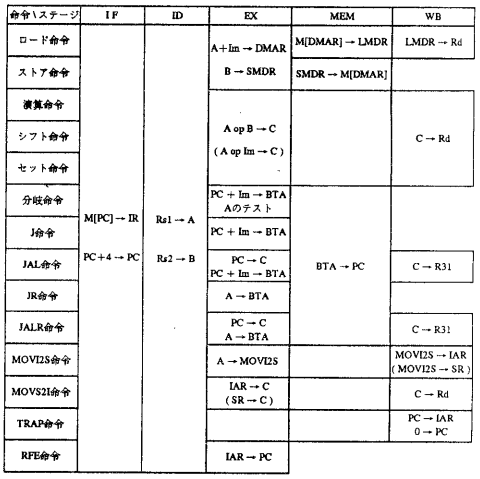

図 2: 命令パイプライン処理過程

- オペコード割当て：オペコードは，OP フィールド（6 ビット）および（R 形式の場合）FUNC フィールド（11 ビット）で指定される．表 1および表 2に，オペコードの割当て結果を示す．なお，FUNC フィールドは 11 ビット中，上位の 7 ビットしか用いていない．

- ステータス・レジスタ（SR）のフォーマット：SR は，以下のフィールドから構成される．

  - スーパバイザ・フラグ（S：ビット 12）：現在，ユーザ・モード（'0'）か，スーパバイザ・モード（'1'）か．
  - 旧スーパバイザ・フラグ（PS：ビット 13）：最も最近の割込み時点におけるスーパーバイザ・フラグ（S）のコピー．
  - 割込み許可フラグ（I：ビット 14）：現在，割込み可能モード（'0'）か，割込み禁止モード（'1'）か．
  - 旧割込み許可フラグ（PI：ビット 15）：最も最近の割込み時点における割込み許可フラグのコピー．
  - 割込みベクトル（ビット 28–31）：4.2 節参照．

- 割込み：4.2節参照．

4 プロトタイプ仕様

現在開発中のプロトタイプでは，回路規模等の制限により，浮動小数点関連命令および除算命令は実装しない．また，キャッシュ・メモリおよびアドレス変換バッファ（TLB）も外付けとしている．

以下，プロトタイプにおける命令パイプラインおよび割込みに関する仕様を述べる．

4.1 命令パイプライン

文献 [6] に従い，次の 5 ステージから成る命令パイプライン構成を採る．図 2に，各命令の命令パイプライン処理過程を示す．

① IF：命令フェッチ

② ID：命令デコード，および，レジスタ・フェッチ

③ EX：実行，および，実効アドレス生成

④ MEM：メモリ・アクセス

⑤ WB：書込み

*DLX*では，RAW（Read After Write）データ・ハザード，制御ハザード，および，構造ハザードが生じ得る．ただし，構造ハザードは，プロトタイプではマルチサイクル命令を実装していないので，生じ得ない．文献[6]に従い，RAWデータ・ハザードおよび制御ハザードに対して，以下のように対処する．

- **フォワーディング**：図3に示すように，後続3命令に対してフォワーディングを行う．
- **遅延ロード**：キャッシュがヒットした場合のロード命令による遅延は，1クロック・サイクルである．このとき，ロード遅延スロットが1個生じる．図3に示すように，当該ロード遅延スロットに位置する命令は，当該ロード結果をソース・オペランドとして使用できない．ロード遅延スロットより後の後続2命令に対して，ロード結果のフォワーディングが行われる．
- **遅延分岐**：分岐による遅延は3クロック・サイクルである．よって，分岐遅延スロットが3個生じる．図4に示すように，当該分岐遅延スロットに位置する命令は，分岐する／しないに関わらず必ず実行される．

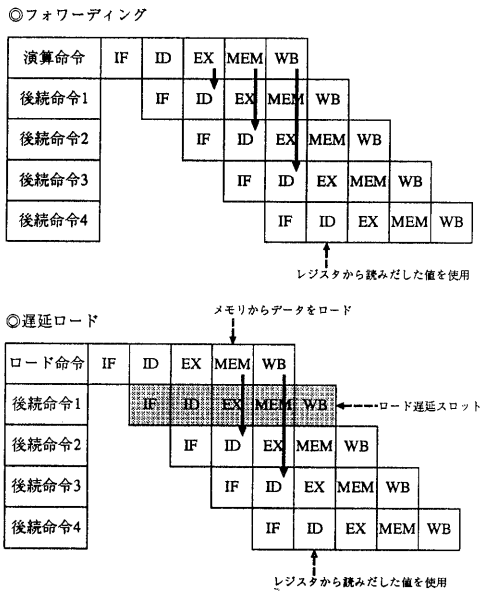

図 3: データ・ハザードへの対処

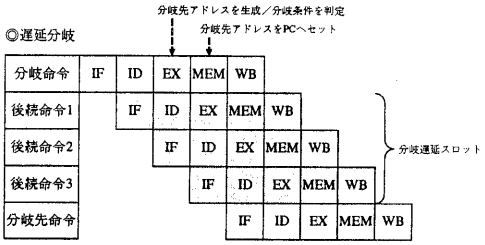

図 4: 制御ハザードへの対処

4.2 割込み

4.2.1 割込みイベント

プロトタイプでは，以下の割込みイベントを実装する．表3に，割込みイベントの優先順位および割込みベクトルを示す．

- 内部割込み：
  - 命令ミスアラインメント：命令フェッチの際の命令アドレスの非整列化．
  - 命令ページ・フォールト：命令フェッチの際のページ・フォールト．
  - 命令メモリ保護違反：命令フェッチの際の不当な領域へのアクセス．
  - 未定義命令：定義／実装されていない命令の使用．
  - 特権命令例外：ユーザ・モードでの特権命令の使用．
  - トラップ命令：トラップ命令の使用．
  - 算術割込み：加算／乗算命令におけるオーバーフロー．
  - データ・ミスアラインメント：データ・アクセスの際のデータ・アドレスの非整列化．
  - データ・ページ・フォールト：データ・アクセスの際のページ・フォールト．
  - データ・メモリ保護違反：データ・アクセスの際の不当な領域へのアクセス．

表 3: 割込みイベント一覧

優先順位	割込みベクトル	割込みイベント	同期／非同期
1	1111	リセット	非同期
2	1110	命令ミスアラインメント	同期
3	1101	命令ページ・フォルト	同期
4	1100	命令メモリ保護違反	同期
5	1011	未定義命令	同期
6	1010	特権命令例外	同期
7	1001	トラップ命令	同期
8	1000	算術割込み	同期
9	0111	データ・ミスアラインメント	同期
10	0110	データ・ページ・フォルト	同期
11	0101	データ・メモリ保護違反	同期
12	0100	I/Oリクエスト	非同期
13	0011		
14	0010		
15	0001		
16	0000	割込みなし	

- 外部割込み：
  - リセット：リセットキーが押された.
  - I/O リクエスト：入出力装置からの要求.

4.2.2 割込み処理

プロトタイプでは,「正確な割込み（precise interrupt）」を保証すると同時に，割込み処理そのものを次のように簡単化している.

① **割込みイベント検出**：図5に示すように，命令パイプラインの各ステージでは，当該ステージで起こり得る内部割込みイベントの有無をチェックする．もし，内部割込みイベントが生じていれば，その旨をパイプライン・タグ（命令とともにパイプラインを流れる制御情報）に記録する．毎クロック・サイクル，MEM ステージを終了した命令のパイプライン・タグを調べ，当該命令が何らかの内部割込みイベントを起こしたか否かをチェックする．もし，内部割込みイベントが起きているか，あるいは，外部割込みイベントがペンディングしていれば，次のクロック・サイクルは次のパイプライン・フラッシュ・ステップへと進む.

② **パイプライン・フラッシュ**：複数の割込みイベントが存在する場合，その優先順位に従ってどれか 1 個を選択する．そして，以下のように，パイプライン・フラッシュを行う.

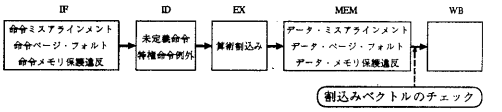

図 5: 内部割込みイベント検出

- 割込み要因が内部割込みイベントの場合，当該内部割込みを起こした命令を含めてパイプライン内の全命令を無効化する.
- 割込み要因が外部割込みイベントの場合，WB ステージの命令を除くパイプライン内の全命令を無効化する.

③ **割込み発生**：

(a) 割込みアドレス・レジスタ（IAR）に，内部割込みを起こした命令，あるいは，（外部割込みで）割り込まれた命令の命令アドレスを格納する.

(b) ステータス・レジスタ（SR）内のスーパバイザ・フラグおよび割込み許可フラグを退避する（PS ← S, PI ← I）.

(c) ステータス・レジスタ（SR）内に割込みベクトルを設定する.

(d) ステータス・レジスタ（SR）内のスーパバイザ・フラグおよび割込み許可フラグをそれぞれ '1'（S ← 1, I ← 1. すなわち，スーパバイザ・モード，かつ，割込み禁止モード）に設定する.

(e) プログラム・カウンタ（PC）にアドレス '0' を設定して，命令フェッチを行う.

④ **割込みからの復帰**：割込みからの復帰には，リターン（RFE）命令を用いる．RFE 命令は，ステータス・レジスタ（SR）内のスーパバイザ・フラグおよび割込み許可フラグを復活させ（S ← PS, I ← PI），割込みアドレス・レジスタ（IAR）の内容をプログラム・カウンタに設定する（PC ← IAR）.

4.3 設計状況

以上述べた仕様に従って，プロトタイプを設計した．設計には，YHP システム技術研究所が開発した ASIC Design System (Tsutsuji) を用いた.

表 4: ハードウェア量

回路名	回路規模(ゲート)
IFステージ	4039
IDステージ	23696 (内、レジスタ・ファイル16993)
EXステージ	20645 (内、ALU18572)
MEMステージ	3862
WBステージ	3099
割込みコントローラ	557

本システムにより，プロトタイプのハードウェア量および動作周波数を算出した結果，それぞれ46351ゲート（表4参照）および6.23MHzとなった．ただし，現在，動作検証とそれに伴う回路修正を行っており，今後，回路規模や動作周波数に多少のずれが生じるものと思われる．

5 おわりに

以上，現在進行中の「ソフトウェアから，計算機アーキテクチャ，論理回路設計，集積回路設計・製造に至る**計算機工学一貫教育**」用マイクロプロセッサ開発プロジェクトの開発方針，アーキテクチャ仕様，プロトタイプ仕様について述べた．今後，プロトタイプの評価結果に基づいて，実際の教育に用いるプロダクトの設計に移る予定である．本プロダクトをより良いものとするため，皆様からのご意見，ご指導が頂ければ幸いである．また，集積回路設計・製造の教育に関しては，大学だけの力ではその実現が非常に困難である．企業等の皆様にぜひご協力頂きたいと心から願っている次第である．

謝辞

ASIC Design System (Tsutsuji) をご提供頂いたYHPシステム技術研究所に深く感謝致します．日頃ご討論頂く九州大学 大学院総合理工学研究科 安浦研究室の諸氏に感謝致します．

なお，本研究は一部，文部省科学研究費補助金試験研究 (B)「計算機工学・集積回路工学教育研究用マイクロプロセッサの開発」(04555079) による．

参考文献

[1] 江刺正喜, “大学での LSI 製作と教育,” 電子情報通信学会誌, vol.68, no.1, pp.50–52, 1985 年 1 月.

[2] 神原, 安浦, “教育用マイクロコンピュータ KUE-CHIP の開発とその応用 — 集積回路技術を利用した情報工学実験 —,” 情報処理, vol.33, no.2, pp.118–127, 1992 年 2 月.

[3] 庄野克房, “大学における LSI 設計教育 — 2 ビットマイクロコンピュータ —,” 電子情報通信学会誌, vol.75, no.5, pp.530–533, 1992 年 5 月.

[4] 越智, 澤田, 岡田, 上嶋, 神原, 濱口, 安浦, “計算機工学・集積回路工学教育用マイクロプロセッサ KUE-CHIP2,” 信学技報, CPSY92–46, ICD92–86, 1992 年 10 月.

[5] 末吉, 田中, 柴村, “再構成可能な論理 LSI を用いた教育用マイクロプロセッサ: KITE,” 信学技報, CPSY92–47, ICD92–87, 1992 年 10 月.

[6] Hennessy, J. L. and Patterson, D. A., *Computer Architecture: A Quantitative Approach*, Morgan Kaufmann Publishers, Inc., 1990;
富田, 村上, 新實 (訳), ヘネシー&パターソン コンピュータ・アーキテクチャ— 設計・実現・評価の定量的アプローチ —, 日経 BP 社, 1992.