

LSI電源・グランドネットに対する平面トポロジカル配線手法

田中 博 粟島 亨 佐藤 政生 大附 辰夫

早稲田大学 理工学部
〒169 東京都新宿区大久保3-4-1

LSIの電源・グランドネット配線の目的は電氣的制約を満たしつつ最小面積の配線を実現することである。通常、電源配線は配線径路決定と配線幅決定の2つの処理段階に分割される。後者は数理最適化問題として定式化する解法が確立されている。前者は電源ネットがメタル層でのみ配線されることから、その平面性に重点を置いており、占有面積の考慮は副次的になされるにすぎない。本稿では、面積最小化を陽に考慮した電源・グランドネットの平面トポロジカル配線手法を提案する。本手法はラバーバンド逐次配線手法に基づくもので、配線面積に注目した動的計画法によって、モジュールを点とみなした場合に最適解の導出が保証される配線順序を決定する。本手法を計算機上に実装し、例題に対して適用した結果について報告する。

Planar topological routing for power and ground nets in LSI circuits

Hiroshi TANAKA, Toru AWASHIMA, Masao SATO, and Tatsuo OHTSUKI

School of Science and Engineering, Waseda University
3-4-1 Ohkubo, Shinjuku-ku, Tokyo 169, Japan

In this paper, a planar topological routing algorithm for power and ground nets in LSI circuits which minimizes routing area is proposed. Routing area minimization is really important while conventional routing algorithms mainly focus on planarity of routing results. The proposed algorithm consists of two phases. First, routing order guaranteeing minimum routing area is determined based on dynamic programming. Second, power and ground nets are routed topologically in the determined order. The algorithm is implemented and applied to several examples.

1. まえがき

LSIの電源・グランドネットは、電気的制約が厳しいため、主に、電気的特性の優れたメタル層で配線される。メタル1層を仮定した場合だけでなく、メタル多層を仮定した場合にも安定性という点から1つの電源専用層にできるだけ平面埋め込みすることが望まれる。従って、電源配線は平面配線問題として扱われるのが一般的である。また、電源配線は流れる電流量が多大であり、電圧降下を低く抑える必要があるため、配線幅をかなり大きくしなければならず、目的は電気的制約を満たす占有面積最小の配線を実現することである。通常、電源配線はネットの概略経路を求める配線経路決定と、概略経路が与えられたときに配線に面積最小の幅を割り付ける配線幅決定の2つの段階に分けられる。本稿でもこの方針を採用する。後者は数理最適化問題として定式化する解法が確立されている^{[1][4]}ので、配線経路決定に焦点を当てて議論を進める。

現在提案されている配線経路決定には、モジュールの端子位置に制限を課す手法^{[5][6]}や逐次配線に基づく手法^{[7][8][9]}、一括配線に基づく手法^{[10][11]}、分割統治に基づく手法^[12]がある。しかし、これらの手法は電源ネットの平面性のみ注目して概略経路を決定するもので、占有面積の考慮は副次的になされるか、もしくは全くなされていない。しかし、配線経路決定においても面積最小化を陽に考慮するのが望ましい。

一方、電源・グランドネットの配線トポロジーについてループのないツリー・トポロジーとループを含むグラフ・トポロジーのどちらが占有面積最小化という意味で最適なトポロジーであるか議論されてきた。しかし、最近、並走する配線間に生じる無効領域を考慮しない場合、ピンとパッドの直接接続でしかも電源・グランドのパッドがそれぞれ1個であるようなツリー・トポロジーが最適であることが証明されるに至った^[13]。

以上のような背景のもと、我々は占有面積最小化を陽に考慮した電源・グランドネットの逐次的な平面トポロジカル配線手法を提案する。これは、モジュールが大きさを持たない電源配線問題に対して面積最小化を保証する配線順序を求め、その配線順序に従ってラバーバンド表現^{[14][15]}に基づいた逐次配線^{[6][17]}を行うという2つの段階から構成される。

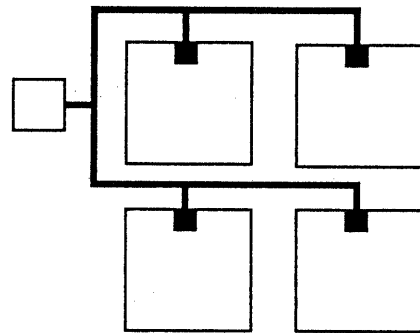
以下では、まず扱う電源・グランドネットの配線トポロジーについて説明する。次に、モジュールを点とみなした場合の問題に対して占有面積最小化を保証する電源・グランドネットの最適な平面トポロジカル配線手法を提案し、計算機実験の結果を示す。さらに、上記の最適アルゴリズムに基づいた発見的な手法を提案し、計算機による実験結果について報告する。

2. 電源グランド・ネットの配線トポロジー

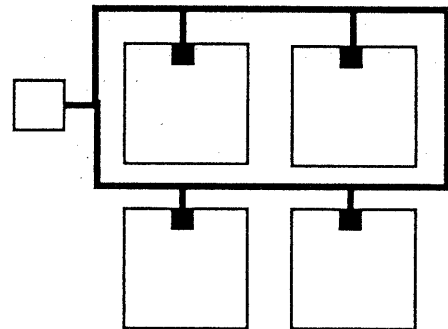
本節では、占有面積最小化の意味で最適な電源・グランドネットの配線トポロジー、及び本稿で扱う問題を定

義する。

電源・グランドネットの配線トポロジーについてループのないツリー・トポロジーとループを含むグラフ・トポロジーのどちらのトポロジーが占有面積最小化という意味で最適であるかが議論されてきた(図1参照)。経験的にはツリー・トポロジーよりもグラフ・トポロジーが^[2]、またツリー・トポロジーに関してはピンとパッドの直接接続が最適である^[3]とされていた。しかし、配線同士のアドスペースを無視し、電気的制約として後述するメタル・マイグレーション制約と電圧降下制約を仮定した場合、面積の増加なしに次の変換ができることが証明された^[13]。それは、任意のグラフ・トポロジーがツリー・トポロジーに変換できること、任意のツリー・トポロジーがピンとパッドの直接接続のツリー・トポロジーに変換できること、及び複数の等電位パッドを持つ複数のツリー・トポロジーが単一パッドのツリー・トポロジーに変換できることである。つまり、ピンとパッドの直接接続でしかも電源・グランドのパッドがそれぞれ1個であるようなツリー・トポロジーが占有面積最小の意味で最適である。



(a) ツリー・トポロジー



(b) グラフ・トポロジー

図1 配線トポロジー

そこで、本稿では電源・グランドネットの配線トポロジーとしてパッドとピンの直接接続のツリー・トポロジーを採用する。従って、パッドとピンを結ぶネットはそれぞれ独立に考えることができ、本稿で扱う問題は次のような2点間ネット群の平面配線問題に帰着できる。但し、矩形の配線領域を領域、パッドとピンを直接接続した2点間ネットを配線枝と呼び、その集合をBで表す。

電源・グランドネットの平面トポロジカル配線問題

領域の外周辺上に配置された2個のパッドP,Gと領域内にある全てのモジュール(その境界上に電源・グランドのピン pp_i, pg_i を持つ) m_1, m_2, \dots, m_k の各ピンとを平面上に交差なく(頂点や線分の共有は許して)トポロジカルに配線する。ここでいうトポロジカル配線とは、後述するラバーバンド表現により平面に配線径路を埋め込むことである。目的は、電気的制約を満たしながら配線占有面積を最小化することである。配線枝 b_i の配線長を l_{b_i} 、幅を w_{b_i} としたとき、配線枝 b_i の面積は w_{b_i} と l_{b_i} の積となるので、目的は次のようになる。

$$\text{minimize } \sum_{b_i \in B} \text{Area}(w_{b_i}, l_{b_i})$$

$$\text{Area}(w_{b_i}, l_{b_i}) = w_{b_i} l_{b_i}$$

subject to

$$\cdot I_{b_i} / w_{b_i} \leq \sigma \quad (\text{メタル・マイグレーション制約})$$

$$\cdot \rho I_{b_i} l_{b_i} / w_{b_i} \leq V_{\text{max}_{b_i}} \quad (\text{電圧降下制約})$$

ここで、 I_{b_i} [mA]は配線枝 b_i に流れる電流値、 w_{b_i} は b_i の配線幅、 σ [mA/ μ]は導体の許容最大電流密度、 ρ [Ω/\square]は導体の面抵抗率(以降簡単のため1と仮定する)、 $V_{\text{max}_{b_i}}$ [mV]は配線枝 b_i の許容最大電圧降下値である。

いま、各ピンに流れ込む電流値がすべて最大値(最悪評価値)を取っているものと仮定すると、上記の電気的制約を満たす範囲で面積を最小化する配線幅 w は、

$$\cdot w1_{b_i} = I_{b_i} / \sigma \quad (\text{メタル・マイグレーション制約})$$

$$\cdot w2_{b_i} = \rho I_{b_i} l_{b_i} / V_{\text{max}_{b_i}} \quad (\text{電圧降下制約})$$

$$w = \max(w1_{b_i}, w2_{b_i})$$

$$= \begin{cases} I_{b_i} / \sigma & (l_{b_i} \leq V_{\text{max}_{b_i}} / \rho \sigma) \\ \rho I_{b_i} l_{b_i} / V_{\text{max}_{b_i}} & (l_{b_i} > V_{\text{max}_{b_i}} / \rho \sigma) \end{cases}$$

となり、配線幅 w は配線長 l_{b_i} により一意に表される。このような幅 w は常に電気的制約を満たすので、上記の目的は配線長の関数で表現することができ、

$$\text{minimize } \sum_{b_i \in B} \text{Area}(l_{b_i})$$

$$\text{Area}(l_{b_i}) = \begin{cases} I_{\text{max}_{b_i}} l_{b_i} / \sigma & (l_{b_i} \leq V_{\text{max}_{b_i}} / \rho \sigma) \\ \rho I_{\text{max}_{b_i}} l_{b_i}^2 / V & (l_{b_i} > V_{\text{max}_{b_i}} / \rho \sigma) \end{cases}$$

となる。ここで、 $V_{\text{max}_{b_i}}, I_{\text{max}_{b_i}}$ は各々配線枝 b_i の電流が流れ込むピンの許容最大電圧降下値、最大要求電流値である。

3. 電源・グランドネットの平面トポロジカル配線

～モジュールが大きさを持たない場合の最適アルゴリズム～

前節の議論により、電源・グランドのパッドとピンを結ぶ各々の2点間ネットを独立に扱うことができる。そ

こで、各モジュール上の電源・グランドのネットをまとめて逐次的に配線することにより、電源・グランドネットの平面埋め込みは可能である。しかし、問題は平面性を満たすために生じた迂回による配線占有面積の増加量が、配線順序により変化することである。

本節では、この占有面積の増加量を正確に見積もるために、前節で定義した電源配線問題においてモジュールが大きさを持たない場合(以降これを抽象化問題と呼ぶ)について考える。この抽象化問題に対して占有面積最小化(以降これを最適化と呼ぶ)を保証する電源・グランドネットの平面トポロジカル配線手法を提案する。これは、後述するように、最適化を保証する配線順序(以降これを最適な配線順序と呼ぶ)が与えられたときに2点間ネット群の最適なトポロジーを生成する、ラバーバンド表現による逐次的な平面トポロジカル配線手法に基づくものである。この前段階として、動的計画法に基づいて最適な配線順序を求める。これは、あるモジュール m_i に注目したとき、配線順序としてその前となるモジュール m_k を列挙する。 m_k, m_i の順序で配線したときに、次にどのモジュールを配線すべきかを記憶し、これをすべてのモジュールに対して行うというものである。

次に、最適な配線順序を求める段階と逐次的な平面トポロジカル配線の段階の各々について説明する。

3.1. 占有面積最小化を保証する配線順序

電源・グランドの2つのパッドの位置関係については、対面する边上、隣接する边上、および同一边上の3つの場合がある。パッドが対面する边上に存在する場合は、図2からもわかるように最適な配線順序は自明である。

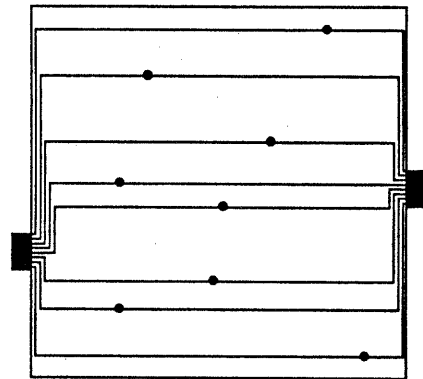


図2 パッドが対面する边上に存在する場合

そこでこれ以降、図3のように領域の左端と下端に電源パッドP, グランドパッドGが存在する場合に限定して考える。パッドが同一边上に存在する場合についても同様の議論が成り立つので、ここでは割愛する。

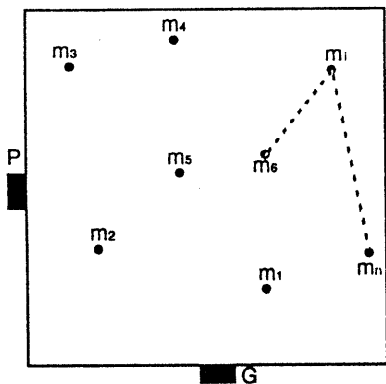
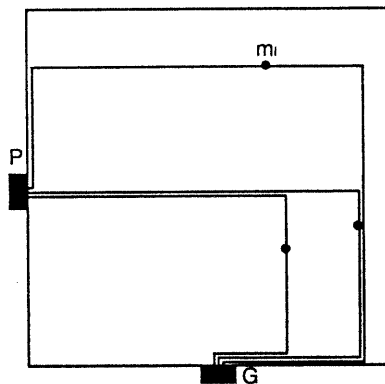


図3 パッドが隣接する边上に存在する場合



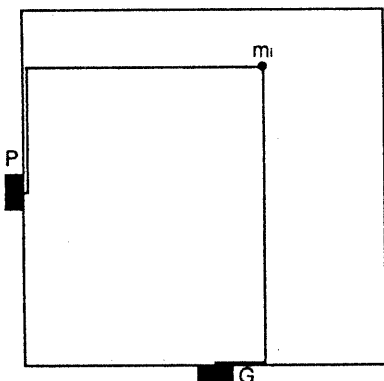
(b)モジュールが複数存在する場合
図4 モジュールネットの面積

まず、使用する語句を定義する。

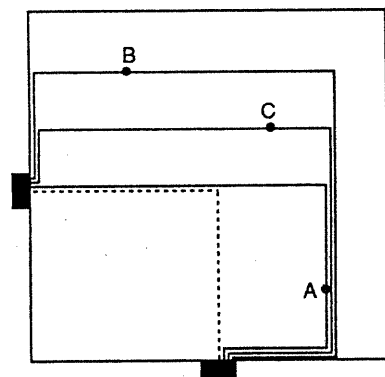
モジュール m_i 上の2つのピンに接続するネットをモジュールネット n_i と呼ぶ。図5(a)のような電源・グランドパッドP,Gとそのモジュールに接する長方形の外周の一部を部分長方形ジオメトリーと呼ぶ。モジュールネット n_i のジオメトリーとして部分長方形ジオメトリーを仮定してそのネットの配線面積を見積もり、そのジオメトリーを仮に与えることを、 n_i を仮想配線すると表現する。図4(a)のように各モジュール m_i が単独に存在する場合のモジュールネット n_i の面積を n_i の固有面積と呼ぶ。モジュールネット同士を比較するときは、左下端点に近いほど内側にあるといい、右上端点に近いほど外側にあるという。

複数のモジュールが存在する場合に、各モジュールネットを単独に仮想配線したとき、それらが交差なく実現できるならば、全モジュールネットの固有面積の総和が占有面積となる。しかし、通常は図4(b)のように他のモジュールネットにより迂回を強いられ、モジュールネットの面積は固有面積よりも大きくなる。つまり、各モジュールネットの固有面積の総和が全モジュールネットの占有面積の下限となる。そこで、この固有面積からの面積の増加量の総和を最小化することが目的となる。

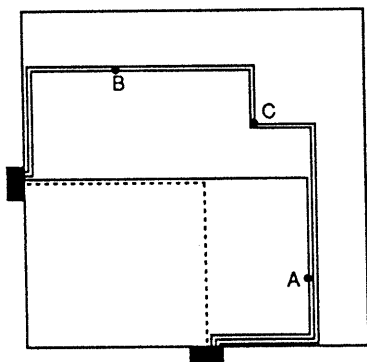
一方、抽象化問題に対する最適な2点間ネット群のトポロジーは部分長方形ジオメトリーにホモトピックに(トポロジーを保ったまま)変換できるという性質を持つ。これを次に示すが、この性質によりその部分長方形ジオメトリーにおける内側からの順序をそのトポロジーの配線順序と定義すると、その順序はトポロジーに対して一意に定まる。最適な2点間ネット群のトポロジーに対して、そのトポロジーにより定まる占有面積の下界値を持つように各ネットに最も外側のジオメトリーを与える(図5参照)。このとき、図5(b)の場合、モジュールネットBとCを入れ換えることにより占有面積が減少する。つまり、同図(b)の2点間ネット群のトポロジーは最適なものではないことがわかる。これより、最適なジオメトリーは同図(b)のような不必要な迂回がなく、同図(a)のように部分長方形ジオメトリーであるといえる。



(a)モジュールが単独に存在する場合



(a)長方形の境界の一部である場合
図5 ネットの形状



(b)長方形の境界の一部でない場合
図5 ネットの形状

逆に、次項で述べるが、我々の提案しているラバーバンド表現^{[14][15]}に基づいた逐次配線手法^{[16][17]}により、最適な配線順序が与えられたときに、最適なトポロジーを生成することができる。

以上のことから、最適な2点間ネット群のトポロジーを求めるためには、部分長方形ジオメトリを仮定して面積の増加量の総和を見積もることにより最適な配線順序を求め、その順序に従った逐次配線を行えばよいことがわかる。そこで本項では、最適な配線順序を求める方法を提案する。提案する方法の概要は次のようなものである。

部分長方形ジオメトリを仮定することにより、あるモジュール m_i に注目したとき m_i の前後に仮想配線され得る候補が制限される。提案する方法はこれを利用して、前の候補に対して次の候補の中でどれが最適な順序となるかを、 m_i 以降に仮想配線する全てのモジュールネットの各々の固有面積に対する増加量の総和を表すコストにより判断する。これを全モジュールのすべての前の候補について調べることで、最適な配線順序を求める。

領域をパッドの位置で図6のように分割すると、領域Iのモジュールは他の領域のモジュールとは独立に扱うことができる。これは、領域Iのモジュールネットはパッドが対面する辺上に存在する場合に帰結でき(図2参照)、この領域の内部にすべての径路が収まるので、他の領域のモジュールネットに迂回を強いることはないからである。そこでこれ以降、領域Iにモジュールがない場合について考察する。また、議論を簡単にするため x (あるいは y)座標が等しいモジュールはないものと仮定する。この仮定により一般性を失うことはない。

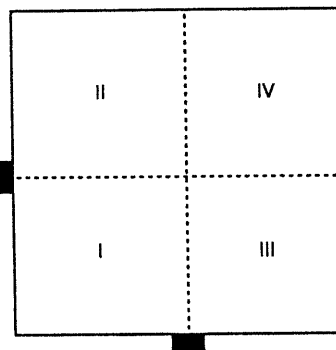


図6 パッドの位置による領域の分割

領域内に n 個のモジュール m_1, m_2, \dots, m_n が存在し、モジュール m_i の x, y 座標を各々 $x(m_i), y(m_i)$ 、電源パッドPの y 座標を y_{pad} 、グランドパッドGの x 座標を x_{pad} と表す。点 (x_{pad}, y_{pad}) 、及び領域の右上端点に各々仮想的にモジュール m_0, m_{n+1} を配置すると、モジュールネット n_0 を最初に n_{n+1} を最後に仮想配線することになる。

モジュール m_i のネットを仮想配線することにより、仮想未配線モジュールの中で、そのネットを仮想配線する際に m_i との平面性を満たすために必要となる迂回により、面積が固有面積より増加するモジュールが存在する。 m_i 以降に仮想配線するモジュールの各々が、それ以降のモジュールに迂回を強いる可能性があり、その迂回によって生じた固有面積に対する増加量の総和を m_i のコストとする。このようにコストを定めると、問題はすべてのモジュールネットをコスト最小化を目的として配線することに帰着される。

まず、モジュール m_i に注目したときのコストの求め方を説明する。これはすでに仮想配線されたモジュール群、 m_i の次に仮想配線するモジュール m_j (以降これを直後の候補という)、及びその状況で m_i から m_{n+1} までのコストが特定されてはじめて計算可能である(図7参照)。ここで、仮想配線されたモジュール群の最外郭ネットを支持する1つ(あるいは2つ)のモジュール(以降これを直前の候補と呼ぶ)を $m_{b_1}, (m_{b_2})$ とすると、仮想配線されたモジュール群を直前の候補で代表させることができる。 m_i のネットを含めた最外郭ネットの右上端の点の座標を (x_i, y_i) とする(図7参照)。

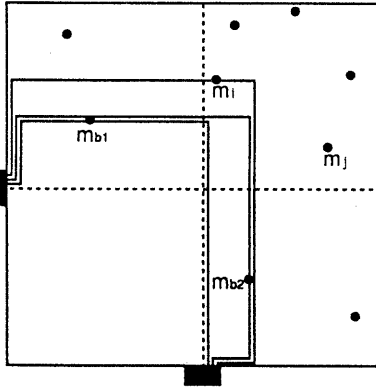


図7 直前、及び直後の候補

このとき、モジュール m_j のネットの面積の増加量は m_j の位置により、

$$l_{pj} = \begin{cases} x(m_j) + y(m_j) - y_{pad} & [y(m_j) \geq y_b] \\ x(m_j) + 2 * y_b - y(m_j) - y_{pad} & [y(m_j) < y_b] \end{cases}$$

$$l_{mj} = \begin{cases} x(m_j) - x_{pad} + y(m_j) & [x(m_j) \geq x_b] \\ 2 * x_b - x(m_j) - x_{pad} + y(m_j) & [x(m_j) < x_b] \end{cases}$$

で計算される。但し、 $l_{pj}(l_{mj})$ はモジュール m_j の電源（ランド）配線枝の配線長、 $area(m_j)$ はモジュールネット n_j の固有面積である。この増加量に既知の、あるいはこれから求める、 m_i よりも外側に存在する m_k から m_{n+1} までのコストを加えることによりモジュール m_i の、直前の候補が $m_{b1}(m_{b2})$ 、直後の候補が m_j であるような、コストが求められる。そこですべての直前の候補について、直後の候補となり得るすべての m_j に対するコストを求め、それらの中で最小のコストを保持すれば、どんな状態からでも m_i を仮想配線した際、次にどのモジュールを仮想配線すれば最適な結果となるかがわかる。この操作をすべてのモジュールについて何らかの順序で（例えば m_{n+1} に近い順に）行えば、最終的に m_0 から m_{n+1} までのコスト最小の順序を求めることができる。

次に、

- ・直前の候補 $m_{b1}(m_{b2})$ の列挙方法
- ・直後の候補 m_j の列挙方法
- ・ m_i 以降のコストが未定の場合の対処方法

について説明する。

- ・直前の候補 $m_{b1}(m_{b2})$

まず、すべてのモジュールを $x(y)$ 座標でソートした列 $sort_x(y)$ を用意する。 m_i よりも x, y 座標がともに小さいモジュールの中で y 座標が最大のものを m_{b1} とする。 $sort_x$ を使って $x(m_i)$ よりも右にあり $y(m_i)$ より小さい y 座標を持つモジュール m_j について順次 m_{b1}, m_k を直前の候補とする。但し、 $y(m_i) > y(m_k) > y(m_{b1})$ となる場合は、 m_k, m_k を

直前の候補としてそれ以降の m_k を m_{b1} とみなして同様に調べる（図8参照）。 x と y を入れ換えたものについても同様に調べる。最後に、 m_i よりも x, y 座標がともに小さいモジュールの中で x 座標が最大のものを m_{b2} としたとき、 m_{b1}, m_{b2} を直前の候補とすれば、すべての直前の候補を列挙することができる。

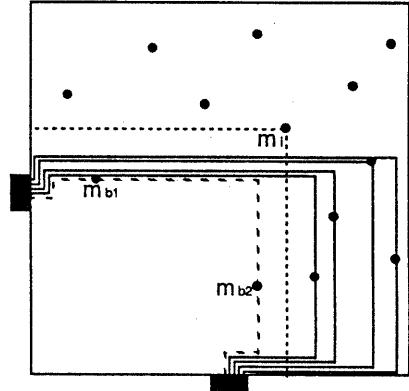


図8 直前の候補

- ・直後の候補 m_j

m_j になり得るモジュールは、そのネットと m_i のネットの間にモジュールが存在しないので図9のように単調減少折れ線上に存在する。これらは $sort_x(y)$ を使って求めることができる。

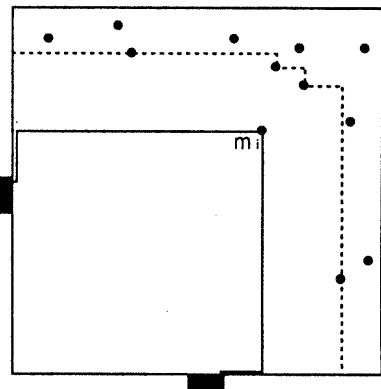


図9 直後の候補

- ・ m_i から m_{n+1} までのコストが未定の場合

モジュール m_i は仮想配線されたモジュールであり、 m_j から m_{n+1} が $m_j, m_{j1}, m_{j2}, \dots, m_{jk}, m_{n+1}$ の順に仮想配線されたと仮定する。このとき、 m_i 以降のモジュールのコストは、 m_j の面積の増加量に m_{j1} 以降のコストを加えたものであり、 m_{j1} 以降のコストも同様に求められる。従って、これを繰

り返すと最終的には既知（最悪でも $m_{n,1}$ ）のコストが必要となり、これを辿ることにより必ず m_j から $m_{n,1}$ までのコストが求められる。つまり、任意のモジュールの順序でコストを求めることができる。

以上のように、すべてのモジュールについてどんな直前の候補に対しても、最適な結果を得るために次にどのモジュールネットを仮想配線すべきかが求められることができる。最初と最後に仮想配線すべきモジュールは $m_0, m_{n,1}$ と決まっているので、 m_0 からコスト最小の直後の候補を順次選ぶことにより最適な配線順序が得られる。

次に、この処理の複雑度について考える。各モジュールについて、直前の候補の求め方からもわかるように $O(n)$ の直前の候補があり、各々について次にどのモジュールのネットを決定すべきか保持する必要がある。時間複雑度は、直前の候補を求めるのに $O(n)$ 、その各々に対して $O(n)$ 通りの直後の候補があり、それを求めるのに一つの直前の候補に対して $O(n)$ かかる。また、直後の候補以降のコストを加える際に、 $O(n)$ のテーブルを用意すれば $O(1)$ で一つの直後の候補のコストを参照できる。未定のコストがある場合も、その都度求めたコストを保持しておくことにより全体の時間複雑度には影響しない。最終的なモジュールの順序は $O(n)$ で求められる。つまり、全体で空間複雑度 $O(n^2)$ 、時間複雑度 $O(n^3)$ となる。

3.2. 逐次平面トポロジカル配線

前項で求めた配線順序を適用するための逐次配線手法に要求される性質を以下に挙げる。

- ・トポロジカル配線（ラバーバンド表現による配線径路の平面埋め込み）であること
- ・最適な部分長方形ジオメトリの配線順序が与えられたとき、それとホモトピックな最適トポロジー得られること
- ・ツリー・トポロジーを扱うことが可能
- ・モジュールを点として扱うことが可能
- ・異なる配線幅を考慮可能

我々は上記の性質を満たすラバーバンド表現^{[14][15]}に基づいた逐次配線手法を既に提案している^{[16][17]}。配線径路のラバーバンド表現とは、互いにホモトピックな配線表現のうち、その径路長が最短であるものをいう。このような表現は唯一存在するので、ラバーバンド表現は径路のトポロジーを表現する標準形として最適なものである。ラバーバンド表現では径路は交差しない限り互いに重なる（折れ曲がりや直線部分を共有する）ことを許されている。したがって、トポロジー的に径路が存在する場合は必ずその径路が発見され、shove aside（押し退け）も自然に実現される。また、基本的にトポロジカル配線であるので、異なる配線幅を扱うことも可能である。我々の提案する逐次配線手法は、凸頂点に対する可視グラフ上で径路探索と探索グラフの更新（カットオープン）により逐次径路を求め、最後に幾何学的変換処理

を施す。

図5(a)のような部分長方形ジオメトリをラバーバンド表現に置き換えると、その配線順序に従って電源・グラウンドパッドP,Gを含む凸包を逐次的に生成したものになる。同じ配線順序でラバーバンド表現を逐次的に求めると、これも同じ凸包になる。つまり、最適な配線順序に従ってラバーバンド表現に基づく逐次配線を行うことにより、最適な2点間ネット群のトポロジーが得られる。

このようなラバーバンド表現に基づく逐次配線手法の配線順序として、前項で得られたものを利用することにより、抽象化問題に対する配線占有面積最小の電源・グラウンドネットの平面トポロジカル配線手法が得られる。

次に、提案手法をSUN SPARC Station2(28.5MIPS)上にC言語で実装し、パッド数2、パッドが隣接する2辺にある場合の乱数で発生させた電源配線問題に対して計算機実験を行った結果について報告する。但し、各端子の電氣的制約も次の範囲で乱数により決定した。

端子の最大要求電流 $I : 1 \sim 5$ [mA]

端子とパッド間の許容最大電圧降下

$V : 50 \sim 10$ [mV]

導体の面抵抗率 $\rho : 0.03$ [Ω/\square]

導体の許容最大電流密度 $\sigma : 1$ [mA/ μ]

ピンとパッドの直接接続のツリー・トポロジーの段階の径路を図10に示す。

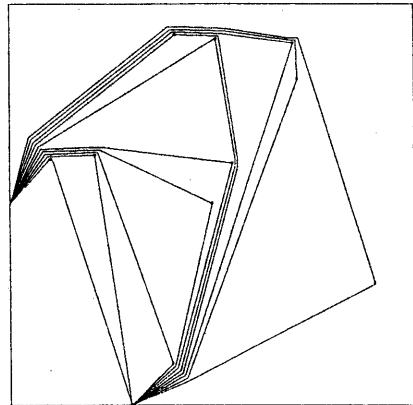


図10 電源・グラウンドネットのツリー・トポロジー

4. 電源・グラウンドネットの平面トポロジカル配線

～モジュールが大ききを持つ場合の発見的アルゴリズム～

前節では、モジュールが点であると仮定した場合の面積最小を保証するトポロジカル配線手法を提案した。しかし、実際にはモジュールは大ききを持つので、ここではそのような場合に対する発見的手法を提案する。

モジュールが大ききを持つ場合、モジュールを中心点で扱うことにより、前節の手法により占有面積を見積もる

ことができる。そこで、現実の電源配線問題ではモジュールの大きさにより占有面積の見積り誤差が出ることは否めないが、前節の手法により得られた配線順序に従って、モジュールが大きさを持つ問題に対して平面トポロジカル配線する。これは、配線占有面積最小化を陽に考慮したトポロジカル配線手法とみなすことができる。

以上のようにして、乱数で発生させた（電氣的制約は前節と同様に）、モジュールが大きさを持つ電源配線問題に適用した結果を図11に示す。

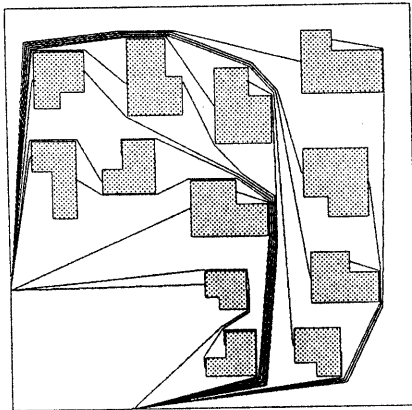


図11 電源・グランドネットのツリー・トポロジー

5. むすび

本稿では、占有面積最小化を陽に考慮した電源・グランドネットの平面トポロジカル配線手法を提案した。これは、モジュールが大きさを持たない電源配線問題において配線占有面積最小化を保証する配線順序を求める。そして、モジュールが大きさを持つような実際の電源配線問題に対しても、その順序に従って電源・グランドネットの平面トポロジカル配線を行うというものである。配線順序の決定方法は動的計画法に基づくものである。今後の課題として、モジュールの大きさを考慮した配線順序決定の方法や、ベンチマークデータ等により提案した発見的手法で用いているコスト関数の定量的な評価が挙げられる。

謝辞

本研究は文部省科学研究費補助金：奨励研究（A）04855059（平成4年度）「計算幾何学のLSI設計への応用に関する研究」の援助のもとに行われたものである。

参考文献

- [1]Chowdhury, S. and M.A. Breuer:The construction of minimal area power and ground nets for VLSI circuits, *Proc.22th DA Conf.*,pp.794-797 (1985).
- [2]Chowdhury, S. and M.A. Breuer:Minimal Area Design of Power/Ground Nets Having Graph Topologies, *IEEE Trans. Circuits and Systems* 34,pp.1441-1451 (1987).
- [3]Chowdhury, S. and M.A. Breuer:Optimum Design of IC Power/Ground Nets Subject to Reliability Constraints,*IEEE Trans. CAD-7*,pp.787-796 (1988).
- [4]Dutta, R. and M. Marek-Sadowska:Automatic Sizing of Power/Ground(P/G) Networks in VLSI, *Proc.26thDA Conf.*,pp.783-786 (1989).
- [5]Syed, Z.A., A.E. Gamal and M.A. Breuer:On routing for custom integrated circuits, *Proc.19th DA Conf.*,pp.887-893 (1982).
- [6]Lie, M. and C.-S. Horng:A bus router for IC layout, *Proc.19th DA Conf.*,pp.129-132 (1982).
- [7]Rothermel, H.-J. and D.A. Mlynski:Computation of power and ground supply nets in VLSI layout, *Proc.18th DA Conf.*,pp.37-42 (1981).
- [8]Russell, D.W.:Hierarchical Routing of Single Layer Metal Trees in Compiled VLSI, *Proc.ICCAD*,pp.270-272 (1985).
- [9]Haruyama, S. and D. Fussell:A New Area-Efficient Power Routing Algorithm for VLSI Layout, *Proc. ICCAD*,pp.38-41 (1987).
- [10]Moulton, A.S.:Laying the power and ground wires on a VLSI chip, *Proc.20th DA Conf.*,pp.754-755 (1983).
- [11]Xiong, X.-M. and E.S. Kuh:The Scan Line Approach to Power and Ground Routing, *Proc.ICCAD*,pp.6-9 (1986).
- [12]Cai, H.:Multi-Pads, Single Layer Power Net Routing in VLSI Circuit, *Proc.25th DA Conf.*,pp.183-188 (1988).
- [13]Erhard, K.-H. and F.M. Johannes:Power/groaund networks in VLSI: are general graphs better than trees?, *INTEGRATION,the VLSI journal* 14,pp.91-109 (1992).
- [14]Leiserson, C.E. and F.M.Maley:Algorithms for Routing and Testing Routability of Planar VLSI Layouts, *Proc.STOC*,pp.69-78 (1985).
- [15]Dai, W.W. et al.:Topological Routing in SURF:Generating a Rubber-Band Sketch, *Proc.28th DA Conf.*,pp.39-44 (1991).
- [16]粟島, 佐藤, 大附:ラバーバンド表現に基づいた逐次配線手法, 信学春季全大A-103 (1991).
- [17]粟島, 田中, 佐藤, 大附:ラバーバンドモデルに基づいた逐次配線手法の実装, 信学技法 VLD92-39 (1992).