

セミオートマティックバスルータ

水野 亜左実* 永原 出* 武藤 信元**

* ソニー(株) 半導体事業本部

** イノテック(株)

フルカスタム設計では、面積/特性に対して設計要求が厳しく、完全自動処理によるチップレベルレイアウトは困難である。今回、バス/クロック/電源等の重要配線に対して配線トポロジーのコントロールが可能な半自動処理によるバスルータを開発した。このバスルータでは、従来のツールでは不可能であった複雑な分岐等の処理も実現している。これをコンパクションベースの自動配線ツールと組み合わせることにより、設計者の意図をレイアウト上に反映し、かつ面積/設計期間ともに満足できるチップレベル自動配線システムが構築できた。また、実設計に使用することで本システムの現実的な有効性を実証できた。

A Semiautomatic Bus Router

Asami MIZUNO* Izuru NAGAHARA* Nobumoto MUTOH**

* Sony Corporation Semiconductor Group

4-14-1, Asahi-cho, Atsugi-shi, Kanagawa-ken, 243 Japan

** Innotech Corporation

2-15-10, Shinyokohama, Kouhoku-ku, Yokohama-shi, Kanagawa-ken, 222 Japan

The full automatic approach is not suitable for a full custom layout because a full custom design has several serious requirements for the area and characteristics of a circuit. Now we developed a semiautomatic bus router in which the designer could easily control the topology of several important nets(bus/clock/power) to reflect their intentions on a chip layout design. This bus router integrated on an automatic router based on a compaction technology. It was used for a real chip design. The results of this real design showed that this system was adequate for a full custom layout in order to get a short design period, a high density layout and a high performance circuit design.

1. はじめに

近年のVLSI技術の発展は、その大規模化・高速化を促しVLSI設計CADに対する要求も年々厳しく複雑になってきている。特に自動配置配線の分野においてはLSIの大規模高速化を実現するため、数々のタイミングドリブレイアウト手法が提案されている。([1], [2], [3])しかしこのようなタイミングドリブレイアウトは、基本的にセルの特性があらかじめ定義可能なASICの設計手法をベースにしているため、標準セルを用いないフルカスタム設計では利用できない。マイコンやメモリーのようなフルカスタムLSIがASICの設計手法と根本的に異なるのは、標準セルを用いずにカスタムセル等を用いてレイアウト密度を高くし、チップコストを下げている点にある。

フルカスタムにおけるレイアウト設計では、回路動作を保証する電源/クロック/バス等の重要配線には経路の指定のみならず配線の長さ・幅、信号の相対位置、チャンネル内の絶対座標などきめ細かい配慮が必要である。実際のチップにおけるバス配線への要求は、全てのバスネットが束として処理されるだけでなくバスがチップ上で分岐するケース、数種類のクロックと安定した信号とを束にしバスのように取り扱うケース等、その配線パターンは極めて複雑である。

しかし、現在このような細かい指定を十分に反映させる自動配置配線ツールはない。一部の論文で、バスを束配線と見なし処理する手法が提案されているぐらいで([4], [5])、市販ツールでは経路指定・テーパリング・バス配線機能等があるもののチップの現実的な要求に対応することは困難である。

本論文では、従来自動化が困難であったフルカスタム設計におけるチップレベル自動配線の一手法として、重要配線のトポロジーのコントロールが可能な半自動配線の処理について述べる。

以降、第2・3章でフルカスタム設計の特徴と

自動配線処理への要求について述べ、第4・5章でシステム構成と本手法の特徴と処理フローについて述べ、第6・7章で設計事例と面積への影響について述べる。

2. フルカスタム設計の特徴

フルカスタム設計は、チップの製造コストを低下させるため、設計の高密度化を最大の目的とする。このためカスタムセルを用いるか、あるいはセル構造を作らずに高密度化を狙う。故に、設計は設計者の技術力に依存するところが大きく、設計者の意図を十分に反映させる必要がある。従って、多少の設計工数がかかろうとも面積/特性の両方で設計者の満足のいく設計をする必要がある。

この設計手法で階層設計を行なった場合、その処理単位は一つの論理機能単位であることが望ましい。この階層は特性保証のとれた機能単位となるため、ライブラリーとして登録/保存することにより再利用が可能となる。故に、フルカスタム設計ではASIC設計のような、単純な階層の分割・合成は不適切であり、中規模論理機能単位をブロックとしてボトムアップにレイアウトが行なわれる。従ってチップレベルにおける下位階層の大きさはかなり不揃いでその数も多くなり、チップレベルのレイアウトモデルは複雑なビルディングブロックモデルとなる。さらに、チップレベルのタイミング保証についても細かい要求が生じる。特にクロック線の経路の指定、ループ配線、安定した配線によるノイズのシールドが必要とされる。また、データバス/アドレスバスによって信号の伝達を行なっている場合には、バスの経路/ループ/バスとしてののかたまり処理、電源線においては、経路/幅/各階層ブロックからの距離等を考慮に入れる必要がある。以下にフルカスタム設計の特徴をまとめる。

- ・標準セルを用いず高密度化を狙う
- ・階層は再利用可能な処理単位とする

- ・チップレベルでは複雑なビルディングブロックモデルとなる
- ・特性の保証のために細かい配線トポロジーのコントロールが必要である

3. フルカスタム設計における自動配線処理

2章で述べたような特徴を満足させるため、フルカスタム設計の自動処理に対する要求は非常に厳しくなる。以下に具体的な配線に対する設計要求をまとめる。

バス

- ・束として取り扱う (図1 (a))
- ・要素配線は順番が一定 (図1 (b))
- ・他の配線が間に入らない (図1 (c))
- ・束の配線が分岐可能であり、分岐後も上記のバス条件が満たされる (図1 (d))
- ・ループ配線 (図1 (e))

クロック線

- ・経路の指定
- ・ループ配線
- ・安定した配線と束にする

電源

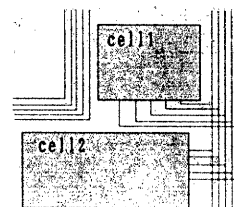
- ・経路指定
- ・幅指定
- ・ループ配線
- ・下位階層からの距離
- ・二重配線

特にクロックは、他の信号へ与えるノイズの影響が大きいため、安定した信号との束配線として取り扱う。クロックには普通チップ全体のタイミングを制御するグローバルなクロックとローカルなクロックとあり、これらと安定な配線とを束にして配線する時、この束配線はバス経路の途中で分岐し、分岐後は束配線の要素ネット数が変わる。

従って、バス配線処理において特に重要な機能は、分岐のあるバス配線であつ分岐後要素ネット数が変わり、更にバスの基本的な条件が分岐後も保たれる必要があることである。(分岐減少)(図2)

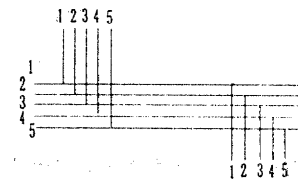
以上のような配線要求を満たし、かつ高密度・設計期間の短縮を満足するための設計システムが、フルカスタム自動配線として望まれる機能である。

従って、完全自動処理ではそのような細かい要求を満たすことは困難である。ここでは完全自動処理部分と設計者の意図を反映させる部分を分けること、すなわち重要な信号はコントロール可能にし、その他の一般配線は完全自動を目指すのが適切な処理と考える。配線手法として、チャンネルをベースにした自動配線や線分探索等による配線は面積に無駄が生じることから高密度化に対して適切ではない。複雑なビルディングブロックモデルを扱う点・人手によるトポロジー指定を実現する点から、シンボリックレイアウト・コンパクションをベースにした自動配線が適当であると考え



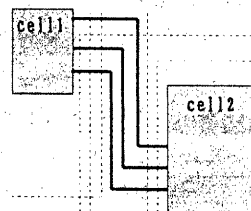
(a)

バスは束として取り扱う



(b)

要素配線は順番が一定



(c)

他の配線がバス間に入り込まない

図1 バス配線の設計要求

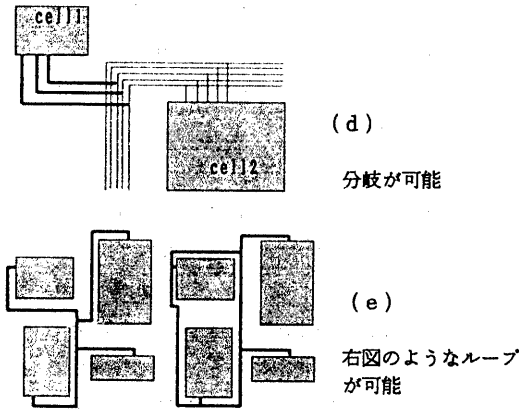


図1 バス配線の設計要求

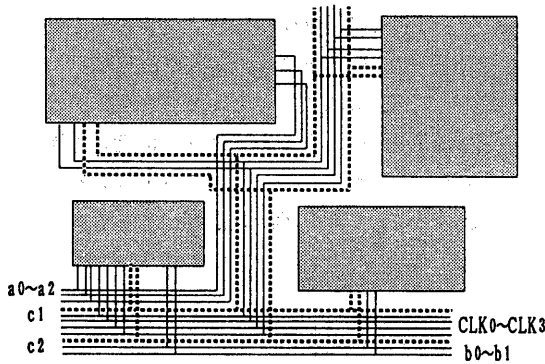


図2 クロックの処理と分枝減少

分枝点で要素ネット数が変わり、全ての経路でバスの全条件が満たされること

4. システム構成

3章で述べた理由から、フルカスタム（マイコン）のチップレベルの自動配線プログラムとしてCADENCE社のBlock Ensembleを採用した。これは、ビルディングブロックモデルを扱い、コンパクションによる高密度化が可能・ユーザカスタマイズ機能（SKILL言語）があり、本手法で採用した半自動配線などのユーザの要求を満たすカスタマイズプログラムの開発と組み込みが可能のためである。しかし、一般に

Block Ensembleを含めた市販ツールでは信号のコントロールが十分でなく、特にバスの処理は上記の要求を満足するものはない。そこで今回バスを中心にクロック／電源等の重要な配線を十分にコントロールでき設計者の意図が反映可能なバスルータを開発しBlock Ensemble上に統合化した。

5. 本手法の特徴と処理フロー

3章で記述した配線に対する設計要求を満たし設計者の意図を反映可能にするために、開発の前提を半自動処理とした。しかし、設計の工数は最小限にしたいため、設計者が指定する部分は入力の手間が少なくなる様にした。本手法はバス配線を意識して作成されているが、実際は、クロック／電源線に対しても用いることが可能である。

この手法は、バスの要素ネットを束ねて一本の太いネットとみなし配線することを基本にしている。他の一般信号線を配線後、配線トポロジーの変化がなくなった段階で分割し、一般配線がバスの要素ネットの間に入りこまないようにしている。また、分枝等の複雑な配線を処理するために、太い配線を分割したあとに、不要な配線を除去する処理を加えている。人手処理部分の段階でエラーが混入することを防ぐために、人手処理の各フェーズでチェック機能を挿入して誤りがないようにした。次に処理フローを示し、詳細を述べる。

1) バスファイルの作成

バス配線の名前の指定および、バスを構成する要素ネットの指定を行なう。この時、要素ネットの作成順がバス分割後のネットの割当順となる。

2) 論理接続の変更

上記の記述に従って、各要素ネットをまとめたバスネットを一本のネットとして接続情報を書き換える。

3) 幹線経路の指定

一本のネットにまとめられたバス配線に適当な幅を与え、さらに経路の指定を行なう。この場合、

経路は概略でよく、接続すべき端子の上方まで配線すればよい。(図4(a))

4) 経路チェック

接続すべき端子の上方まで幹線が配線されているか1コマンドでチェックする。

5) 終端処理

経路指定で指定された幹線の終端を決定する。終端と思われる端子を指定する事によって、終端の端子と配線とを接続する。この時、終端から先の部分は自動的にカットし除去する。(図4(b))

6) 終端チェック

全ての終端について処理されたかチェックする。7) 3) から6) を全てのバスに対して実行する。

8) 一般配線の接続

バス以外の全ての一般配線を接続する。

9) コンパクションの実行

この時点でコンパクションを実行する。この時、バス配線についてはJOGを挿入しない。このコンパクションによって、太いバス配線上から一般配線は取り除かれる。(図4(c))

10) 接続情報をもどす

接続情報を、要素ネットの接続に戻す。

11) バスネットの分割

太いバスネットを元の要素ネット本数分の配線セグメントに分割する。この時ネット名は、最初に指定していたバスファイルで記述された要素ネットの順で付加される。

12) バス端子の接続

全てのバスの構成要素ネットの端子から分割された要素ネットのセグメントへ自動的に接続する。(図4(d))

13) チェック

端子の接続で自動処理できなかつたものが発生した時、これをチェックしてマーカーを付ける。

14) 人手修正

13) でマーカーが発生した時、人手により修正する。修正のための機能を持ったコマンドを用意してあり、これによって手早い修正が可能である。

15) 余分な配線の除去

配線セグメントで終端が浮いているものを順次除

去していく。この処理により、分岐減少のあるバスの処理が可能となる。(図4(e))

16) コンパクション

最終的に全体をコンパクションし、デザインルールの合わせ込みを行なう。

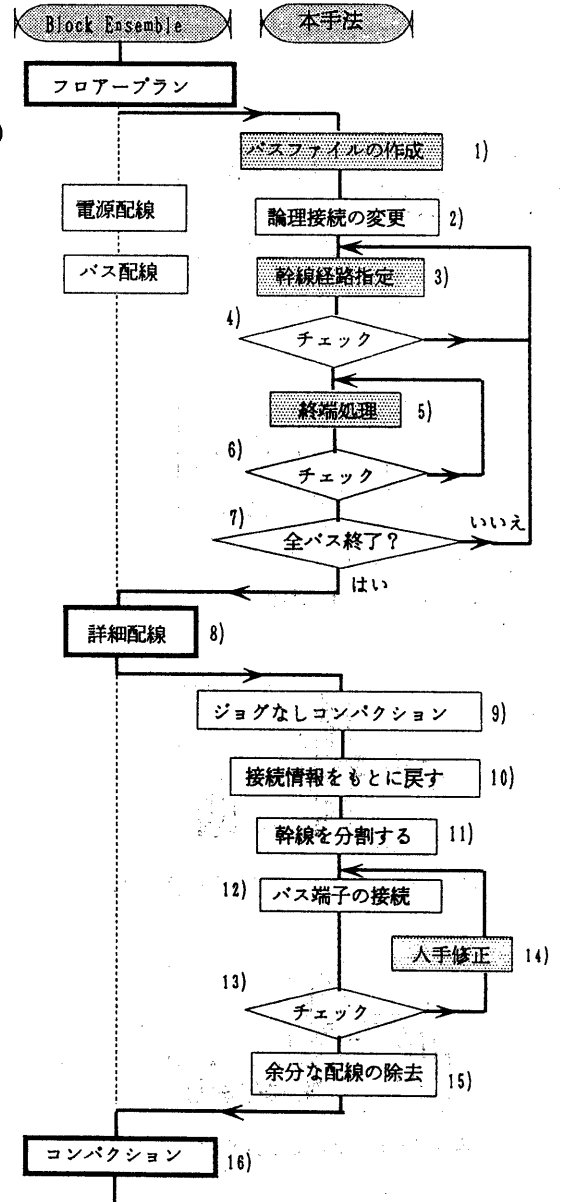


図3 処理フロー

人手処理部分
 自動処理部分
 BlockEnsemble 処理 (1コマンド)

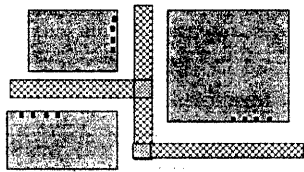


図4 (a) 幹線経路の指定

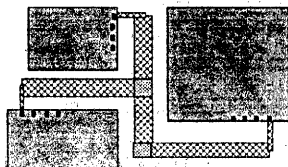


図4 (b) 終端処理

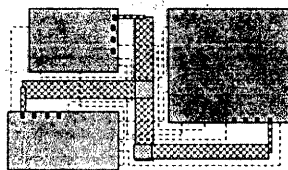


図4 (c) 詳細配線後コンパクション

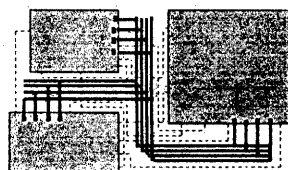


図4 (d) バスネットの分割・端子の接続

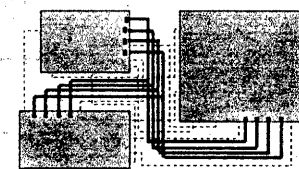


図4 (e) 余分な配線の除去

前述の処理により、バスに対する配線要求の全てを満足できる。また、経路指定の段階でループを作成すれば、ループ上のバスの処理も可能となる。従って、一般的なバスの処理（配線を束として取り扱う／要素配線は順番が一定／他の信号線が間に入らない）の他に、ループ状のバス、分岐減少を持ったバス等も処理が可能となり、設計者の意図をほぼ忠実に満足できる現実的なバス配線が可能となる。

6. 設計事例

本手法は、実際のマイコンの設計に使用された。設計データ（ブロック数 54個、ネット数 925本）

6. 1 設計要求

- a) AL 2層配線
- b) フロアプランを人手指定
- c) 電源幅、経路を人手指定
- d) バスの種類／経路を人手指定
- e) クロックと安定した信号を束にする

上記の要求の中に、バスの処理、ループ配線、分岐のあるバス、要素ネット数が変わるバス配線等がふくまれている。本チップ設計において全ネットの12.5%にあたる116本のネットに対して半自動配線による人手介入が必要であった。

図5 (a) 参照。

上記の配線要求を満たす半自動配線と一般配線の完全自動化により全ての配線を2日で完成させた。2日の内訳を表1に示す。半自動配線に託した部分は約3時間であり、チップ全体のレイアウト期間に比較すれば支配的でない。実際の設計後のレイアウト図を図5 (b) に示す。また、分岐し要素ネット数が変わる場合についての実際の結果を図5 (c) に示す。

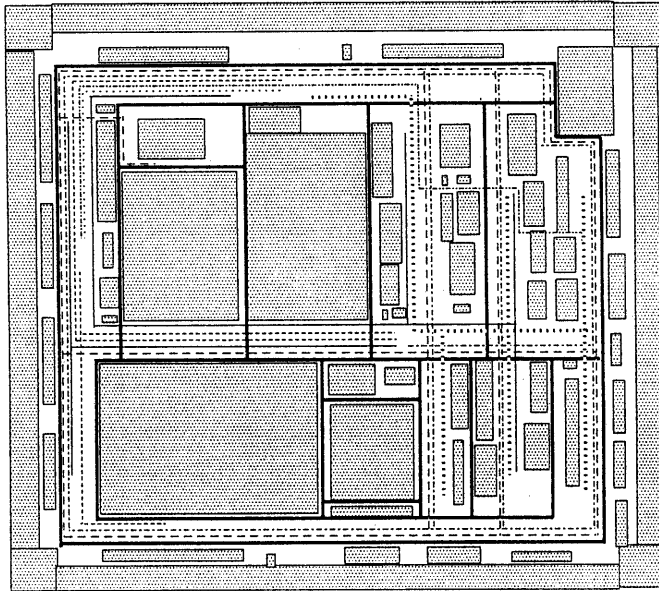


図5 (a)
フロアプランとバス経路 (左図)

| | | | |
|----------|-------|------|-------|
| VDD, VSS | —— | BUS5 | ----- |
| BUS1 | --- | BUS6 | |
| BUS2 | ---- | BUS7 | ----- |
| BUS3 | —— | BUS8 | |
| BUS4 | ----- | BUS9 | —— |

| 処理 | 時間 (h) |
|------------|--------|
| フロアプラン | 1.5 |
| 電源・バス配線 | 3.0 |
| editing | 2.75 |
| compaction | 3.16 |
| その他editing | 3.0 |
| TOTAL | 13.41 |

表1 処理時間 (上)

約二日間で設計要求を満たしたレイアウトを得ることが出来た

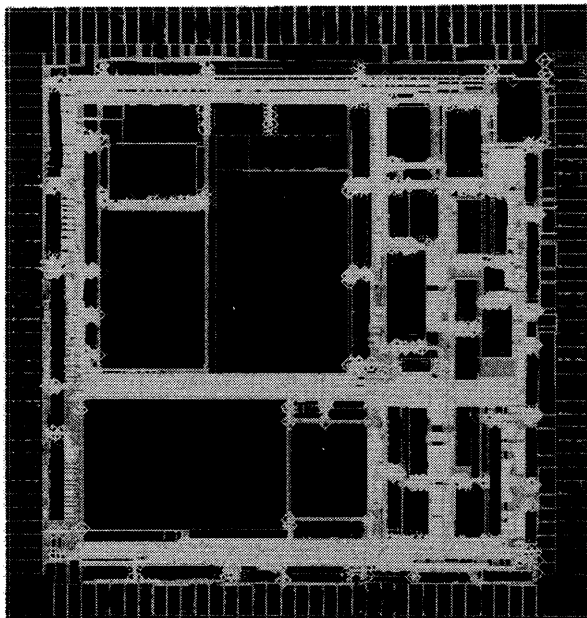
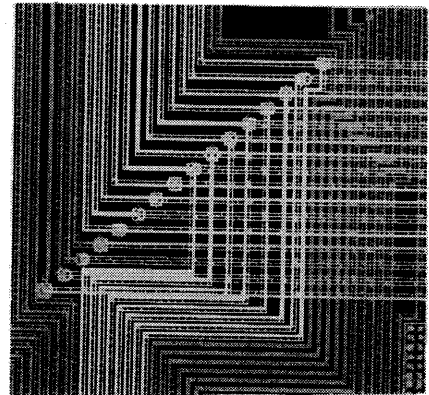


図5 (b) レイアウト結果 (左図)

図5 (c) バスの分枝減少 (下図)



7. 面積への影響

6章で示したチップを用いて、本手法、Block Ensembleのバス配線を用いた場合、Block Ensembleでバス配線を用いない場合の3種類の方法によりチップ面積を比較し、本手法のチップ面積への影響を調べた。

ブロックの配置条件、電源の経路、コンパクション回数、コンパクション方向は全て同じとした。

表2の結果のように、配線制約を加えても本手法によれば面積はより小さく実現できており、数時間のオーバーヘッドですんでいる。このオーバーヘッドはチップの設計期間から見れば無視できる。

| 条件 | チップサイズ | 面積比 | 処理時間 (h) |
|------------------------|--------------------|-------|----------|
| 本手法 | (6777.17, 6957.59) | 1.0 | 8.9 |
| BlockEnsemble 全て自動 | (6829.03, 7120.77) | 1.031 | 3.3 |
| BlockEnsemble パスルータ | (6830.29, 7075.39) | 1.025 | 3.5 |

表2 本手法のチップ面積への影響

8. 結論

フルカスタム設計では、チップの低コスト化が第一の目標であるため、ASICのような標準セルを用いた設計は適切でなく設計期間が多少かかろうとも、高密度設計を求める。また、設計の単位は再利用可能な機能ブロックとなり、これを下位階層として持つチップレベルのレイアウトモデルは複雑なビルディングブロック形式となる。さらに、信号の特性は、設計者の技術力に依存する。故に、設計の完全自動化は極めて困難である。このような条件下での自動配線手法は、完全自動を狙うよりも、重要な配線は設計者の意図が十分に反映され、一般の配線は自動処理をおこなう、自動と人手の適切な統合環境の方が望ましい。今回、市販の自動配線ツール上に、設計者の意図を十分満足させる半自動のパスルータを開発し、実際の設計に用いた。ここにおいて、設計期間・設計の質ともに満足のいく結果が得られ本手法の現実的な有効性を実証できた。また、本手法はフルカスタム設計を意識して作成されたものであるが、ASICにおけるチップレベル配線にも利用可能である。

謝辞

本手法の開発にあたり、実設計での要求および適切な助言を与え御指導下さったソニー株式会社半導体事業本部マイコン事業部の、大塚剛氏および樋口章彦氏に感謝いたします。

参考文献

- [1] Wing K. Luk : "A Fast Physical Constraint Generator for Timing Driven Layout", Proc. 28th DAC, pp. 626-631 (1991)
- [2] Ting-Hai Chao, Yu-Chin Hsu, JanMing Ho: "Zero Skew Net Routing", Proc. 29th DAC, pp. 518-523 (1992)
- [3] 野村, 福山, 山本: "遅延保証レイアウトにおける概略配置手法", 信学技報, Vol. 91, No. 4, pp. 9-16
- [4] 乗松, 金, 佐藤, 大附: "バスの最小ビア配線と置換グラフ", 1989年電子情報通信学会春期全国大会, A-268 (1989)
- [5] 伊藤, 佐藤, 池本 他: "矩形探索迷路法による高速配線手法", 設計自動化, Vol. 90, No. 3, pp. 1~8 (1990)