

## 非同期式 2 線 2 相論理回路のテストに関する一考察

アーティット トンタック          南谷 崇

東京工業大学 工学部  
〒 152 東京都目黒区大岡山 2-12-1

あ ら ま し 非同期式 2 線 2 相論理回路に存在している縮退故障の多くは、回路動作を停止させ、テストが容易になる。しかし、停止しない故障も存在し得る。その故障を如何に検出可能にするかは課題である。本稿では 2 分決定グラフ (BDD) から実現された回路を例にして、まず、回路を停止させない故障で非符号語を出力するものは、それを検出することによってテスト可能になるが、非符号語を出力するまでの時間が必要となるため、オンラインテストに不向きであることを述べる。次に、冗長な信号線などの検出不能の故障は、最悪の場合、回路内部が不安定になり、ハザードの原因になることを指摘する。さらに、Muller の C 素子と OR 素子で構成される (C-OR 構成) 回路を実現することより、任意の故障に対し、回路動作が必ず停止し、テスト容易になることを示す。C-OR 構成は BDD による回路構成法を容易に適用できることをも示す。

和文キーワード    テスト, 非同期式, 2 線 2 相論理回路, 2 分決定グラフ, C 素子

## Testing asynchronous 2-rail 2-phase logic circuits

Arthit THONGTAK          Takashi NANYA

Faculty of Engineering, Tokyo Institute of Technology  
2-12-1 Ookayama Meguro-ku Tokyo 152, Japan

**Abstract** Most stuck-at-faults in asynchronous 2-rail 2-phase logic circuits inhibit the entire computation. Hence they are easy to test. The problem is how to make detectable the ones that do not inhibit the entire computation. The circuits synthesized from binary decision graph (BDD) are used for example. The faults that change outputs to the uncoded words can be detected but we need the time to confirm the uncoded words. So, it is unsuitable for on-line testing. The worst case of the undetectable faults, for example the ones on redundant lines, make circuits unstable and are likely to cause hazards. This paper shows how circuits structured using Muller's C elements and OR elements (C-OR structure) can make faulty circuits to be inhibited, and therefore easy to test. We also show that it is easy to apply the C-OR structure to circuits synthesized using BDD.

英文 key words    testing, asynchronous, 2-rail 2-phase logic circuit, binary decision diagram, C element

# 1 はじめに

Delay-insensitive モデル [1] の遅延仮定の下で動作する非同期式レジスタ間データ転送の論理回路を実現するためには、2線2相式 [2] が考えられる。実現された回路は一般に図 1 のように、組合せ実現部、監視回路と最終出力段で構成され、各々インバータフリーの 2 線入力 2 線出力の構造をもつ。構成方法の中で最近は、監視回路の簡単さ、入力順の評価による演算速度に有利な面をもつ 2 分決定グラフ (BDD) 表現からの回路構成法 [3] が研究されている。本稿は、この構成法で実現された回路を例にして、信号線の単一縮退故障が存在する時に起きる、非同期式特有のテスト問題について考察する。これは、回路動作を停止させるような故障が容易に検出できるが、停止しない故障も存在する [4] ことである。よって、このような故障を如何に対処できるかは問題である。なぜならば、停止しない故障は、内部不安定をもたらし、ハザードの原因になることもあるからである。それらの故障の内、符号語を非符号語に出力させる故障は、その出力を観測することによって検出可能になるが、テスト入力を印加してから非符号語を出力するまでの時間を必要とする。従って、オンラインテストには不向きである。以上のことから、テスト可能にするための回路の構成条件を示す。

さらに本稿は、故障で遷移停止が必ず起きる、Muller の C 素子と OR 素子の構成要素 (これを C-OR 構成と呼ぶ [5]) を BDD による回路構成法に容易に適用できることを示す。つまり、従来の AND 素子によるセレクト変換の代わりに、C 素子で実現する。よって、回路全体が C 素子と OR 素子で構成される。任意の故障に対し、信号遷移が出来ないため、演算完了の応答ができなくなり回路全体の動作が止まる。C 素子セレクトは、内部データ到着の監視が必要なく、外部入力だけの監視で十分である。さらに、準既約な BDD [6] で実現された回路は、各レベルのデータ到着が回路自身で監視できるため、監視回路を設ける必要がなくなる。最後に、C 素子のセレクトを削減する回路の簡単化についても示す。

# 2 回路モデル

非同期式論理回路ではデータの到着を認識するために符号化が必要である。2 相式では、非順序符号が必要十分でその特別な場合、2 線 2 相式が知られている [2]。2 線データは、回路が休止している時 (休止相) の符号を "00" と、稼働している時 (稼働相) の "0" のデータを "01" と、"1" のデー

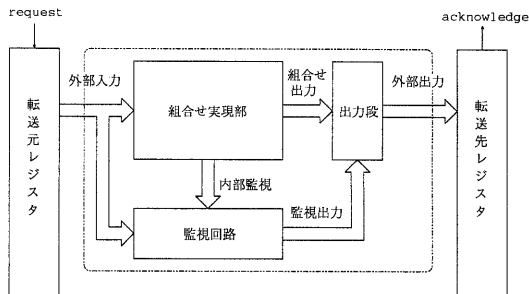
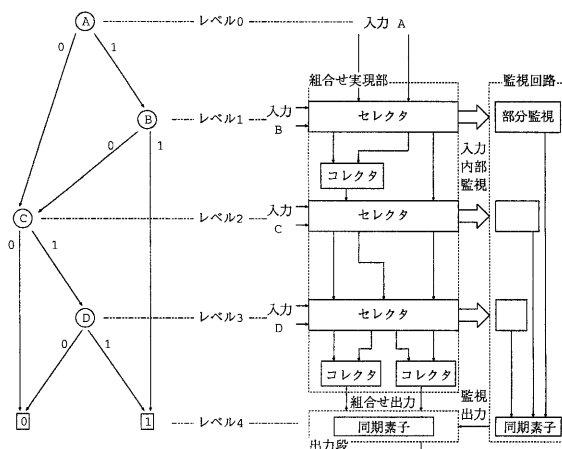


図 1: 論理演算部



(a): BDD (b): 変換モデル

図 2: BDD からの変換モデル

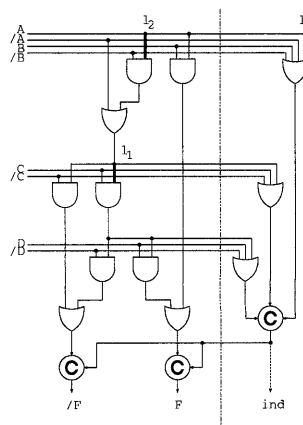


図 3: 実現された回路例

タを“10”とする。よって、“11”が使用されない符号(非符号語)になる。図1では、論理演算部と制御部の間に、要求信号(request)で入力データを読み出す転送元レジスタ、出力データを書き込んで演算完了信号(acknowledge)を応答する転送先レジスタが構成される。各々のレジスタに非符号語を検出する機能が無いものとする。

論理演算仕様の表現手段としてBDDが考えられる。BDDから回路変換を行なう時、論理演算部が図1,2のように組合せ実現部、監視回路と出力段で構成される。

図2(a)はBDDの例を示す。出力 $F$ は、 $F = AB + CD$ である。それを[3]の手法で実現すると、図2(b)のモデルのように入力の評価(演算選択)によるセレクト変換方式で組合せ部を実現できる。2線式のため、1つの入力の評価に2入力まで制限されたセレクトが2個1組になっている。セレクトから出力する信号線をコレクタを用いて合流させる。その時、休止相から稼働相への遷移(SC遷移)では各レベルのセレクトの出力0→1遷移は高々1ヶ所、よって、コレクタ入力でも1ヶ所しか起きない。つまり、稼働時の各レベルの出力が1-out-of-n符号を構成している。また、外部入力と内部信号遷移の安定性を監視するために、監視回路で各々レベル別の部分監視を用いる。遷移が安定してから部分監視から監視完了信号を出力する。全て入力内部遷移が安定してから監視信号の出力を全て同期回路を通して監視回路から出力する。最後に、組合せ部の出力と監視出力を同期させ外部へ出力させる。回路は、セレクトにAND素子、コレクタと部分監視にOR素子、同期はC素子を使用することにより、図2(a)の例の変換回路を図3のように実現される。

### 3 故障とテスト

本稿は、素子の入力線の単一縮退故障を対象とする。素子内の故障は存在しないとし、素子内部の不安定状態の時に、入力変化を受け付けないとする。以降は、0(1)に縮退する故障を0(1)縮退と呼ぶ。

素子入力に故障が存在する場合、初期値を除いて出力遷移の影響は以下のように考えられる。

**AND素子の入力 0縮退**は、どの入力に対しても出力が1への遷移が不能になる。

一方の1縮退は、出力の1から0への遷移が可能な入力が存在する。

**OR素子の入力 1縮退**は、どの入力に対しても出力が0への遷移が不能になる。

一方の0縮退は、出力の0から1への遷移が可能な入力が存在する。

**C素子の入力 0(1)縮退**は、どの入力に対しても出力が1(0)への遷移が不能になる。

1-out-of-n符号で構成するOR素子に関しては、0縮退の入力に1を印加した時、出力が1への遷移が不能になる。非同期式回路では、遷移不能な素子が存在すると、全体動作が停止(遷移停止)することになる。

#### 3.1 故障の影響

図3の回路に信号線の故障が存在した時の外部への出力遷移の影響を調べた結果、表1のようにまとまる。

表1: 図3の回路における各素子信号線の故障が存在した時の外部出力遷移の影響

回路素子(信号線)	組合せ実現部		監視回路		出力段	
	ANDin	ORin	ORin	Cin	Cin	Cout
0縮退故障	○	○	×	○	○	○
1縮退故障	×	○	○	○	○	○

○:遷移停止する; ×:遷移停止しない

○の遷移停止とは、0縮退が存在している時のSC遷移中に遷移が停止する符号語入力が必要であることを示し、1縮退はその逆である。×は遷移停止が起こる符号語入力がないと意味する。

##### 3.1.1 遷移停止する故障

ここでは、組合せ実現部の0縮退を例にして考える。冗長信号線のない(非冗長な)セレクトであれば、SC遷移時、セレクト出力に1へ遷移できない符号語入力が必要である。そのセレクトに直結するコレクタ、あるいは、コレクタ自身が0縮退の場合でも、入力が1-out-of-n符号であるため、コレクタ出力の1への遷移も不能になり、やがて、最終レベルの組合せ出力に遷移できなく、完了信号の応答ができなくなり、全体の動作が止まってしまう。

**例題1** 図3の信号線( $l_1$ )(太線の部分)に0縮退を考える。

入力( $A, /A, B, /B, C, /C, D, /D$ )が休止相(全て0)から各々(0, 1,  $x, /x, 1, 0, 1, 0$ )へ遷移したにもかかわらず、出力( $F, /F$ )は正常であれば、(1, 0)に遷移するのに対し、無効符号語(0, 0)のままに止まってしまう。

よって、この故障は上の符号語入力を印加すると出力の遷移不能を起こすものである。

上の例題の符号語入力をテスト入力として用い、適当なタイムアウト機構を設け、出力が完了信号を観測することによって、遷移停止になる故障の検出が可能になる。

**自己停止** 相間の遷移に、条件入力が印加されても、回路に故障の存在で出力遷移が出来ない、つまり、目的の相へ移れないため、完了信号の応答ができなく、回路全体の動作が自動的に停止する現象を定義する。これを自己停止と呼ぶことにする。

ある故障で自己停止となった回路に、適当な完了信号を外へ観測させることによって、故障を検出することが出来る。その回路自身がセルフチェックのチェックカとなる。

さらに、オンラインテストに関しては、回路が故障で次の動作へ進めなくなることから、遅延時間に依存しない適当なタイムアウトを構築して実現できる。

従って、表1の○のついた信号線の故障に対しては、自己停止である。実際に完了信号を外へ観測させるためには、図1の acknowledge 信号を用いて実現できる。

### 3.1.2 遷移停止しない故障1 (組合せ実現部 AND 素子の1縮退)

**例題2** 図3の信号線 ( $l_1$ ) (太線) に1縮退を考える。入力 ( $A, /A, B, /B, C, /C, D, /D$ ) が休止相 (全て0) から各々 (1, 0, 1, 0, 1, 0, 0, 1) に遷移した時、出力  $F, /F$  は正常であれば、(1, 0) に遷移するのに対して、非効符号語 (1, 1) になってしまう。

よって、この故障は上の符号語入力を印加すると非符号語を出力するものである。

冗長なセレクトアの1縮退は、非符号語を出力する符号語入力が必ず存在することを保証する。つまり、SC 遷移時に、組合せ部のセレクトア、あるいはコレクタに1縮退は、冗長でなければ、各レベルの出力に 1-out-of-n 符号でなくなり、2ヶ所以上の出力値1が存在し、やがて、組合せ出力に非符号語 11 を出力させる有効符号語入力が到着すると、非符号語を出力してしまう。しかし、転送先レジスタに非符号語検出機能がなく、完了信号を応答したとして、CS 遷移 (稼働相から休止相へ) が始まり、出力が無効符号語への遷移をしてしまう。これは自己停止ではない。この故障に、非符号語を検出するための増設チェックを必要とする。一般に、EX-OR 素子で実現できる。

冗長なノードを削除して既約化された BDD には、回路実現の際、組合せ実現部のセレクトア変換に、冗長な信号線が生じる場合がある。よって、そのセレクトア入力の1縮退は、非符号語を出力する保証が出来なくなる。

**例題3** 図3の信号線 ( $l_2$ ) (太線) に1縮退を考える。 ( $/A$ ) か ( $/B$ ) どちらか1になれば、コレクタに1を伝播するため、そのセレクトアの入力線 ( $A$ ) の ( $l_2$ ) が冗長になる。その時、同レベルのセレクトアと同時に1を出力させる符号語がなく、非符号語を出力しない。

この場合の故障を検出するために、入力を (0, 0, 0, 1, 1, 0, 1, 0) にし、それを保持しながら、出力が正常の (0, 0) と故障の (1, 0) との判別で実現する。

その後入力 ( $A, /A$ ) に符号語が後に到着すると、正常値と故障値が同一であり、冗長性を表す。

上の例題は、冗長な信号線に故障があった時、符号語入力が完全に到着しない内に、その上監視回路がそれを監視できなく、出力遷移が起きることを示した。これは、最悪の場合、完了信号が遷移完了時より早く応答し、回路内部に不安定となり、ハザードを発生させ、出力段まで伝播することがある。

**例題4** 例題3より入力 ( $A, /A$ ) が休止相へ遷移しようとした時に (0, 0) から (0, 1) が遅れて到着するとすると、レベル1のコレクタ OR に ( $/A$ ) の (0 → 1) と ( $/B$ ) の (1 → 0) と同時変化が起こり、ハザードを発生してしまう。

例題3のような故障でハザードを引き起こす要因は以下のように考えられる。

1. 冗長信号線の存在
2. 監視回路の不十分
3. 伝播遅延の差

同期式では、冗長回路の故障はハザードや出力誤りはクロックにマスクされるが、非同期式では、そうとは限らない。そのため、冗長部分もテストを実現しなければならない。要因3の遅延の差が大きければ大きいほどハザードが起きやすくなるが、どの位で起きるのかは不明である。従って、残りの2つの要因を改善することにする。具体策として、監視を十分に、それに冗長部分を削除する回路を構成することである。

### 3.1.3 遷移停止しない故障2 (監視回路 OR 素子の0縮退)

監視回路について考える。図3の監視回路の入力は、データ入力と内部信号をまとめた部分監視で実現したため、1-out-of-n 符号ではない。従って、0縮退が自己停止にならない。

この故障は、CS 遷移時に監視出力の0遷移を早く発火させることによって、内部不安定を生じる。

**例題 5** 図 3 の信号線 ( $l_3$ ) (太線) に 0 縮退を考える。稼働相から休止相へ遷移する際、(A) が (1 → 0) が遅れて到着しても、故障で出力が (0,0) になる。その後が、新しく稼働相の遷移がすぐに始まるとすると、遅れて到着した (A) の遷移と (B) などの (0 → 1) 遷移が同時変化で、ハザードが起きる。

このようなハザードを引き起こす要因は、監視回路の不十分が考えられる。

**監視回路の遷移停止の条件** 入力データや内部信号の遷移の到着を確認するための部分監視回路に 0 縮退時に遷移停止が起きる条件は、OR 素子で構成し、各々の入力に、SC 遷移時に 1-out-of-n の入力符号が少なくとも 1 つ存在することである。この条件を満足した監視回路は、0 縮退も 1 縮退も遷移停止が起り、自己停止になり、テスト容易になる。

## 3.2 テスト

前節の停止しない故障のテストについて考える。

### 3.2.1 組合せ実現部

組合せ実現部の場合は、非符号語を出力させる入力をテスト入力にすることができる。観測は、転送先レジスタの状態ではなく、論理演算部の出力を観測点とし、非符号語を検出するための EX-OR 素子の増設チェッカを必要とする。テストを実現するには、テスト入力の印加時刻から応答が観測点に出力するまでの観測時間が一般に一定の間隔である。非同期式では、クロックがないため、その一定間隔を決めるのが伝播遅延時間と関係する。

**非符号語の検出問題** 非符号語を観測するには、その非符号語の伝播遅延時間まで時間を予測する必要がある。その時間より十分大きく観測時間を取らなければならない。

なぜならば、無効符号語から非符号語への遷移途中の有効符号語を通過しなければならず、その時の有効符号語を観測してしまうと、それが正常か故障かは判定できないからである。

**例題 6** 例題 2 のテスト入力 (1, 0, 1, 0, 1, 0, 0, 1) を印加し、伝播遅延時間より大きい時刻の後 EX-OR チェッカの出力結果を観測すると、(1) は正常で、(0) であれば故障と判定できる。

このため、回路の正常動作速度が伝播遅延の平均値に対し、テスト時が最大値にしなければならぬ欠点がある。結局、オンラインテストにはその性能を低下させることになる。

冗長な信号線の故障は、前述のようにハザードを引き起こすことがあり得るため、テストを必要とする。その故障に対するテスト入力はまだ到着していない符号も混在しているため、そのような入力の印加を制御できるようなレジスタあるいはスキャンインが必要となる。例えば、例題 3 でのテスト入力は (0, 0, 0, 1, 1, 0, 1, 0) になる。

### 3.2.2 監視回路

遷移停止の条件を満たさない部分監視回路に故障が存在しても非符号語を出力しない。テストを実現するには、監視出力に直接観測する必要がある。図 3 のように、破線の ind 出力を外部へ観測する必要がある。また、テスト入力は符号語と無効符号語が混在しているため、上記と同様特別なレジスタあるいは非同期式用のスキャンインが必要となる。

**例題 7** 例題 5 のテストには、(1, 0, 0, 0,  $x$ ,  $x$ ,  $y$ ,  $y$ ) を入力させ、ind に直接観測し、(1) であれば正常で、(0) であれば故障と判定できる。

### 3.2.3 テスト容易化 (検出可能化の条件)

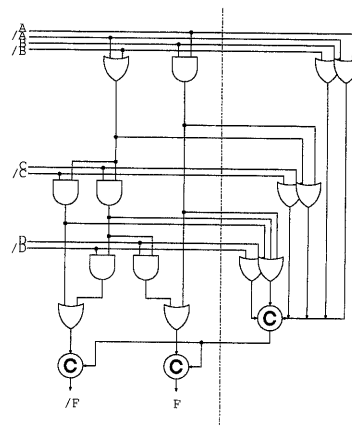


図 4: テスト容易化設計された回路

上記では、冗長な信号線に対し、特別なレジスタを構成することによりテスト可能化になるが、冗長な信号線を削除しないことは望ましくない。ここでは、テスト容易に実現できる回路の最適化についてさらに検討する。結果は、冗長信号線を削除し、監視回路には、テスト条件を満たすように OR 素子の入力に各々 1-out-of-n 符号を構成することにする。よって、テスト時に特別なレジスタあるいはスキャンイン入力を必要としなくなり、直接観測用に ind も不必要での回路を実現できる。

図3の回路をテスト容易化設計すると図4になる。図4の回路ではAND素子の入力の1縮退を除き、全ての故障は自己停止が起り、テスト容易になる。また、その1縮退に関しては、必ず非符号語を出力するため、チェッカを増設することで、テスト可能になる。

## 4 C-OR 構成

前章までは、論理演算部の故障の多くは回路動作を停止させるが、セレクタの入力の1縮退だけが、自己停止が起きなく、その上、誤動作の原因となる非符号語を出力することがあるため、その故障を検出可能にすることが重要であることを示した。しかし、テスト可能には遅延時間を必要とすることから、テスト時の動作遅延が、既知で、遅延の最大時間より大きく設定する必要がある。よって、回路の性能に大きなペナリティを与えることになる。つまり、回路動作の速度評価が平均遅延でなく、最大値にする必要がある。オンラインテストに不向きが生じることになる。

ここでは、セレクタの1縮退も自己停止が起きるような回路構成法を検討する。これは、C素子をセレクタとして代用させることによって、回路は全ての故障に対し、必ず停止することで、容易に検出できる。C素子は、SC遷移時の入力の評価が全て入力が1の時のみに出力を1に遷移し、CS遷移時に内部状態も含め全入出力が0にもどり、つまり、初期化される。従って、AND素子の代用が出来ることになる。

この構成法の利点は、非符号語の検出する必要がなく、オンラインテストの動作速度も平均値で実現できることである。

図2(b)のBDDからテスト容易化条件を考慮したC-OR構成に変換すると回路は図5のようになる。

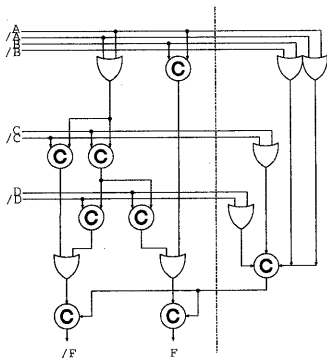


図5: C素子セレクタ回路

実現された回路はテストなどに関する性質を調べた結果は以下のようになる。

**回路構成** 部分別に以下のような性質を持つ。

1. 組合せ実現部のセレクタをC素子で構成する。
2. C素子は入力遷移の到着を同期化するため、監視回路に内部遷移の監視は必要がなくなる。
3. 監視回路の同期素子(C素子)の入力数はレベル数に等しい。

**テスト** 縮退故障が存在した時の回路動作は以下のようになる。

1. 組合せ実現部に0縮退の時、SC遷移は回路が正常動作をするか、停止するかである。
2. 組合せ実現部に1縮退の時、SC遷移は回路が正常動作をするか、非符号語を出力するかである。故障遷移は出力段まで到着した場合、その後はCS遷移は出来なく、そのまま自己停止が起きる。
3. 監視回路、出力段に0縮退の時、SC遷移は回路が正常動作をするか、停止するかである。
4. 監視回路、出力段に1縮退の時、SC遷移は回路が正常動作をするか、非符号語を出力するかである。故障遷移は出力段まで到着した場合、その後はCS遷移は出来なく、そのまま自己停止が起きる。

以上より、ANDセレクタの回路と同様に、無効符号語から非符号語への出力途中に經由した有効符号語は、不正であるかどうか分からないため、厳密にはフォールトセキュリティ性を満足していない。しかし、回路動作の1サイクルの内に、非符号語を出力した後は、必ず動作が止まることで、故障検出でき、合理的なセルフチェックになる。

**合理的なセルフチェック** 稼働相への遷移が停止させる故障を含め、それ以外の故障で不正有効符号語を絶対に出力しない保証がないが、仮に、それを出力したとしても、あるいは、非符号語を出力したとしても、回路動作の1サイクルの内に、その後、休止相への遷移が出来なくなる回路の性質を合理的なセルフチェックと呼ぶ。

これは1サイクルの内、任意の故障に対し、自己停止が起きることを保証することである。

### 4.1 セレクタの削減

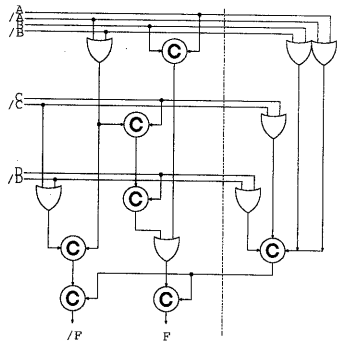


図 6: コレクタとセレクタとの入れ換えが行なわれた回路

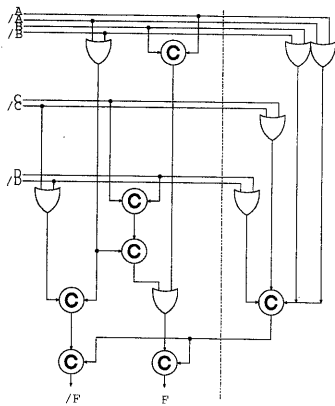


図 7: 入れ換えとセレクタの並列化が行なわれた回路

実際に C 素子で構成すると回路が複雑になる。そのため、出来れば C 素子を削減する必要がある。図 2(b) のモデルでは、1-out-of-n 符号の構成をもつコレクタが必ず上位レベルのセレクタに後続している。ここで、コレクタとセレクタとの順位を入れ換える、つまり、入力を先にコレクタに通すことにより、セレクタの削減につながる。コレクタへの入力が 1-out-of-n でなくなることもあるが、動作仕様の中で少なくとも 1 つがそうであるとすれば、遷移停止が起き、テスト可能化の条件を満足できる。ただし、実現されたコレクタは多段であった場合、内部安定を監視する必要がある。図 5 の回路よりコレクタとセレクタの入れ換えを行なうと、図 6 のような回路が構成される。

またセレクタについては、並列化を行なうことで削減につながる。セレクタ入力数の制限がある場合、セレクタ削減はできないかもしれないが、演算の段数を減らすことが出来る。コレクタとセレクタの入れ換えと同時にセレクタの並列化をすると図 7 のようになる。

#### 4.2 監視回路の削除

図 8 に示すように、既約 BDD から準既約 BDD [6] に変形したことより、全入力はレベル毎に全セレクタを通し、同期化される。そのため、入力信号の到着を監視する必要がなく、監視回路を必要としない。図 8 の準既約 BDD から C-OR 構成回路に変換すると、図 9 のように構成される。さらに、前節で述べたセレクタ削減を行なうと、図 10 のように構成される。

これは、図 7 と比べ、C 素子が増加しているが、BDD がノードの“飛び越し”が多いためである。従って、“飛び越し”の少ない BDD にはこの構成法が有効であろう。

### 5 まとめ

論理演算部に故障が存在した時の影響について考察した結果、相間遷移時に動作が止まる、つまり自己停止が起きることがあるが、停止しない故障もあることを示した。

停止しない故障は、内部不安定を生じ遅延によってハザードが起きるため、テストの必要性を示した。

停止しない故障の内に非符号語を出力するものを、その非符号語を用いて検出可能化になる。しかし、オンラインテストに関しては、非符号語の到着などの経路の伝播遅延時間を予測できるように、遅延を既知の下での実現が可能になる。そのため、回路動作が平均遅延でなく、最大値にする必要がある。

回路を C-OR 構成で実現することによって、任意の故障に対し、回路は自己停止になることで、非符号語を検出す

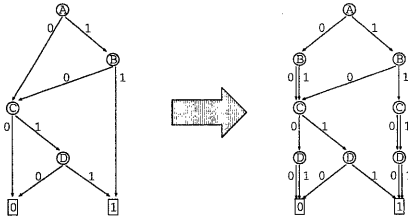


図 8: 既約 BDD から準既約 BDD への変換例

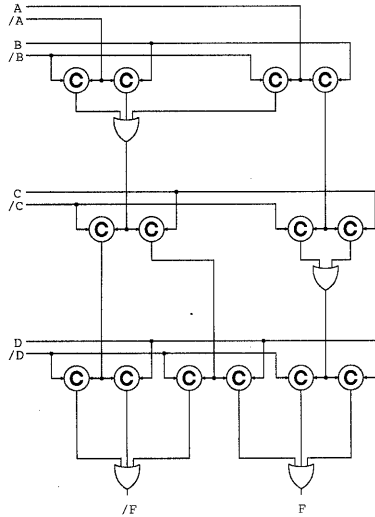


図 9: 準既約 BDD からの変換回路

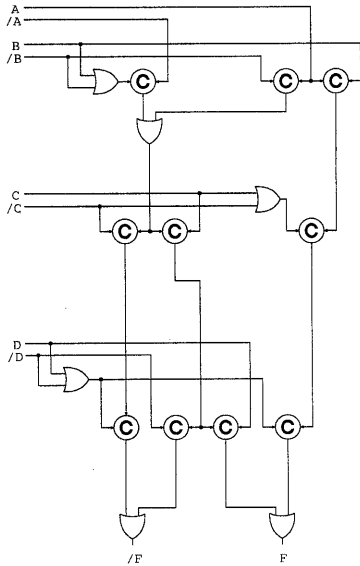


図 10: 単純化された回路

る必要がなく、故障検出が容易にできる。C-OR 構成回路は、合理的なセルフチェックングであることを示した。

オンラインテストの評価速度に関して、C 素子を 2 段とする素子段数で評価すると、図 4 の容易化設計された回路が、最大値で 7 段になる。その内のチェックを 1 段とする。一方、図 5 の C-OR 構成で実現された回路は、最大値が 8 段であるが、平均値が 6.75 段に減っている。さらに、図 7 の単純化された回路は、最大値が 7 段で、平均値が 5.5 段になったことがわかる。

今後の課題は C 素子の削減、高速化などにあり、回路の最適化にはまだ検討の余地がある。

本研究の一部は文部省科学研究費補助金 04452192 によるものである。

## 参考文献

- [1] A.J.Martin. "The Limitations to Delay-insensitivity in Asynchronous Circuits", Proceedings of the Sixth MIT Conference on Advanced Research in VLSI, pp263-278, MIT Press, 1990.
- [2] G. A. Maley, J. Earle. "A theory of asynchronous circuits", Proc. Int. Symp. Theory of Switching, pp204-243, 1959.
- [3] 上野洋一郎, 桑子雅史, 南谷崇, "非同期式 2 線 2 相組合せ回路の一構成法", 1992 年電子情報通信学会秋期大会講演論文集 (5), pp(5)121, 電子情報通信学会, 1992.
- [4] A. J. Martin, P. J. Hazewindus. "Testing Delay-Insensitive Circuits", Advanced Research in VLSI 1991, UC Santa Cruz, pp118-132, 1991.
- [5] 山村良憲, 南谷崇, "非同期式制御モジュールと組合せ回路の一構成法", 信学技法, FTS91-17, May. 1991.
- [6] 石浦菜岐佐, "二分決定グラフからの組合せ論理回路の合成", 情処研報, Dec. 1991, DA60-20.