

## CMOS回路における最大変化ゲート数の評価手法について

上田 祐彰, 樹下 行三

大阪大学工学部応用物理学科  
〒565 吹田市山田丘2-1

あらまし

本論文は、CMOS 組合せ回路における同時に変化可能なゲートの最大数を求める方法について論じている。本報告では、近似的な最大変化ゲート数を求めるヒューリスティックな手法として、部分的な全数探索に基づく手法、テストパターン生成で用いられている後方操作に基づく手法の2種類を提案し、ISCAS '85 ベンチマーク回路に対する実験を行った。また、ゲートの種類により電流値の異なるモデルとして重みを導入した場合についても考察を行った。

和文キーワード CMOS 回路, 貫通電流, 最大消費電力, 変化ゲート数, 部分的な全数探索

## Evaluation of the Maximum Number of Switching Gates for CMOS Circuits

Hiroaki Ueda and Kozo Kinoshita

Dept. of Applied Physics, Faculty of Engineering, Osaka University  
2-1 Yamadaoka, Suita, Osaka 565 Japan

Abstract

In this paper, a method for evaluating the maximum number of switching gates as an estimation of the maximum power dissipation in CMOS circuits. Two methods are proposed as heuristics to evaluate a nearly maximum number of switching gates. The first method is based on the partial exhaustive enumeration and the second one is based on the backward value assignment used in the test pattern generation. These methods are implemented on Sun workstations and experiments for ISCAS'85 benchmark circuits have been done. These results are compared with the result of randomly selected vector pairs.

英文 key words CMOS Circuit, IDDQ current, maximum power dissipation, number of switching gates, partially exhaustive enumeration

## 1. はじめに

近年、集積回路の高集積化によって単位面積当りのチップの発熱量が増加してきており、その発熱対策が問題となって来ている。また、配線技術の微細化によって電源網上に流れる単位面積当りの電流量が増加してきていることから、エレクトロマイグレーションなどの影響を考慮した電源網の設計が必要になり、低消費電力の集積回路設計 [1], [2] と共に、集積回路内に流れる最大電流や最大消費電力の正確な見積りが必要となっている [3], [4]。本論文では、CMOS 論理回路の最大消費電力および最大消費電力を評価する一手法として、同時に変化可能なゲートの最大数を評価する方法について考察している。

完全相補形 CMOS で構成される論理回路では、ゲート出力が変化する際に  $V_{dd}$  から GND 間を流れる貫通電流およびゲートの負荷容量に対する充放電電流などによって電力が消費される。論理回路が定常状態にあるときにも、静的電流によって電力消費が生ずるが、スイッチ動作により生ずる動的な電力消費に比べると無視できる [5], [6]。したがってこれまでの報告の多くは、ゲートのスイッチング動作時の動的電流を求めることにより論理回路の消費電力の評価を行っている [3], [4], [7], [8]。

論理回路内の消費電力を正確に求めるためには、SPICE などをを用いた回路シミュレーションを行う必要があり、大規模な回路については容易ではない。大量のシミュレーション時間を避けるために、文献 [7], [8] では、回路内のゲートの平均動作確率、すなわちゲート出力が 1 から 0、もしくは 0 から 1 に遷移する確率、をシンボリックシミュレーションを用いて求めることによって、回路全体の平均消費電力を求めている。一方最悪時の値、すなわち最大消費電力や最大消費電流を求める手法も提案されているが [6]、この手法では配線の詳細構造を考慮しており、精度の良い値は求まるが、小規模回路にしか適用することが出来ない。

ここでは、大規模回路の取り扱いを容易にするために、各ゲートでの平均的な消費電力が等しいと仮定し、CMOS 論理回路の最大消費電力を求める問題を、入力対にたいして同時に変化が可能なゲートの最大数（最大変化ゲート数）を求める問題に帰着させている。しかしこの場合にも、正確な最大変化ゲート数を求めるには、解空間の全数探索を行う問題となるので、分岐限定法を用いたとしても非常に多くの計算時間が要求される。本論文ではこの問題に対するヒューリスティックな手法として、探索空間を縮小することによって、近似的な最大変化ゲート数を高速に求めるアルゴリズムを提案している。

本論文は次のように構成されている。次の第 2 章では、消費電力の評価式について考察し、その評価はゲートの変化数で近似できることを示す。第 3 章では、部分的全数探索に基づいた近似的最大変化ゲート数評価手法について述べる。第 4 章では、後方操作に基づく近似的最大変化ゲート数を評価する手法について述べる。第 5 章では、これらの手法に対する実験結果を示しこれらの手法の評価を行っている。

## 2. 消費電力の評価

一般に、CMOS 回路の平均消費電力は次式で近似されている [9]。

$$P = f \cdot V_{dd}^2 \cdot N \cdot p \cdot C \quad (1)$$

ここで、 $N$  はゲート数、 $f$  は動作周波数、 $V_{dd}$  は電源電圧、 $C$  は平均負荷容量、 $p$  はゲートが動作する確率である。回路の動作条件が一定であるとする、 $N$ ,  $f$ ,  $V_{dd}$  は一定とみなせるので、外部入力対  $v = (V_1, V_2)$  に対する消費電力  $P(v)$  は

$$P(v) = f \cdot V_{dd}^2 \cdot N \cdot p(v) \cdot C(v) \quad (2)$$

で表される。ここで、 $p(v)$  は外部入力対  $v$  で動作するゲート数、 $C(v)$  はそのゲートの負荷容量を表す。さらに、 $T_i(v)$  を  $i$  番目のゲートの出力値が入力対  $v = (V_1, V_2)$  によって変化したときに 1、そうでなければ 0 となる関数とし、また  $i$  番目のゲートの負荷容量を  $C_i(v)$  とすれば、外部入力対  $v = (V_1, V_2)$  が印加されたときの  $p(v) \cdot C(v)$  積は次式で与えられる。

$$p(v) \cdot C(v) = \sum C_i(v) \cdot T_i(v) \quad (3)$$

各ゲートの負荷容量が等しい仮定すれば  $C_i(v) = \alpha$  とみなすことが出来、

$$p(v) \cdot C(v) = \alpha \sum T_i(v) \quad (4)$$

を得る。この式より、各ゲートの負荷容量は全て等しいという仮定のもとでの最大消費電力は、式 (4) を最大にする入力対  $(V_1, V_2)$  を求める問題に帰着できる。実際にはゲートの負荷容量は出力信号線のファンアウト数などによって異なるので、この効果を考慮するときには、 $C_i(v) = \alpha_i$  として各ゲートの重みを考慮する必要がある。

以上のことより、本論文では、各ゲートの負荷容量は全て等しい場合とファンアウト数に比例する場合について、同時に変化可能なゲートの最大数を求めることにより CMOS 組合せ回路の最大消費電力を評価する方法について考察する。

本論文では、完全相補形 CMOS ゲート (図 1) からなる論理回路を取り扱い、ここでの対象回路は、AND, OR, NAND, NOR, NOT で構成される CMOS 組合せ回路であると仮定している。実験用のベンチマーク回路と

しては、ISCAS'85のゲート型のベンチマーク回路 [10]を完全相補形CMOS回路に変換したものをを用いる。

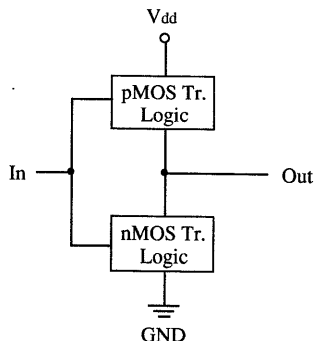


図1. 完全相補形CMOSゲート

### 3. 部分的全数探索による最大変化ゲート数の評価

#### 3. 1. 概要

最大変化ゲート数を決定する最も単純な方法は、全入力ベクトル対に対する変化ゲート数を調べることである。同時に出力が変化するゲートの最大数を計算するには、連続して印加される2つの入力ベクトルを扱うことが必要となる。入力信号数を  $n$  とすると全入力ベクトルは  $2^n$  通り、入力ベクトル対は  $2^{2n}$  通りある。従って多くの入力信号線をもった回路では、直接全てのベクトル対に対する変化ゲート数を計算することは時間的に不可能であり、近似的な手法に頼らざるをえない。本章では部分的全数探索に基づいた近似的な最大変化ゲート数評価手法について論じる。先ず、本手法で用いる用語を定義する。

時刻  $t$  に印加された入力ベクトルに対する出力値と、時刻  $t+1$  に印加された入力ベクトルに対する出力値が異なるゲートを変化ゲートといい、そのときの回路内の変化ゲートの個数を変化ゲート数という。また、変化ゲート数の最大値を最大変化ゲート数という。

すべての入力ベクトル対に対して変化ゲート数を調べ上げることを全数探索という。各入力信号線に初期値を設定したあと、一部の入力信号線の値を固定し、残りの入力信号線における全入力ベクトル対に対する変化ゲート数を調べることを部分的全数探索という。

本手法では 00, 01, 10, 11 の4値を用いる。01とは、時刻  $t$  に印加された入力ベクトルに対する信号値が0で、時刻  $t+1$  に印加された入力ベクトルに対する信号値が1であることを意味する。出力値が01もしくは10となっているゲートが変化ゲートである。本手

法ではこの4値を用いた部分的全数探索を反復して用いることで最大変化ゲート数の近似値を計算する。その概略フローチャートを図2に示す。

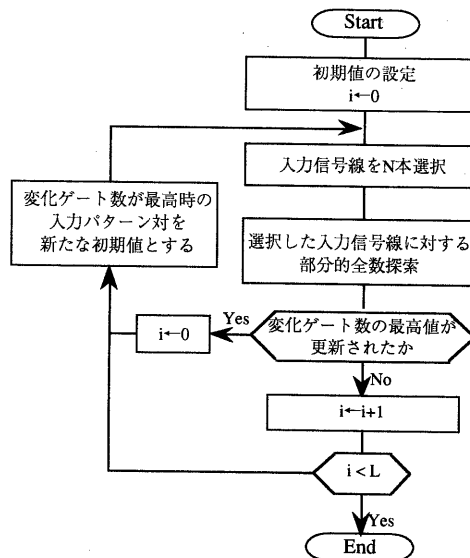


図2. フローチャート

はじめに、全入力信号線に初期値を設定し、そのときの変化ゲート数を変化ゲート数の最新値とする。続いて、全入力信号線の中から  $N$  本の入力信号線を選択し、選択されなかった入力信号線の値を固定した状態で、選択した入力信号線に対する部分的全数探索を行い、そこで計算された変化ゲート数がこれまでの値より大きければ、その値をそのときの入力ベクトル対に対する最新値として設定する。再び入力信号線の選択を行い、その入力信号線に対して部分的全数探索を行う。この処理の中で、部分的全数探索を行う入力信号線の選択を行っても、連続して  $L$  回変化ゲート数の最新値が更新されないとき、解が収束したと判断して処理を終了し、そのときの最新値を変化ゲート数の近似的な最高値とする。なお、一回の部分的全数探索で選択される入力信号線数  $N$ 、アルゴリズムの終了条件  $L$  は条件パラメータとして設定するものとする。

#### 3. 2. 初期値の設定と入力信号線の選択

部分的全数探索を行うために選択される入力信号線の本数  $N$  は、近似的最大変化ゲート数と実際の最大変化ゲート数との差およびその計算時間に多大なる影響を及ぼす。  $N$  が小さいと、局所的な最大値に収束する可能性

が高くなり、実際の最大変化ゲート数とはかけ離れた値を近似的最大変化ゲート数として評価する危険性がある。一方、Nを大きくすると、実際の最大変化ゲート数を得る可能性は高くなるが、Nの増加に伴って一回の部分的全数探索に要する計算量はNに対して指数的に増大するため、莫大な計算時間が要求される。

終了条件Lについても、その選択に注意を払う必要がある。Lが小さいと、値が収束する前に計算が終了するし、Lが大きいと不必要な探索に時間を浪費し、計算時間が増加する。本報告では、最適とされるLの値を予備実験によって選定し、その値を用いて終了条件とした。

本手法では、変化ゲート数の最新値が更新されなければ入力信号線に対する初期値の変更は行われぬ。従って、はじめに全入力信号線に対して与える値によって、計算される近似的最大変化ゲート数に変化が生じうる。しかし、値を最大変化ゲート数に収束させるために、どのような初期値から開始すればよいかを事前を知ることは不可能である。従って、初期値としては、00, 01, 10, 11のすべての値が可能であるとしている。今回の実験では、部分的全数探索を行うための入力信号線の選択はランダムに行っている。

### 3. 3. 部分的全数探索

部分的全数探索では、入力信号線の変更によって信号値が変化する内部信号線についてのみ、その影響を伝搬させる回路内の変化ゲート数の増減によってそのときの変化ゲート数を計算するイベントドリブン方式を用いた。例えば、入力信号線集合(a, b, c, d, e)に対して(01, 10, 01, 10, 11)が初期値として与えられている図3の回路を考える。このときの変化ゲートはA, B, E, Gであり変化ゲート数は4である。部分的全数探索を行うために入力信号線bが選択され、bに対して01を設定したと仮定する。入力信号線bの値の変更によって、その影響が伝播する内部信号線はi, j, k, m, n, q, r, s, tであるから、それらについてのみ値の変更を行う。

この操作によって、bの値を変更する前は変化ゲートであったものがbの値を変更したことによって出力値が変化しなくなるゲートはB、逆にbの値を変更したことによって新たに変化ゲートになるものはC, Dである。従って、入力信号線bを01に変更したことによる変化ゲート数の増減は+1となり、入力信号線(a, b, c, d, e)に対する入力ベクトル対(01, 01, 01, 10, 11)の変化ゲート数は、前回の变化ゲート数4に増減+1を加えた5として計算される。この変化ゲート数5がこれまでの変化ゲート数の最高値より大き

ければ、変化ゲート数5が新たな初期値として設定される。

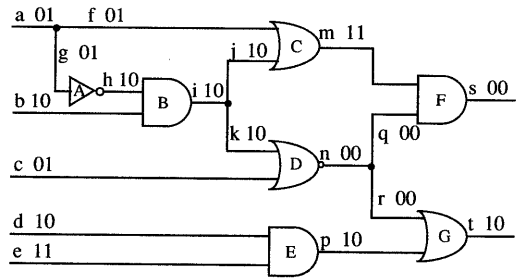


図3. 回路例

部分的全数探索では、00, 01, 10, 11の4値を用いて変化ゲート数の計算を行うため、N本の入力信号線を選択すると $4^N$ 通りの入力ベクトル対に対して変化ゲート数を計算することになる。しかし、必ずしも $4^N$ 個の入力ベクトル対すべてについて変化ゲート数の計算を行う必要はなく、固定値として扱う入力信号線の値を利用すれば、探索空間を縮小することができる。

例えば、図4に示す回路において、入力信号線a, dを選択して部分的全数探索を行う場合を考える。単純に部分的全数探索を行えば、入力信号線a, dに対するすべての入力ベクトル対に対して変化ゲート数の計算を行うことになる。しかし部分的全数探索において選択されなかった入力信号線b, cの値は変更されないことを利用すると、その探索空間を縮小することができる。入力信号線bの値が00となっており、bを入力として持つゲートがANDであることを考慮すると、信号線iの出力値はaの値に関係なく00となり、aに関する探索が除外できる。一方、入力信号線dについてもcの値が10であること、dを入力として持つゲートがANDであることから、dに00を設定したときと01を設定したときの信号線kの値はともに00となる。同様の理由からdに11, 10を設定することによる信号線kへの影響も同様に考えることが出来る。

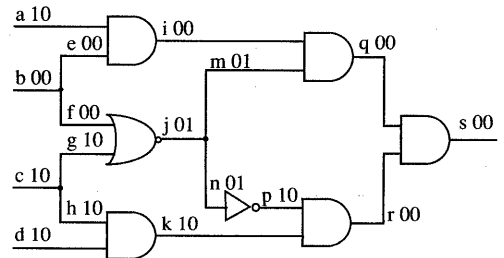


図4. 回路例

従って、図4の回路に対して入力信号線 a, d を選択したときに行う部分的全数探索では、a, b, c は変更せず、入力信号線 d に 0 1 または 0 0 を設定したとき、d に 1 1 または 1 0 を設定したときの 2 通りのベクトル対に対する変化ゲート数を計算すればよいことになる。このように、本手法では入力信号線の選択を行った後、値の変更を行わない入力信号線の値を利用して探索空間の縮小を行っている。

#### 4. 後方操作に基づく手法による最大変化ゲート数の評価

##### 4. 1. 概要

第3章で述べた部分的全数探索による手法では、一部の入力信号線に対する値を変化させ、それによる回路内部の信号値の変化を外部入力から外部出力に向かって調べることにより、近似的な最大変化ゲート数を求めた。本章では、第3章とは逆の信号値の変化順序、すなわち外部出力から外部入力に向かって行う演算によって近似的な最大変化ゲート数を評価する手法について論じる。

ここで提案する手法は、回路全体の変化ゲート数が最大となったときの内部信号線の値と、回路の一部分における変化ゲート数を最大にする内部信号線の値はほとんど等しいという仮定に基づいている。本手法では、まず外部出力近傍における変化ゲート数を最大にする信号値を決定し、その範囲を回路全体へ拡張することで回路全体の近似的な最大変化ゲート数を計算する。信号値の決定には、前章で述べた4値を使用する。図5に示す回路を用いて後方操作に基づく手法の概要について述べる。

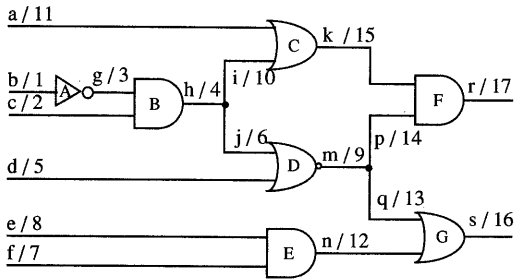


図5. ラベル付け

はじめに、以下の制約を満足するように各信号線に固有のラベルを付ける。本手法では、分岐の幹となる信号線と分岐の枝となっている信号線は異なったものとして扱うため、それらには異なったラベルを与える。

1: 同一のゲートの入力となっている信号線には連続したラベルが付けられている。

2: 任意の信号線に付けられているラベルは、その信

号線を入力として持つゲートの出力信号線に付けられているラベルより小さく、その信号線を出力として持つゲートの入力信号線のラベルより大きい。

図5に示す回路では、各信号線に付けられた数字がラベルを表している。

まず最初に、任意の一つの外部出力に 0 1 を割り当てる。値の定まった外部出力から値の定まっていない外部出力への経路を探索し、その時の否定素子数のパリティを考慮して他の外部出力の値を決定する。探索を行った経路上に NAND, NOR, NOT が偶数個あれば始点となった外部出力と同じ値を終点となる外部出力に割り当て、奇数個なら、1 0 を割り当てる。図5において、外部出力 r に 0 1 を設定したとき、探索を行う経路が  $r \rightarrow p \rightarrow q \rightarrow s$  となり外部出力 s に 0 1 が割り当てられる。

続いてラベルの大きい信号線から順に値の割り当を行う。AND, OR の入力信号線に対して値を割り当てるときは、出力信号線の値と同じ値を、NAND, NOR, NOT の入力信号線に値を割り当てるときは、出力信号線の値を反転させたものを割り当てる。分岐の幹となる信号線に対する値割当は、その分岐の枝となっている信号線への値の割当が決定された後で行う。分岐の枝となる信号線にすべて同じ値が割り当てられていれば、分岐の幹となる信号線には分岐の枝と同じ値を割り当てるが、分岐の枝となる信号線の値がすべて同一でないときは値割当を中断する。

図6は、外部出力 r, s にそれぞれ 0 1 を割り当て、ラベルの順序にしたがって k, p, q, n, a, i, m, e, f, j, d, h の順に値を割り当てたときの様子を示している。分岐の幹となる信号線 m は、その分岐の枝 p, q の値が等しいことから 0 1 が割り当てられている。一方、分岐の幹となっている信号線 h では、その分岐の枝 i, j の値が異なっていることから値割当が中断される。

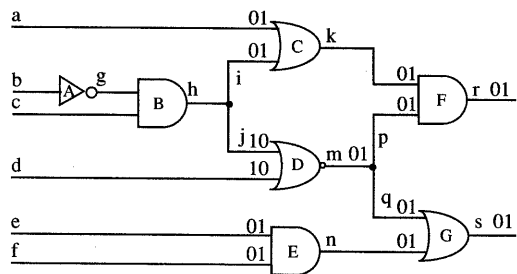


図6. 値割当

信号線hに割り当てる値を決定するために、値を割り当てることができなかつた信号線hと、これまでに値割当のなされた信号線a, d, e, f, i, j, k, m, n, p, q, r, s及びそれらを入力として持つゲートC, D, E, F, Gによって構成される部分回路のみを考える(図7)。値を割り当てるができなかつた信号線h, 及びhから外部出力への経路上にあるゲートC, D, Eの入力信号線のうち先頭信号線となっている信号線c, f, pを選択して部分回路に対する部分的全数探索を行い、部分回路内の変化ゲート数を最大にする信号値を決定する。その後、外部入力に向かって行く値割当を再開する。

分岐点から到達可能な信号線を束縛信号線、束縛信号線に隣接する非束縛信号線を先頭信号線という。

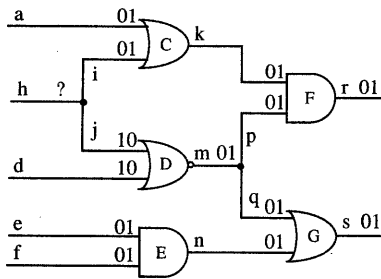


図7. 部分回路の抽出

部分的全数探索によって、出力値が00または11となっているゲートの入力信号線に値を割り当てる状況が生ずる。値割当においては出来るだけ多くの信号線に01または10を割り当てようとするので、出力00に対するNOR, ANDおよび出力11に対するOR, NANDの入力値を割り当てるときは、ゲート出力を変更しない範囲内で01または10を割り当てる。

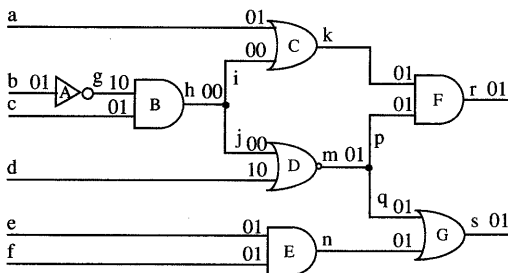


図8. 最終結果

図8では、出力が00となっているANDゲートBの入

力信号線gには、01または10が割り当てられ、この割当によってcには信号線gの値を反転させたものが割り当てられる。

後方操作に基づく手法では、値割当、部分的全数探索をすべての信号値が決定するまで繰り返し、そのときの变化ゲート数を近似的最大変化ゲートとする。図6の回路に対して本手法を適用したときの最終結果を図8に示す。この時に得られる最大変化ゲート数は6である。

## 5. 実験結果

第3章および第4章で述べた手法を、富士通S-4/LC上にC言語を用いて作成し、ISCAS'85ベンチマーク回路[10]に対する実験を行った。各回路の基本データおよび100万個のランダムパターンに対する変化ゲート数の最高値を表1に示す。また、c7552に対して100万個のランダムパターンを印加したときの変化ゲート数の度数分布を図9に示す。

表1. 基本データ

CKT	IN	Out	ゲート数	RND
c880	60	26	383	243
c1355	41	32	546	270
c1908	33	25	876	538
c2670	233	140	1193	670
c3540	50	22	1169	844
c5315	178	123	2307	1190
c6288	32	32	2416	1298
c7552	207	108	3512	1869

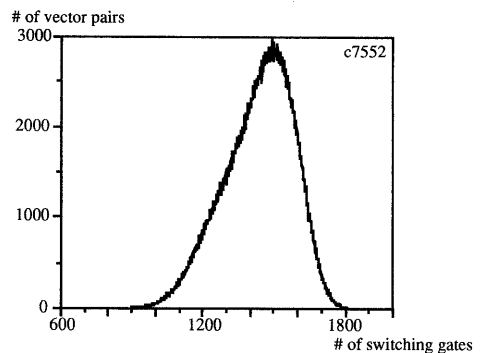


図9. ランダムパターンシミュレーション

第3章で述べた部分的全数探索による結果を表2に示す。まず終了条件Lを決定するため、部分的全数探索を行う際に選択する入力信号線数Nを5として、c5315に対する実験を行った。そのときの終了条件Lとそのとき得られた近似的最大変化ゲート数の関係を図10に示す。また、Lを50としたときの入力値を変更した回数と変化ゲート数の最高値との関係を図11に示す。他の

回路についても同様な値が得られることから、終了条件Lを30として実験を行った。各入力に対する初期値には、01または10をランダムに与えている。この時の近似的最大変化ゲート数が表2に示されている。

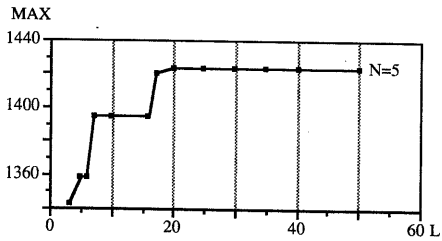


図10. 終了条件Lと近似的最大変化ゲート数

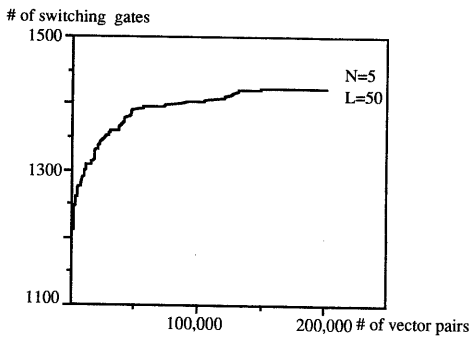


図11. 印加したベクトル対の個数と変化ゲート数

表2. 部分的全数探索に基づいた手法による実験結果

CKT	N=2		N=4		N=6	
	Gates	CPU	Gates	CPU	Gates	CPU
c880	285	1.04	315	11.98	300	180.86
c1355	271	0.78	261	8.97	296	268.56
c1908	563	1.30	576	28.33	591	241.81
c2570	748	7.07	749	55.68	758	826.36
c3540	892	4.50	915	52.04	915	453.63
c5315	1408	9.55	1424	131.65	1429	1405.83
c6288	1521	13.78	1420	136.50	1556	1484.40
c7552	2020	11.64	2092	175.89	2094	2974.24

L=30

表3. 後方操作に基づいた手法による実験結果

CKT	Gates	CPU (s)
c880	271	1.32
c1355	234	9.70
c1908	555	5.31
c2570	711	9.35
c3540	777	24.26
c5315	1280	44.17
c6288	1464	72.95
c7552	1991	92.13

第4章で述べた後方操作に基づく手法によって得られた結果を表3に示す。多くの回路に対して、ランダムパターンシミュレーションによる結果より大きな近似的最大変化ゲート数が求められているが、部分的全数探索によって計算された値よりは良くない。

これらの結果から、ベンチマーク回路に対しては、部分的全数探索に基づく方法の方が後方操作に基づく手法よりは近似的最大変化ゲート数を求めるのに適していると考えられる。しかし、部分的全数探索による方法では、入力に対する初期値によって結果が影響を受ける。表4は、初期値の設定方法を変えて実験を行ったときの結果を表している。RND1は各入力信号線の初期値に00, 01, 10, 11をランダムに与えたとき、RND2は各入力信号線の初期値に01, 10をランダムに与えたとき、BACKは後方操作に基づいた手法によって得られた入力ベクトル対を初期値としたときに計算された近似的最大変化ゲート数を表している。

表4. 初期値の設定方法による影響

CKT	RND1		RND2		BACK	
	Gates	CPU	Gates	CPU	Gates	CPU
c880	275	123.69	300	180.86	315	90.49
c1355	289	325.74	296	268.56	290	378.87
c1908	582	518.58	591	241.81	592	395.36
c2570	765	1094.13	758	826.36	776	622.49
c3540	901	611.60	915	453.63	904	726.19
c5315	1408	1315.60	1429	1405.83	1412	1511.62
c6288	1538	1423.56	1556	1484.40	1499	823.71
c7552	2114	4005.04	2094	2974.24	2125	2114.31

N=6, L=30

表5. 重みを考慮したときの変化ゲート数

CKT	No Weight		Weighted			
	L=30		L=30		L=50	
	Gates	CPU	Gates	CPU	Gates	CPU
c880	300	180.86	316	201.40	319	327.01
c1355	296	268.56	293	325.40	298	592.69
c1908	591	241.81	593	523.50	587	888.11
c2570	758	826.36	795	1137.90	795	1231.30
c3540	915	453.63	892	662.69	892	820.31
c5315	1429	1405.83	1409	1520.98	1409	1724.34
c6288	1556	1484.40	1518	2898.60	1518	3352.10
c7552	2094	2974.24	2072	3009.49	2070	3896.84

N=6

さらに、部分的全数探索に基づく方法を用いて、各ゲートの負荷容量に重み付けをしたときの変化ゲート数の計算を行った。NAND, NOR, NOTゲートについては出力ファンアウト数をその重みとした。AND, ORゲートは、それぞれ、NANDとNOTおよびNORとNOTによって構成されると考え、ゲートのファンアウト数に1を加えたものを重みとして与えた。表5は、N=6とし

たとき、重みが最大となったときの変化ゲート数を表示している。重みを考慮して計算を行う場合は、Lを30としても解が収束しないため、Lを50としたときの結果もあわせて示す。各入力信号線の初期値には、01, 10をランダムに与えている。

多くの回路において、重みを考慮せずに計算したときの近似的最大変化ゲート数と、重みが最大となったときの変化ゲート数は、かなり近い値になっている。また、一部の回路については、重みを考慮したときの方が大きな変化ゲート数を見積っている。このことから、各ゲートの負荷容量が等しいと仮定し、CMOS回路の最大消費電力を最大変化ゲート数によって見積る場合でも、各ゲートに対する重みを考慮することは必要であると判断できる。

## 6.まとめ

CMOS論理回路の近似的最大変化ゲート数を求める手法について考察した。部分的全数探索による手法では、一部の入力信号線に対する全数探索を行い、変化ゲート数の最高値が一定回数以上更新されなくなるまで処理を繰り返すことで近似的最大変化ゲート数を求めている。また、後方操作に基づく手法では、外部出力から外部入力に向かって行う値割当、矛盾が認識されたときに行う部分的全数探索を繰り返すことで近似的な最大変化ゲート数を求めている。この両者の手法について比較し、部分的全数探索による手法ではの方が容易により多い変化ゲート数が求められることが分かった。また、部分的全数探索に基づく手法については、各ゲートに負荷容量に関係する重みを付け、変化ゲートの重みの合計が最高になったときの変化ゲート数と、重みを考慮しなかったときの近似的最大変化ゲート数との関連についても考察を行った。本論文では、ゼロ遅延モデル回路に対する最大変化ゲート数の評価方法について論じたが、遅延や各ゲートの消費電力の違いなどを考慮することが今後の課題として残されている。

## 参考文献

- [1] S. Chowdhury, "Optimum Design of Reliable IC Power Networks Having General Graph Topologies," Proceedings 26th Design Automation Conference, pp. 787-790, 1989.
- [2] Anantha P. Chandrakasan, Samuel Sheng and Rober W. Brodersen, "Low-Power CMOS Digital Design," IEEE Journal of Solid-State Circuits, Vol. 27, No. 4, pp. 473-483, April 1992.
- [3] F. Najm, R. Burch, P. Yang and I. Hajj, "CREST - A Current Estimator for CMOS Circuits," Proc. Int. Conf. on Computer-Aided Design, pp. 204-207, November 1988.
- [4] S. Chowdhury and Javed Sabir Barkathullah, "Estimation of Maximum Currents in MOS IC Logic Circuits," IEEE Trans. on Computer-Aided Design, Vol. 9, No. 6, pp. 642-654, June 1990.
- [5] Phil Nigh and Woejciech Maly, "Test Generation for Current Testing," IEEE Design and Test, Vol. 7, No. 2, pp. 26-38, February 1990.
- [6] Chun-Hung Chen and Jacob A. Abraham, "High Quality Tests for Switch-Level Circuits Using Current and Logic Test Generation Algorithms," Proc. Int. Test Conf., pp. 615-622, October 1991.
- [7] A. Ghosh, Srinivas Devadas, Kurt Keutzer and Jacob White, "Estimation of Average Switching Activity in Combinational and Sequential Circuits," Proceedings 29th Design Automation Conference, pp. 253-259, 1992.
- [8] Amelia Shen Abhijit Ghosh, Srinivas Devadas, Kurt Keutzer, "On Average Power Dissipation and Random Pattern Testability of CMOS Combinational Networks," Proceedings of ICCAD, pp. 402-407, 1992
- [9] 吉留健「電源配線網を階層化、消費電力の評価速度を5~15倍に」最新ASIC設計術'94, pp. 87-92, 日経BP 1993年7月.
- [10] F. Brglez and H. Fujiwara, "A Neutral Netlist of 10 Combinational Benchmark Circuits and a Target Translator in Fortran," ISCAS'85: Special Session on ATPG and Fault Simulation, 1985.