

組合せ回路のタイミング解析におけるクリティカル経路の一検出法

于 湘秋 柳田 宣広 高橋 寛 高松 雄三
愛媛大学 工学部 情報工学科
〒790 松山市文京町3

あらまし 回路の最大伝搬遅延を与えるクリティカル経路について、単一および多重経路に対するクリティカル経路の検出法を考察する。まず、筆者らが先に提案した構造記述関数(EFF)⁽¹⁷⁾を用いて、単一経路に対するクリティカル経路問題を統一的に整理、分類し、それらの検出理論をEFFの経路微分を用いて与える。次に、この検出理論を大規模回路に適用するため、回路を部分樹状回路に分割し、それらのEFFを結合した拡張EFFを新たに提案する。さらに、部分樹状回路ごとのEFFに対する経路微分を後方操作によって得られる入力集合で求め、それらを順次交差することで拡張EFFの経路微分を行う手法を述べる。また、このクリティカル経路の判定法をプログラム化し、ベンチマーク回路に適用した実験結果を示す。最後に、これまでの理論を拡張した多重経路に対するクリティカル経路問題について言及する。

和文キーワード タイミング解析, 組合せ回路, クリティカル経路, 構造記述関数(EFF), 経路微分

Critical Path Detection of Combinational Circuits in Timing Analysis

Xiang Qiu Yu Nobuhiro Yanagida Hiroshi Takahashi Yuzo Takamatsu
Department of Computer Science, Faculty of Engineering, Ehime University
3 Bunkyo-cho, Matsuyama 790, JAPAN

Abstract A critical path is the longest sensitizable path in a circuit. We present a method of detecting the critical path for a single path. First, we classify the critical path problem systematically using the equivalent fanout-free form(EFF)⁽¹⁷⁾, and give its detection theory using a path difference of EFF. Next, in order to apply this detection theory to a large-scale circuit, a circuit is divided into sub-tree circuits and an extended EFF which combines the EFFs of the sub-tree circuits is proposed. The path difference of EFF for every sub-tree circuit is performed by the set of the inputs determined by the back operation, and the path difference of the extended EFF is obtained by intersecting those inputs one by one. The results of the preliminary experiment to the benchmark circuits are shown. Finally we refer to the critical path problem for a multiple-path.

英文 key words Timing analysis, Combinational circuit, Critical path, Equivalent fanout-free form(EFF), Path difference

1. まえがき

LSIの高速化、高集積化に伴い、設計されたLSIのタイミング検証はますます重要になっている。タイミング検証には、論理機能の検証とタイミング解析のために論理シミュレーションを行う方法、組合せ回路における遅延問題に関わるクリティカル経路の解析を行う方法、などがある⁽¹⁾。

前者の論理シミュレーションによる方法は現在広く行われているが、すべてのタイミングの問題を解析するには、すべての入力についてのシミュレーションを行う必要がある、これは一般に不可能である。

また、後者の組合せ回路の遅延問題に関わるクリティカル経路を解析するタイミング検証は、論理シミュレーションを行わないタイミング検証であり、回路の最大遅延時間の推定および遅延故障の検出への応用を行おうとするものである。

本稿では、組合せ回路のタイミング解析におけるクリティカル経路⁽²⁾の検出問題を、単一および多重経路に対して考察する。回路における入力から出力に至る遅延の最も大きい経路をクリティカル経路という。このとき回路の構造的に最も長い経路をクリティカル経路とすると、必ずしもその経路に沿って入力の信号変化が出力に伝搬するような入力の組合せが存在しない場合があり、このような経路を偽経路と呼んでいる。すなわち、組合せ回路のクリティカル経路の検出問題は、組合せ回路の偽経路の検出問題(false path problem)⁽²⁾⁻⁽⁷⁾でもある。

従って、クリティカル経路の検出には回路の論理機能を考慮する必要がある。Brandら^{(2),(3)}およびBenkoskiら^{(4),(5)}は、活性化経路という概念を用いてクリティカル経路の問題を考察している。しかしながら、これらのクリティカル経路の検出は、遅延時間が厳密に導入されていない近似解法であり、後述する動的振舞いを考慮する手法に対して静的活性化経路に基づくクリティカル経路の検出である。そこで、Duら⁽⁶⁾およびMcGeerら⁽⁷⁾は、信号の安定時間(stable time)という概念を導入し、経路におけるviabilityを定義して、動的活性化経路という概念で偽経路問題を考察した。その後、これらの手法を具体的に実現するいくつかの手法が発表されている⁽⁸⁾⁻⁽¹⁰⁾。文献(8)は、path-recursive関数を用いて、また文献(9)では活性化条件の交差による方法で、さらに文献(10)ではtimed Boolean Algebraを用いて、クリティカル経路の検出を行っている。

また、クリティカル経路の検出法は回路の遅延故障のテスト生成にも応用でき、Devadasら⁽¹¹⁾は、ENF表現を用いてクリティカル経路の理論を示し、さらにその検出法をtimed D calculusを用いる手法で実現している。

さらに、クリティカル経路の検出に関連する偽経路の検出問題は、回路の最適化問題にも適用でき、この問題に関連する研究も行われている⁽¹²⁾⁻⁽¹⁶⁾。

以上のことから、厳密なクリティカル経路の実用的な検出法を開発することは、LSIのタイミング検証において重要である。そこで本稿では、これまでの論文⁽²⁾⁻⁽¹¹⁾

で考察されている種々のクリティカル経路を、単一および多重経路に対するクリティカル経路問題として考察する。

まず、2.でEFFの概要について述べ、3.で単一経路に対するクリティカル経路問題は、筆者らが先に提案した構造記述関数(EFF)⁽¹⁷⁾の経路微分を用いて統一的に整理・分類できることを示す⁽¹⁸⁾。次に、4.で、この検出理論を大規模回路に適用するため、回路を部分樹状回路に分割し、それらのEFFを結合した拡張EFFを新たに提案する⁽¹⁹⁾。また、5.では部分樹状回路ごとのEFFに対する経路微分を後方操作によって得られる入力の集合で求め、それらを順次交差することで拡張EFFの経路微分を行う実用的な手法を述べる。6.ではこのクリティカル経路の判定法をプログラム化し、ベンチマーク回路に適用した実験結果を示す。最後に、これまでの理論を拡張した多重経路に対するクリティカル経路問題について言及する。

2. 構造記述関数(EFF)の概要

ここでは構造記述関数の概要を述べる(詳細については文献(17))。なお、本稿で対象とする回路は、AND, OR, NOT, NAND および NOR ゲートからなる組合せ回路である。

[定義1] (構造記述関数)

次の条件を満足する元の回路と等価な樹状回路で実現される関数を定義する。以下、この論理式を等価樹状回路表現(EFF)と呼ぶ。

- 1) 外部入力から外部出力へ至る経路を入力変数が同一であっても別個の入力変数として扱う。
- 2) 入力に否定を許すANDおよびORゲートのみからなる樹状回路である。

以下、本稿では、論理関数 f を実現する回路のEFFを S_f で表す。また、EFFに現れる入力から出力へ至る単一経路を p_j で表す。入力リテラルが x_i^* である経路 p_j は $p_j < x_i^* >$ と書く。但し、 x_i^* は x_i, \bar{x}_i である。

例1

図1-(a)の回路に対して、文献(17)のアルゴリズムEFFを適用すると、図1-(b)に示す等価樹状回路表現が得られる。図1-(b)の回路の経路を、 p_1, p_2, \dots, p_9 で表すと、図1-(a)の回路の S_f は次式で得られる。

$$S_f = p_1(p_2 \vee p_3 p_4) \vee p_5(p_6 \vee p_7) p_8 p_9$$

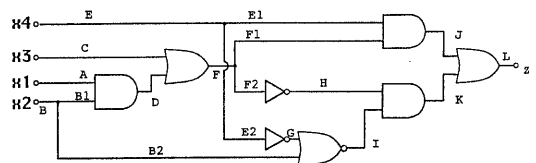


図1-(a) 回路例1

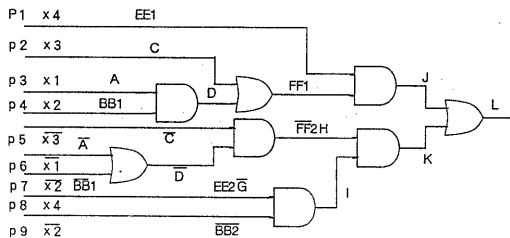


図1-(b) 等価樹状回路

3. 単一経路に対するクリティカル経路問題

組合せ回路における入力から出力に至る遅延の最も大きい経路をクリティカル経路といい、また、経路に沿って入力の信号変化が出力に伝搬する入力の組合せが存在しない経路を偽経路と呼んでいる。

クリティカル経路を単一および多重経路に対するクリティカル経路問題として考察する。まず、ここでは、回路の一つの入力から一つの出力に至る単一経路に対するクリティカル経路問題を考察するため、EFFに対する経路微分という概念を用いて単一経路に対するクリティカル経路を統一的に整理、分類し、その検出理論を述べる。

3.1 完全伝搬経路

n 入力回路において、 n 個の入力変数 $x_1, x_2, \dots, x_{i-1}, x_i, x_{i+1}, \dots, x_n$ に 0,1 または、 d (ドントケア) を割り当てた n 次元ベクトルを入力 I で表す。また、以下 a_i は 0 または 1 を表す。

[定義2] (経路微分)

次式で定まる dS_f/dp_j を S_f の経路 p_j に対する経路微分という。

$$dS_f/dp_j = S_f(p_j = 1) \oplus S_f(p_j = 0)$$

ここで $S_f(p_j = a)$ は S_f に現れる p_j の値を a にした式を表す。

また、 dS_f/dp_j のすべての $p_l (l \neq j)$ に対応する入力リテラル x_i^* を代入して得られる関数を $f_{p_j}(X)$ で表す。又、 $f_{p_j}(X) = 1$ を満たす入力の集合を I_{p_j} で表す。

[定義3] (a_i -静的活性化経路)

n 入力回路に入力 $I = (b_1, b_2, \dots, b_{i-1}, a_i, b_{i+1}, \dots, b_n)$ を加えた場合を考える。ここで $b_k (k \neq i)$ は 0,1 または d (ドントケア) である。経路 $p_j < x_i^* >$ 上の任意の信号線の信号値を 1 箇所変化させたとき、その信号線を入力とするゲートの出力値が変化すれば、経路 $p_j < x_i^* >$ は I で a_i -静的活性化経路であるという。

a_i -静的活性化経路においては、必ずしも経路 $p_j < x_i^* >$ に沿って入力 x_i の変化が外部出力まで伝搬しない。

[定理1]

経路 $p_j < x_i^* >$ が a_i -静的活性化経路であるための必要十分条件は、 $I \in I_{p_j}$ なる I が存在することである。但し、 $I = (b_1, b_2, \dots, b_{i-1}, a_i, b_{i+1}, \dots, b_n)$, $b_k \in \{0, 1, d (k \neq i)\}$ である。

[定義4] (偽経路)

経路 $p_j < x_i^* >$ を a_i -静的活性化経路とする入力 I が存在しないとき、経路 $p_j < x_i^* >$ は非静的活性化経路という。この非静的活性化経路を、本稿では偽経路と定義する。

定理1から単一経路に対する偽経路は次の系1により検出できる。

[系1]

$I_{p_j} = \phi$ (ϕ は空集合を表す) のとき、経路 $p_j < x_i^* >$ は偽経路である。

[定義5] (単一完全伝搬経路 (SFTP: Single Full Transition Path))

経路 $p_j < x_i^* >$ が入力 $I_0 = (b_1, b_2, \dots, b_{i-1}, a_i, b_{i+1}, \dots, b_n)$ で、 a_i -静的活性化経路であり、かつ入力 $I_1 = (c_1, c_2, \dots, c_{i-1}, \bar{a}_i, c_{i+1}, \dots, c_n)$ で、 \bar{a}_i -静的活性化経路であるとする。このとき、入力 $I = (e_1, e_2, \dots, e_{i-1}, d, e_{i+1}, \dots, e_n)$ が存在するならば経路 $p_j < x_i^* >$ は入力 I で単一完全伝搬経路であるという。但し、 c_k は b_k または d であり、また e_k は $b_k \cap c_k (k \neq i)$ である。演算 \cap は、 $a \cap a = a$, $a \cap d = d \cap a = a$, $a \cap \bar{a} = \phi$ である。

[定理2]

経路 $p_j < x_i^* >$ が単一完全伝搬経路であるための必要十分条件は $I \in I_{p_j}$ なる I が存在することである。但し、入力 $I = (b_1, b_2, \dots, b_{i-1}, d, b_{i+1}, \dots, b_n)$, $b_k \in \{0, 1, d (k \neq i)\}$ である。

単一完全伝搬経路においては、その定義から入力 I の外部入力 x_i の信号変化は外部出力まで単一経路 $p_j < x_i^* >$ を経て伝搬する。

[定義6] (同時 a_i -静的活性化経路)

外部入力 x_i から外部出力に至る経路が 2 個以上存在するとして、その経路を $p_j < x_i >$, $p_k < x_i >$, ..., $p_l < x_i >$ とする。入力 $I = (b_1, b_2, \dots, b_{i-1}, a_i, b_{i+1}, \dots, b_n)$ に対して、 p_i, p_j, \dots, p_l がすべて a_i -静的活性化経路である場合、経路 $p_j < x_i >$, $p_k < x_i >$, ..., $p_l < x_i >$ は I で同時 a_i -静的活性化経路であるという。

同時 a_i -静的活性化経路においては、2 個以上存在する経路 $p_j < x_i >$, $p_k < x_i >$, ..., $p_l < x_i >$ に沿って入力 x_i の変化が必ずしも外部出力まで伝搬しない。

定理1と定義6から次の系2がいえる。

[系2]

経路 $p_j < x_i >$, $p_k < x_i >$, ..., $p_l < x_i >$ が同時 a_i -静的活性化経路であるための必要十分条件は、 $I \in I_j \cap I_k \cap \dots \cap I_l$ なる入力 I が存在することである。

[定義7] (同時完全伝搬経路)

外部入力 x_i から外部出力に至るすべての経路を $p_{j1} < x_i^* >$, $p_{j2} < x_i^* >$, ..., $p_{jl} < x_i^* >$ とする。このとき $m (2 \leq m \leq l)$ 個の経路 $p_{j1} < x_i^* >$, $p_{j2} < x_i^* >$, ..., $p_{jm} < x_i^* >$ が入力 $I_1 = (b_1, b_2, \dots, b_{i-1}, a_i, b_{i+1}, \dots, b_n)$ で同時 a_i -静的活性化経路であり、かつ、(1) 残りの $(l-m)$ 個の経路 $p_{j_{m+1}} < x_i^* >$, ..., $p_{jl} < x_i^* >$ が入力 $I_2 = (b_1, b_2, \dots, b_{i-1}, \bar{a}_i, b_{i+1}, \dots, b_n)$ で \bar{a}_i -静的活性化経路でない、および (2) I_2 で a_k -静的活性化経路 ($a_k = b_k, k \neq i$) である経路 $p_k < x_i^* >$ が存在しない場合、経路 $p_{j1} < x_i^* >$,

$p_{j2} < x_i^*$, ..., $p_{jl} < x_i^*$ は入力 $I = (b_1, b_2, \dots, b_{i-1}, d, b_{i+1}, \dots, b_n)$ で同時完全伝搬経路であるという。 ■

[定理 3]

同時完全伝搬経路においては、その入力 I を回路に加えると、外部入力 x_i の信号変化は経路 $p_{j1} < x_i^*$, $p_{j2} < x_i^*$, ..., $p_{jl} < x_i^*$ を経て外部出力まで伝搬する。 ■

これまでのことから、単一完全伝搬経路および同時完全伝搬経路は、単一経路に基づく完全伝搬経路となる。

3.2 動的活性化経路

3.1 の a_i -静的活性化経路は、その経路の入力 x_i の信号変化が必ずしも回路の出力まで伝搬しない。しかしながら、ゲート遅延時間を考慮すると a_i -静的活性化経路に対して、入力の信号変化の伝搬時間に依存して、その経路に沿って入力の信号変化が回路の出力まで伝搬する場合がある。

[定義 8] (a_i -動的活性化経路)

経路 $p_j < x_i^*$ は $I = (b_1, b_2, \dots, b_{i-1}, a_i, b_{i+1}, \dots, b_n)$ で a_i -静的活性化経路であるとする。いま、入力 $I' = (b_1, b_2, \dots, b_{i-1}, D_i, b_{i+1}, \dots, b_n)$ を回路に加えた場合を考える。ここで D_i は a_i から a_i への信号変化を表す。このとき、外部入力 x_i の信号変化がゲート遅延時間に依存して経路 $p_j < x_i^*$ 上を外部出力まで伝搬すれば、経路 $p_j < x_i^*$ は a_i -動的活性化経路であるという。 ■

次に、動的活性化経路の判定法を述べる。

[定義 9] (制御値および非制御値)

ゲートの他の入力に関わらず、そのゲートの出力値を決定する入力の値を制御値といい、そうでない入力を非制御値という。 ■

[定義 10] (経路入力線と非経路入力線)

着目する経路上のゲートの入力線を経路入力線、その他の入力線を非経路入力線という。 ■

[経路 $p_i < x_i^*$ に対する動的活性化性の判定]

1: 着目する経路を $p_i < x_i^*$ とする。 $p_i < x_i^*$ を a_i -静的活性化経路とする入力 $I = (b_1, b_2, \dots, b_{i-1}, a_i, b_{i+1}, \dots, b_n)$ の i 番目の値を a_i から a_i に変化させた入力 $I' = (b_1, b_2, \dots, b_{i-1}, D_i, b_{i+1}, \dots, b_n)$ を回路に加える。

2: $p_i < x_i^*$ と同一のリテラルをもつ経路と着目する $p_i < x_i^*$ が合流する再取れんゲートを求める。

3: 経路 p_i の再取れんゲートの経路入力線を u_i とする。また、再取れんゲートの非経路入力線が経路 $p_j (j \neq i)$ に含まれているならば、その非経路入力線を v_j とする。再取れんゲートの非経路入力線から外部入力線までのゲートの段数を非経路入力線 v_j の遅延 d_j に記憶する。また、最も外部入力側の再取れんゲートまでのゲートの段数を u_i の遅延 d_i に記憶する。

4: 外部入力側から外部出力に達するまで経路 $p_i < x_i^*$ を追跡する。再取れんゲートに対して、経路入力線 u_i の遅延 d_i と非経路入力線 v_j の遅延 d_j を比較する。

もし、 $d_i \geq d_j$ ならば、経路入力線に信号変化が伝搬するまでに非経路入力線は非制御値をもつ。そこで、次の再取れんゲートまでの経路 p_i に含まれるゲートの数を求め、 u_i の遅延 d_i にその値を加算する。そして、4 の評価

を繰り返す。

もし、 $d_i < d_j$ ならば、判定処理を終了する。経路 $p_i < x_i^*$ は動的活性化経路ではないと判定する。

5: 信号変化が外部出力まで伝搬すれば、経路 $p_i < x_i^*$ は a_i -動的活性化経路であると判定する。この経路に対する d_i の値が伝搬遅延時間となる。 ■

例 2

図 1 - (a) および (b) に入力 $I' = (1, 1 \rightarrow 0, 0, 1)$ を与えた場合を考える。いま、着目する経路を $p_7 < x_2 >$ とする。同一のリテラルをもつ経路は p_4 および p_9 である。図 1 - (a) の回路より再取れんゲートを求める。次に、外部入力線から再取れんゲートの経路入力線および非経路入力線までのゲートの段数を計算する。その結果、 $u_i [d_i] = u_7 [3]$ および $v_j [d_j] = v_4 [3], v_9 [1]$ が求められる。ここで、 $u(v)_k [d_k]$ は経路 (非経路) 入力線 $u(v)_k$ におけるゲート遅延時間が d_k であることを示す。外部入力側から再取れんゲートにおいて遅延 d_7 と d_9 の比較を行う。 $d_7 \geq d_9$ なので、次の再取れんゲートまでの p_7 上のゲートの段数を求め、 d_7 に加えると $d_7 = 4$ となる。次に遅延 d_7 と d_4 の比較を行う。 $d_7 \geq d_4$ であり、信号変化が外部出力に伝搬するので、 $p_7 < x_2 >$ は 0-動的活性化経路である。伝搬遅延時間 d_7 は出力ゲートの遅延を加え、5 単位遅延時間である。

4. 拡張 EFF

大規模回路の経路に経路微分を適用するため、部分樹状回路ごとの EFF を求め、それぞれを結合した拡張 EFF を導入する。

[定義 11] (部分樹状回路)

回路の外部出力線および分岐元信号線を部分樹状回路の出力線とする。それぞれの出力線から入力側に向かって分岐信号線、または外部入力線により分割される樹状回路を部分樹状回路という。 ■

[定義 12] (拡張 EFF)

部分樹状回路の否定素子 (NOT, NOR, NAND) を順次入力側へ De Morgan の定理を用いて AND/OR に変換した等価部分樹状回路を構成する。但し、等価部分樹状回路は NOT 素子を残す。この結果、等価部分樹状回路において、経路は p_i と \bar{p}_i が現れる。いま、元の回路が入力側から部分樹状回路 1, 2, ..., k に分割できるとする。このとき、等価部分樹状回路 1, 2, ..., k のそれぞれの EFF は等価部分樹状回路の入力線を含む経路により表すことができ、それぞれを、 $S_{f1}, S_{f2}, \dots, S_{fk}$ とする。拡張 EFF は、外部出力側から等価部分樹状回路 k の入力となる等価部分樹状回路 k-1 の S_{fk-1} を S_{fk} に代入する処理を外部入力側の等価部分樹状回路 1 に至るまで繰返し行うことで得られる、元の回路の S_f をいう。

ここでは、 $S_f = S_{fk} [S_{fk-1} [S_{fk-2} [\dots]]]$ と書く。 ■

図 2 を用いて、定義 12 の例を示す。元の回路は部分樹状回路 1 および 2 に分割することができる。経路 p_1, p_2, \dots, p_6 は、等価部分樹状回路の入力線を含む経路とす

る。このとき、 $S_{f_1} = p_1 p_2 p_3$ および $S_{f_2} = p_4 \bar{p}_5 p_6$ となる。定義 1, 2 より S_{f_2} の p_4 および \bar{p}_5 に S_{f_1} を代入することで、元の回路の S_f は求められ、 $S_f = S_{f_2} = [p_1 p_2 p_3]_4 [\bar{p}_2 \bar{p}_3]_5 p_6$ となる。但し、 $[\]_4$ の添え字 4 は経路 p_4 を表す。

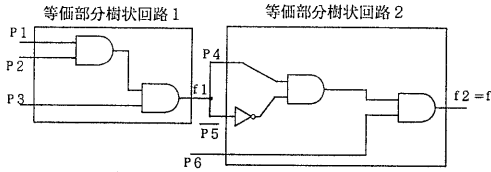


図2 拡張 EFF

[拡張 EFF における経路微分]

入力側の等価部分樹状回路の経路微分から、出力側に向けて順次、経路微分の計算を行う。等価部分樹状回路ごとの経路微分により求められた結果を結合する。いま、経路 p_1 を入力線とする等価部分樹状回路を S_{f_1} とし、経路 p_2 を入力線とする等価部分樹状回路を S_{f_2} とする。従って、経路 p_1 と p_2 からなる経路 $p_{1-2} < x_i^* >$ に対する経路微分は次式のように表すことができる。

$$dS_f/dp_{1-2} = (dS_{f_1}/dp_1)(dS_{f_2}/dp_2)$$

拡張 EFF のすべての $p_i (i \neq 1)$ に対応する入力リテラルを代入して得られる関数を $f_{p_i}(X)$ で表す。又、 $f_{p_1}(X) = 1$ を満たす入力の集合を I_{p_1} で表す。同様にして、 p_2 の関数 $f_{p_2}(X) = 1$ を満たす入力の集合を I_{p_2} で表す。このとき、 $I_{p_1-2} \in I_{p_1} \cap I_{p_2}$ なる入力の集合 I_{p_1-2} が存在すれば、経路 p_{1-2} の関数 $f_{p_{1-2}}(X) = 1$ を満たす入力の集合 $I_{p_{1-2}}$ が存在する。

拡張 EFF における経路微分により、3. と同様にして静的活性化経路および動的活性化経路を判定することができる。

例 3

図 1 の回路を部分樹状回路に分割し、拡張 EFF を求めるために図 3 の等価部分樹状回路を得る。図 3 の回路の経路に対して経路微分を行い、経路の静的活性化性を判定する。回路の等価部分樹状回路の EFF は外部入力側から $S_{f_1} = p_2 p_3 \vee p_1$ および $S_{f_2} = p_4 p_5 \vee \bar{p}_6 p_7 \bar{p}_8$ となる。回路の S_f は、 $S_f = p_4 [p_2 p_3 \vee p_1]_5 \vee [\bar{p}_2 \bar{p}_3 \vee \bar{p}_1]_6 p_7 \bar{p}_8$ である。

経路 $p_3 < x_2 >$ および $p_6 < S_{f_1} >$ からなる経路 $p_{3-6} < \bar{x}_2 >$ に対して静的活性化性を判定する。この経路の経路微分は $dS_f/dp_{3-6} = (dS_{f_1}/dp_3)(dS_{f_2}/dp_6)$ となる。等価部分樹状回路ごとの経路微分の結果を結合して、経路 $p_{3-6} < \bar{x}_2 >$ に対して $I_{3-6} = (1, 0, 0, 1)$ が求められるので、この経路は 0-静的活性化経路である。

次に、経路 $p_{3-6} < \bar{x}_2 >$ が 0-動的活性化経路であるかを判定する。いま、信号変化の伝搬時間をゲート当たり 1 単位遅延とする。経路 $p_{3-6} < \bar{x}_2 >$ は 3. 2 の判定法により $I'_{3-6} = (1, 1 \rightarrow 0, 0, 1)$ で 0-動的活性化経路となる。このとき、経路 $p_{3-6} < \bar{x}_2 >$ の伝搬遅延時間は 5 単位遅延時間である。

同様にして、回路の全ての経路に対して判定を行う。 $p_4 < x_4 >$ は $I_4 = (d, d, 1, d), (1, 1, d, d)$ に対して単一完全伝搬経路 (SFTP) である。 $p_{1-5} < x_3 >$ は $I_{1-5} = (0, d, 1, 1), (0, 1, d, 1), (d, 0, 1, 1)$ で、SFTP である。 $p_{2-5} < x_1 >$ は $I_{2-5} = (d, 1, 0, 1)$ で、SFTP である。 $p_{3-5} < x_2 >$ は $I_{3-5} = (1, 1, 0, 1)$ に対して 1-静的活性化経路である。 $p_{1-6} < \bar{x}_3 >$ は $I_{1-6} = (d, 0, 0, 1)$ に対して 0-静的活性化経路であり、かつ $I'_{1-6} = (d, 0, 1 \rightarrow 0, 1)$ に対して 0-動的活性化経路である。 $p_{2-6} < \bar{x}_1 >$ は $I_{2-6} = \phi$ で偽経路である。 $p_{3-6} < \bar{x}_2 >$ は $I_{3-6} = (1, 0, 0, 1)$ に対して 0-静的活性化経路であり、かつ $I'_{3-6} = (1, 1 \rightarrow 0, 0, 1)$ に対して 0-動的活性化経路である。 $p_7 < x_4 >$ は $I_7 = (d, 0, 0, d)$ で、SFTP である。 $p_8 < \bar{x}_2 >$ は $I_8 = (d, 0, 0, 1), (0, d, 0, 1)$ で、SFTP である。経路 $p_{3-6} < \bar{x}_2 >$ 、経路 $p_8 < \bar{x}_2 >$ は入力 $I = (1, 0, 0, 1)$ で同時 0-静的活性化経路である。

以上のクリティカル経路の判定を基にして求められた、図 3 の回路の最大完全伝搬経路長は $p_{2-5} < x_1 >$ の 4 単位遅延であるが、最大動的活性化経路長は $p_{3-6} < \bar{x}_2 >$ の 5 単位遅延となる。従って、図 3 の回路のクリティカル経路長は 5 単位遅延である。

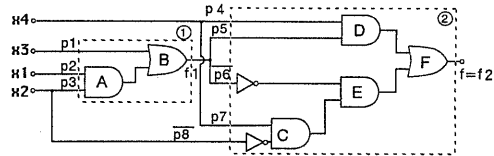


図3 回路例 2

5. 拡張 EFF を用いた経路微分の実現

拡張 EFF では等価部分樹状回路ごとに EFF を求め、入力側の等価部分樹状回路から出力側の等価部分樹状回路の方向に順次経路微分を行い、得られた入力の集合をすべて満たす外部入力の割当集合 I_{p_j} を求めることで経路が静的活性化経路であるかどうかを判定する。

しかしながら、経路微分は論理関数の排他的論理和を計算するため、大規模回路に対しては必要なメモリが増大し、実現が困難になる。そこで排他的論理和の計算を行わず、後方操作と一意に決定した外部入力の含意操作によって、非経路入力に非制御値を割り当てる外部入力 PI_j を求める。そして等価部分樹状回路ごとに求められた入力集合 PI_j を順次交差することで拡張 EFF の経路微分を行う。

各等価部分樹状回路ごとに得られる外部入力の集合 PI_j は論理式の形で求められる。これを計算機上で表現するため、外部入力数の幅をもつスタックを用いる。本手法では PI_j を積の和の形で表し、各種項ごとにスタックに格納する。

[拡張 EFF の経路微分アルゴリズム]

- 1 : 経路 p_j が通過する等価部分樹状回路のうち、最も外部入力に近いものを B_j とする。
- 2 : p_j が通過するゲートのうち、その非経路入力が未定であり、かつ最も B_j の入力に近いものを G_j とする。

3 : G_j の非経路入力線に非制御値を割り当てる外部入力の割当 PI_j を後方操作により求める。

4 : PI_j を積項ごとにスタックに格納する。

5 : 4 で格納した PI_j と 4 以前に格納した PI_j^{pre} の交差をとる。矛盾しない $PI_j \cap PI_j^{pre}$ を新たに PI_j^{pre} とする。

6 : すべての PI_j^{pre} の交差をとり、一意に決定する外部入力の割当に対して含意操作を行う。含意操作の結果、 p_j が通過するすべての B_j に含まれるゲートの非経路入力線に非制御値が割り当てられれば、7 に進む。そうでなければ 2 へ。

7 : B_j に対する PI_j が得られた。 B_j の出力が外部出力であれば終了。そうでなければ、 B_j の出力を入力にもつ等価部分樹状回路を新たに B_j として 2 へ。

[a_i - 静的活性化経路および a_i - 動的活性化経路の判定アルゴリズム]

拡張 EFF の経路微分アルゴリズムによって得られた外部入力の割当を $PI_j = (b_1, \dots, b_{i-1}, a_i, b_{i+1}, \dots, b_n)$ (但し、 a_i は p_j の外部入力) とする。このとき、 $a_i = 0(1)$ であれば、 p_j は a_i - 静的活性化経路であり、d(ドントケア)であれば単一完全活性化経路である。

a_i - 静的活性化経路に対して、経路 p_j 上のゲート G_j の段数とその非経路入力線の段数を比較し、すべての G_j についてその段数の方が大きければ a_i - 動的活性化経路と判定する。

例 4

図 3 に示す回路を用いて、これまでに述べた拡張 EFF に対する経路微分を行ってみよう。この回路は図のように 2 つの等価部分樹状回路に分割される。表 1 に経路 p_{3-6} に対する経路微分を行った過程を示す。

表 1 拡張 EFF の経路微分

B_{3-6}	G_{3-6}		x_1	x_2	x_3	x_4
①	A	PI_{3-6}^{pre}	-	-	-	-
		PI_{3-6}	1	-	-	-
	B	PI_{3-6}^{pre}	1	-	-	-
		PI_{3-6}	-	-	0	-
②	E	PI_{3-6}^{pre}	1	-	0	-
	F	PI_{3-6}	-	0	-	1
		PI_{3-6}^{pre}	1	0	0	1

表 1 より $PI_{3-6} = (1001)$ となり、 p_{3-6} は 0-静的活性化経路であることがわかる。これに動的活性化経路の判定を行うと、 p_{3-6} は 0-動的活性化経路と判定できる。

6. 実験結果

提案した拡張 EFF の経路微分を用いたクリティカル経路の判定アルゴリズムを C 言語でプログラム化し、SPARC station IPX 上で ISCAS85 および 89 ベンチマーク回路に対して (順序回路は組合せ回路部分に対して) 予備実験を行った。実験では、各外部入力において、外部出力に至る経路の中で長い方の経路から最大 10 個の単一経路について静的活性化性および動的活性化性の判定を行った。

表 2 において、構造的な最大経路長には回路の構造的な最大経路長を示している。また、最大完全伝搬経路長、動的経路、静的経路および偽経路には、検査した経路の中で単一完全伝搬経路、動的活性化経路、静的活性化経路および偽経路と判定された経路の個数と判定された経路の中で最大の経路長をそれぞれ示している。ここで、経路長はゲートの段数としている。

表 2 実験結果

回路名	構造的	最大完全	動的経路	静的経路	偽経路
	最大経路長	伝搬経路長			
c38	6	11/4	9/6	2/6	12/6
c880	24	510/24	0/-	0/-	0/-
c1908	40	45/40	1/3	2/18	5/10
s27	6	24/6	2/6	0/-	2/5
s208	14	107/14	0/-	0/-	0/-
s298	9	109/9	0/-	0/-	0/-
s344	20	149/20	0/-	0/-	0/-
s382	9	186/9	0/-	0/-	0/-
s420	27	203/27	0/-	0/-	0/-
s444	11	186/11	0/-	0/-	0/-
s510	12	95/12	0/-	0/-	1/6
s526	9	195/9	0/-	0/-	0/-
s832	10	170/10	0/-	0/-	1/5
s838	56	395/56	0/-	0/-	0/-
s953	16	227/16	0/-	0/-	0/-

表 2 の結果より、c38 を除く回路については、構造的な最大経路長が最大完全伝搬経路長と一致している。動的活性化経路、静的活性化経路および偽経路においては、表 2 に示した経路長よりも長い経路が存在する可能性がある。

7. 多重経路に対するクリティカル経路問題

クリティカル経路の検出問題は、前述したように回路の最大伝搬時間を生じる経路を検出することであり、単一経路に対するクリティカル経路は、5. の検出法により得られる。6. の実験を行った回路については、c38 を除いてクリティカル経路長は構造的な最大経路長と一致しているが、クリティカル経路長より構造的に長い偽経路が存在するならば、その偽経路に付随する多重経路に対するクリティカル経路について、さらに考察する必要がある。しかしながら、多重経路に対するクリティカル経路の系統的な議論はこれまでなく、例が示されているのみである^{(2),(6)}。そこで、ここではこの問題を定式化する。

7.1 分岐再収れん経路に対するクリティカル経路

[定義 13] (判定対象の偽経路集合)

5. で求めたクリティカル経路長より長い構造的な経路をもつ偽経路の集合を判定対象の偽経路集合という。以下の多重経路に対するクリティカル経路の判定は、判

定対象の偽経路集合の偽経路 p_j に対して行う。

[定義 1 4] (再取れんゲートの分岐元信号線)

偽経路 p_j が分岐再取れんする多重経路 p_k, p_l, \dots をもつ場合, ここでは, この分岐再取れん経路を $p_j < x_i^* > / p_k / p_l / \dots$ と書く。また, 偽経路 p_j 上の再取れんゲート G_i の分岐元信号線を G_i の分岐元信号線といい, y_i で表す。

定義 1 4 の例を図 4 に示す。偽経路を $p_4 < x_3 > / p_1 /$ としよう。等価部分樹状回路 4 のゲート $G1$ および $G4$ は再取れんゲートである。着目する偽経路 $p_4 < x_3 > / p_1 /$ に付随する分岐再取れん経路は p_2, p_3 であり, $G1, G4$ の分岐元信号線は y_1 である。

[定義 1 5] (分岐再取れん経路の a_i -静的活性化経路)

n 入力回路に入力 $I = (b_1, b_2, \dots, b_{i-1}, a_i, b_{i+1}, \dots, b_n)$ を加えた場合を考える。偽経路 $p_j < x_i^* >$ に含まれる任意の再取れんゲートの分岐元信号線において信号値を変化させたとき, 再取れんゲートの出力値が変化すれば, 偽経路 $p_j < x_i^* >$ の分岐再取れん経路は入力 I で a_i -静的活性化経路であるという。

分岐再取れん経路が 0-静的活性化経路である例を示そう。図 4 に太線で示す経路 $p_4 < x_3 > / p_1 / p_2 / p_3 /$ について考える。着目する偽経路は $p_4 < x_3 > / p_1 /$ である。この経路は p_1, p_2, p_3 の多重経路をもっている。この回路に入力 $I = (1, 1, 0, 0)$ を与えた場合を考える。再取れんゲートの分岐元信号線 y_1 において信号値を変化させたとき, 等価部分樹状回路 4 の再取れんゲートの出力値が変化するならば, p_1, p_2, p_3, p_4 の分岐再取れん経路は入力 I で 0-静的活性化経路となる。

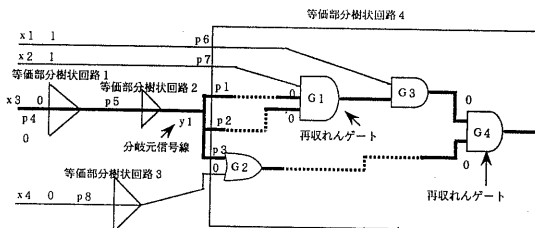


図 4 分岐再取れん経路の 0-静的活性化経路

[定義 1 6] (分岐再取れん経路の a_i -動的活性化経路)

入力 $I = (b_1, b_2, \dots, b_{i-1}, a_i, b_{i+1}, \dots, b_n)$ で偽経路 $p_j < x_i^* >$ の分岐再取れん経路が a_i -静的活性化経路であるとする。いま, 回路に入力 $I' = (b_1, b_2, \dots, b_{i-1}, D_i, b_{i+1}, \dots, b_n)$ を加えた場合を考える。ここでは, D_i は a_i から a_i への信号変化である。偽経路 $p_j < x_i^* >$ の入力の信号変化がゲート遅延時間に依存して偽経路 $p_j < x_i^* >$ の分岐再取れん経路に沿って外部出力まで伝搬するならば, 偽経路 $p_j < x_i^* >$ の分岐再取れん経路は入力 I' で a_i -動的活性化経路であるという。

7.2 多入力変化に伴う多重経路に対するクリティカル経路

7.1 で述べた分岐再取れん経路は外部入力線における一入力変化に伴う多重経路である。ここでは多入力変化に伴う多重経路を考える。簡単のため, 本稿では定義 1 7 で示す多入力変化に伴う多重経路について考察する。

[定義 1 7] (多入力変化に伴う多重経路)

偽経路 p_j の外部入力 x_i を入力とする m 入力ゲート G_1 を考える。このゲート G_1 の外部入力 x_i, \dots, x_{i+m-1} の多入力変化に伴う多重経路を $p_j / p_k / \dots / p_l < x_i, x_{i+1}, \dots, x_{i+m-1} >$ と書く。

図 5 を用いて定義 1 7 の例を示す。いま, 着目する偽経路を $p_1 < x_3 >$ とする。ゲート $G1$ の x_3, x_4 の多入力変化に伴う多重経路は $p_1 / p_2 / p_3 / p_4 / < x_3, x_4 >$ である。

[定義 1 8] (多入力変化に伴う多重経路の a_i -静的活性化経路)

偽経路 p_j が外部入力 x_i および x_{i+1} を入力とするゲート G_1 をもつとする。この回路に $I = (b_1, b_2, \dots, b_{i-1}, a_i, a_{i+1}, \dots, b_n)$ を加える。但し, $a_i = a_{i+1}$ であり, a_i は 0 または 1 である。このとき, 次の (1), (2) の条件を満たすならば, x_i, x_{i+1} の多入力変化に伴う多重経路 $p_j / p_k / \dots / p_l < x_i, x_{i+1} >$ は, I で a_i -静的活性化経路であるという。

(1) ゲート G_1 の入力線 x_i および x_{i+1} の信号値を同時に変化させたときゲート G_1 の出力線が変化する。

(2) ゲート G_1 の出力線から外部出力に至る分岐再取れん経路が入力 I で, 定義 1 5 に示した a_i -静的活性化経路である。

図 5 を用いて定義 1 8 の例を示す。着目する偽経路は $p_1 < x_3 >$ である。回路に $I = (1, 1, 0, 0)$ を加えた場合を考える。外部入力 x_3 および x_4 の信号値を 1 から 0 に変化させると, 多重経路 $p_1 / p_2 / p_3 / p_4 / < x_3, x_4 >$ のゲート $G1$ の出力値が変化する。ゲート $G1$ から外部出力に至る分岐再取れん経路が入力 I で 0-静的活性化経路であるならば, この多入力変化に伴う多重経路は入力 I で 0-静的活性化経路となる。

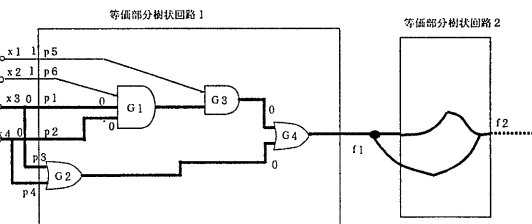


図 5 多入力変化に伴う多重経路の 0-静的活性化経路

しかしながら, 多入力変化に伴う多重経路の a_i -静的活性化経路においては, 外部入力の多入力信号変化が外部出力まで必ずしも伝搬しない。

【定義19】(多入力変化に伴う多重経路の a_i -動的活性化経路)

偽経路 p_j が外部入力 x_i および x_{i+1} を入力とするゲート G_i をもつとする。また、入力 $I=(b_1, b_2, \dots, b_{i-1}, a_i, a_{i+1}, \dots, b_n)$ で、 x_i, x_{i+1} の多入力変化に伴う多重経路が a_i -静的活性化経路であるとする。いま、入力 x_i および x_{i+1} に同時に信号変化を与える入力 $I'=(b_1, b_2, \dots, b_{i-1}, D_i, D_{i+1}, \dots, b_n)$ を回路に加える。ここで、 D_i は a_i から a_i への信号変化である。外部入力 x_i, x_{i+1} の信号変化がゲート遅延時間に依存して、経路 $p_j / p_k / \dots / x_i, x_{i+1}$ に沿って、外部出力まで伝搬するならば、入力 I' で x_i, x_{i+1} の多入力変化に伴う多重経路は a_i -動的活性化経路である。

定義18, 19は、外部入力の2入力変化に伴う多重経路に対する a_i -静的活性化経路および a_i -動的活性化経路について示したが、外部入力の3入力変化以上に伴う多重経路に対する a_i -静的活性化経路および a_i -動的活性化経路についても同様に定義することができる。

8. むすび

本稿では、構造記述関数(EFF)の経路微分を用いて単一経路に対するクリティカル経路を統一的に整理、分類し、その検出理論を示した。また、この検出理論を大規模回路に適用するため、等価部分樹状回路のEFFを結合した拡張EFFを提案した。次に、等価部分樹状回路ごとの拡張EFFに対する経路微分を計算機上に実現する手法について述べ、この手法をベンチマーク回路に適用した実験結果を示した。最後に、多重経路におけるクリティカル経路問題について言及した。

今後、分岐再収れんの多重経路および多入力変化に伴う多重経路に対して a_i -静的活性化経路および a_i -動的活性化経路を判定するアルゴリズムを考察する予定である。

参考文献

- (1) 松下: "タイミング検証", 情報処理, Vol.25, No. 10, pp.1056-1061, (1984-10).
- (2) D. Brand and V.S. Iyengar: "Timing Analysis Using Functional Relationships", ICCAD-86, pp.126-129, Nov. 1986.
- (3) D. Brand and V.S. Iyengar: "Timing Analysis Using Functional Analysis", IEEE Trans. Comput., C-37, No. 10, pp.1309-1314, Oct. 1988.
- (4) J. Benkoski, E.V. Meersch, L. Claeses and H.D. Man: "Efficient Algorithms for Solving the False Path Problem in Timing Verification", ICCAD-87, pp.44-47, Nov. 1987.

(5) J. Benkoski, E.V. Meersch, L. Claeses and H.D. Man: "Timing Verification Using Statically Sensitizable Paths", IEEE Trans., CAD, Vol. 9, No. 10, pp.1073-1083, Oct. 1990.

(6) D.H.C. Du, S.H.C. Yen and S. Ghanta: "On the General False Path Problem in Timing Analysis", 26th DAC, pp.555-560, June 1989.

(7) P.C. McGeer and R.K. Brayton: "Efficient Algorithms for Computing the Longest Viable Path in a Combinational Network", 26th DAC, pp.561-567, June 1989.

(8) P.C. McGeer, A. Saldanha, P.R. Stephan, R.K. Brayton and A.L. Sangiovanni-Vincentelli: "Timing Analysis and Delay-Fault Test Generation Using Path-Recursive Functions", ICCAD-91, pp.180-183, Nov. 1991.

(9) H.-C. Chen and D.H.C. Du: "Path Sensitization in Critical Path Problem", ICCAD-91, pp.208-211, Nov. 1991.

(10) S.-T. Haung, T.-M. Parn and J.-M. Shyu: "A New Approach to Solving False Path Problem in Timing Analysis", ICCAD-91, pp.216-219, Nov. 1991.

(11) S. Devadas, K. Keutzer and S. Malik: "Delay Computation in Combinational Circuits: Theory and Algorithms", ICCAD-91, pp.176-179, Nov. 1991.

(12) K. Keutzer, S. Malik and A. Saldanha: "Is Redundancy Necessary to Reduce Delay?", 27th DAC, pp.228-234, June 1990.

(13) K. Keutzer, S. Malik and A. Saldanha: "Is Redundancy Necessary to Reduce Delay?", IEEE Trans. CAD, Vol.10, No. 4, pp.427-435, April 1991.

(14) H.-C. Chen, D.H.C. Du, and L.-R. Liu: "Critical Path Selection for Performance Optimization", 28th DAC, pp.547-550, June 1991.

(15) A. Saldanha, R.K. Brayton and A.L. Sangiovanni-Vincentelli: "Circuit Structure Relations to Redundancy and Delay: The KMS Algorithm Revisited", 29th DAC, pp.245-248, June 1992.

(16) H.-C. Chen, D.H.C. Du and S.W. Cheng: "Circuit Enhancement by Eliminating Long False Paths", 29th DAC, pp.249-252, June 1992.

(17) 樹下, 高松, 柴田, 松藤: "構造記述関数を用いた組合せ回路の故障検査について", 信学論(D), Vol.J64-D, No.8, pp.690-696, (昭56-08).

(18) 于, 柳田, 高橋, 高松: "組合せ回路におけるクリティカル経路問題: 理論" 平成5年度電気関係学会四国支部連大, (平5-10).

(19) 柳田, 于, 高松: "組合せ回路におけるクリティカル経路問題: 検出法" 平成5年度電気関係学会四国支部連大, (平5-10).