

各信号線で制御可能な値の解析による 冗長故障の判定

石橋幸勇

永松正博

東和大学工学部

九州工業大学工学部

福岡市南区筑紫丘

北九州市戸畑区仙水町

あらし

新しい冗長故障判定法を提案する。従来より知られている冗長故障判定の手法は、非常に多くのバックトラックを必要とする。また、故障シミュレーション法では、全ての入力パターンについて実行する必要がある。本論文では、同時入力パターンシミュレーション(CIS)と呼ばれる新しい手法を用いる。この手法では、一個の故障を設定し、全ての入力パターンに対して各信号線とどる可能性がある信号値を同時に、外部入力側から外部出力側へ伝播させる。シミュレーション実行後に、いずれの外部出力信号線へも故障が伝播しない場合には冗長故障と判定できる。この手法を用いた冗長故障判定では、外部入力信号線でバックトラックが起こるが、この回数は冗長である故障に対しては一般にPODEMに比較して少ないと思われる。このように、本手法では従来の手法とは異なる概念により探索空間を削減する。これらの手法をプログラム化し、ベンチマーク回路に適用した結果、少ないバックトラック数で冗長故障判定が可能であることが確認できた。

和文キーワード

冗長故障判定, 探索空間削減, 故障シミュレーション法, アルゴリズムの手法, 論理回路

Redundancy Identification by Analyzing Controllable Values of Lines

Yukio Ishibashi

Masahiro Nagamatsu

Faculty of Engineering,
Towa University

Faculty of Engineering,
Kyusyu Institute of Technology

Chikushioka, Minami-Ku,
Fukuoka-Shi, 815 Japan

Sensui-Cyo, Tobata-Ku,
Kitakyusyu-Shi, 804 Japan

Abstract In this paper, we propose a new technique of redundancy identification (RI) which identify redundant faults in a given circuit. Some techniques are known to identify redundant faults, but they need the great number of occurring backtrackings. Fault simulation needs all input patterns for RI. The new fault simulation which is presented here is called CIS (Concurrent Input pattern Simulation). When a fault is given, CIS propagates controllable values of lines concurrently for 2^N input patterns in a given circuit which has N primary inputs (PI). After the propagation, if fault signals don't propagate in any primary output, the fault is known to be redundant. In RI using CIS, backtrackings occur in PI, but the number of occurring backtrackings is considered to be less than PODEM's for redundant faults. This is a new search space pruning technique different from well used ones. Experimental results show that RI can be performed with small number of occurring backtracking in this technique.

英文 key words

redundancy identification, search space pruning, fault simulation, test generation algorithm, logic circuit

1. まえがき

論理回路の故障検査は回路の大規模化に伴ってますます困難になり、重要な問題となっている。この故障検査には、故障シミュレーション法⁽¹⁾⁻⁽⁸⁾とアルゴリズム的手法⁽⁴⁾⁻⁽⁷⁾がある。故障シミュレーション法では、ある一個の入力パターンで検出可能な故障を求めることを繰り返す。アルゴリズム的手法では、一個の故障に対する検査入力を求める。これらの手法は論理回路の検査系列生成に用いられるが、この他の使用目的として回路設計で冗長部分除去のために冗長故障の判定を行う場合もある。またフォールトトレラント設計のために意図的に冗長部分を含む回路の検査系列を生成する場合もある⁽⁹⁾⁻⁽¹⁰⁾。これらの場合に、全ての検出可能な故障に対する検査入力と全ての冗長故障を判定するような検出率100%の検査系列生成を行うためには、故障シミュレーション法では、外部入力信号線の論理値の全ての組み合わせによる入力パターンについて実行する必要がある。一方、アルゴリズム的手法では、冗長故障と判定するためには一般に多くのバックトラックを行う必要がある。そこでこのバックトラック数を減らすために過去の履歴をすべて記憶しておき、それをハッシュする手法⁽¹¹⁾⁻⁽¹²⁾が提案されている。しかしながら、これらの手法においては回路が大規模になった場合に記憶容量とハッシュ時間の増大が問題となる。

そこで本論文では大規模な回路に対しても効率のよい、新しい冗長故障判定法 R I C I S (Redundancy Identification using Concurrent Input pattern Simulation) を提案する。この手法では、同時入力パターンシミュレーション C I S と呼ばれる新しい故障シミュレーション法を用いる。C I S では、一個の故障を設定し、すべての入力パターンに対して(もしくは、一部の外部入力信号線の値を0または1に固定した、すべての入力パターンに対して)各信号線をとる可能性がある信号値(制御可能な信号値)を同時に、外部入力信号線側から外部出力信号線側へ伝播させる。C I S の実行後に、いずれの外部出力信号線へも故障が伝播しない場合には冗長故障と判定できる。R I C I S では、どの外部入力信号線の値を0、もしくは1に固定するかを、バックトラックにより決定してゆくと、このバックトラックの回数は、一般に P O D E M に比較して少ない。すなわち、P O D E M 等の従来のアルゴリズムの手法は、設定した故障の検査入力を生成する手法である。ある故障に対して、あらゆる検査入力パターンで、その故障が検出できないことを調べた後に、その故障は冗長であると判定できる。この判定を行うためには多くのバックトラックが必要である。一方、C I S は設定した一個の故障に対する故障信号

を全て伝播させる。この伝播が途中で全て消滅する場合には、その故障は冗長であると判定できる。従って、R I C I S は冗長故障の場合には少しのバックトラックしか必要としないが、冗長故障でない場合には多くのバックトラックを必要とすることもある。このように R I C I S は従来の手法とは異なる概念により探索空間を削減する。

以下、2. では C I S について、3. では R I C I S について述べる。4. ではこれらの手法をプログラム化し、ベンチマーク回路に適用した実験結果を示す。

2. 同時入力パターンシミュレーション C I S

2.1 諸定義

本論文では AND, OR, NOT, NOR, NAND からなる組合せ回路を扱う。また対象故障は検査点の代表故障で、単一縮退故障である。検査点とは外部入力信号線とファンアウトの枝の信号線である。C I S で扱う値は 0, 1, D, \bar{D} である。D と \bar{D} の意味は D アルゴリズム⁽⁴⁾と同様である。これらの値の AND 演算の定義(\wedge)を表1に示す。C I S では、故障を一個設定し、一部の入力信号線の値を0または1に固定した、すべての入力パターンに対する故障シミュレーションを同時に行う。本章では、このような入力パターンの集合を一個考え、それを P とする。

2.2 シミュレーションの方法

外部入力信号線側より各信号線の可能値集合リストと呼ばれるものを外部出力信号線側へ伝播する。

[定義1: 可能値集合, 条件付可能値集合]

{0, 1, D, \bar{D} } の部分集合を可能値集合と呼ぶ。α, β が可能値集合のとき

$$\alpha \wedge \beta = \{a \wedge b \mid a \in \alpha, b \in \beta\}$$

と定義する。

また、信号線 F, 可能値集合 α, β の3項組 (F, α, β) を条件付可能値集合と呼ぶ。□

表1 値のAND演算

\wedge	0	1	D	\bar{D}
0	0	0	0	0
1	0	1	D	\bar{D}
D	0	D	D	0
\bar{D}	0	\bar{D}	0	\bar{D}

[定義2：可能値集合リスト]

各信号線Xの可能値集合リストをL(X)で表す。L(X)はただ一個の可能値集合からなる集合であるか、もしくは、一個以上の条件付可能値集合からなる集合である。

前者の場合 $L(X) = \{S(X)\}$ と書く。

後者の場合

$L(X) = \{(F(X, i), S(X, 0, i), S(X, 1, i)) \mid 1 \leq i \leq M(X)\}$ と書くことにする。M(X)は後者の場合のL(X)の要素の個数である。 □

以後、CISにおいて外部入力信号線側より、各信号線Xの可能値集合リストL(X)を計算する方法を述べるが、L(X)は次に示す命題1を満足する。なお、このことは後に定理1で証明を行う。

[命題1] 次の①, ②が常に成立する。

① $L(X) = \{S(X)\}$ である場合、Pに属する任意の入力パターンに対して信号線XはS(X)以外の値はとらない。

② $L(X) = \{(F(X, i), S(X, 0, i), S(X, 1, i)) \mid 1 \leq i \leq M(X)\}$ である場合、Pに属する入力パターンのうち、F(X, i)を0にする入力パターンではXはS(X, 0, i)以外の値はとらない。また、F(X, i)を1にする入力パターンではXはS(X, 1, i)以外の値はとらない。

ここで、F(X, i)は、あるファンアウトの幹であり、「信号線に条件付可能値集合が伝播するファンアウトの幹」と呼ぶ。M(X)は、そのようなファンアウトの幹の個数である。

またPに属する任意の入力パターンに対してXは次の集合の要素以外の値はとらない。

$$M(X) \\ \bigcup_{i=1} (S(X, 0, i) \cup S(X, 1, i))$$

[定義3：制御可能]

信号線Xに対してL(X)に含まれる、ある可能値集合が $0(1, D, \bar{D})$ を含むときXは $0(1, D, \bar{D})$ 制御可能であるという。 □

$\{F(X, i) \mid 1 \leq i \leq M(X)\} \cup \{F(Y, j) \mid 1 \leq j \leq M(Y)\} = \{F_1, F_2, \dots, F_P\}$ であるとする。

以下に各信号線Zに対してL(Z)を計算する方法を示す。手順1～3は、Zが故障信号線でない場合についてZが外部入力信号線、ファンアウトの枝、ゲートの出力信号線である場合に分けて説明するものである。手順4は故障信号線の場合について述べるものである。

[手順1：外部入力信号線の場合]

$L(Z) = \{S(Z)\}$ である。ここでS(Z)はPに属する入力パターンにおいて信号線Zがとる値の集合である。 □

[手順2：ファンアウトの場合]

Zは信号線Fを幹とするファンアウトの枝とする。

$L(F) = \{\{0, 1\}\}$ である場合には

$L(Z) = \{(F, \{0\}), \{1\}\}$

を作成する。そうでない場合には

$L(Z) = L(F)$

とする。 □

[手順3：ゲートの出力信号線の場合]

ここではANDゲートについて説明する。他のゲートの場合も同様な手順となる。ZはX, Yを入力信号線とするANDゲートの出力信号線であるとする。

① $L(X) = \{S(X)\}$, $L(Y) = \{S(Y)\}$ である場合、 $L(Z) = \{S(X) \wedge S(Y)\}$ である。以下L(X)は条件付可能値集合からなるとする。

② $L(Y) = \{\{0\}\}$ である場合、L(X)はZへ伝播せず、消滅する。

$L(Z) = \{\{0\}\}$ である。

③ $L(Y) \neq \{\{0\}\}$ である場合、L(Z)は次の計算より求める。

$$L(Z) = \{(F(X, i), S(Z, 0, i), S(Z, 1, i)) \mid 1 \leq i \leq M(X)\} \\ S(Z, 0, i) = S(X, 0, i) \wedge S(Y) \\ S(Z, 1, i) = S(X, 1, i) \wedge S(Y)$$

以下ではL(X)とL(Y)が共に条件付可能値集合からなるとする。

$L(Z) = \{(F_k, S(Z, 0, k), S(Z, 1, k)) \mid 1 \leq k \leq p\}$

である。

□ ④ $F_k = F(X, i) = F(Y, j)$ の場合、
 $S(Z, 0, k) = S(X, 0, i) \wedge S(Y, 0, j)$
 $S(Z, 1, k) = S(X, 1, i) \wedge S(Y, 1, j)$

□ ⑤ $F_k = F(X, i)$ であり、 F_k が $\{F(Y, j) \mid 1 \leq j \leq M(Y)\}$ に存在しない場合、
 $S(Z, 0, i)$

$$M(Y) \\ = \bigcup_{j=1} (S(X, 0, i) \wedge S(Y, 0, j) \cup S(X, 0, i) \wedge S(Y, 1, j))$$

$$S(Z, 1, k) \\ M(Y) \\ = \bigcup_{j=1} (S(X, 1, i) \wedge S(Y, 0, j) \cup S(X, 1, i) \wedge S(Y, 1, j))$$

⑥ $F_k = F(Y, j)$ であり、 F_k が $\{F(X, i) \mid 1 \leq i \leq M(X)\}$ に存在しない場合、⑤と同様である。

⑦ 以上による $L(Z)$ の計算の結果、 $S(Z, 0, k) = \{0\}$ かつ $S(Z, 1, k) = \{0\}$ である k が存在する場合には、 X, Y の条件付可能値集合は Z へ伝播せずに、消滅する。

$$L(Z) = \{\{0\}\}$$

である。

[手順4：故障信号線の場合]

手順1～3により信号線の正常値を計算した後に故障の設定を行う。故障を設定する信号線 Z の正常値が1制御可能な場合に、0縮退故障を設定するときは

$$L(Z) = \{\{D\}\}$$

とする。また正常値が0制御可能な場合に、1縮退故障を設定するときは

$$L(Z) = \{\{\bar{D}\}\}$$

とする。

[定理1] 前述の計算方法に従い、 $L(Z)$ を外部入力側から外部出力側へ計算してゆくと、すべての信号線において命題1が成立する。

(証明) 各ゲートの入力信号線で命題1が成立していれば出力信号線でも成立していることを示せばよい。ここではANDゲートの場合について証明する。ゲートの入力信号線を X, Y 、出力信号線を Z とする。

① $L(Z)$ は $\{S(X) \wedge S(Y)\}$ 以外の値はとらない、また② $L(Y) = \{\{0\}\}$ の場合に $L(Z) = \{\{0\}\}$ であることは明らかである。

③ 信号線 $F(X, i)$ を v とする入力パターンで X の条件付可能値集合は $S(X, v, i)$ で示される。従って $S(X, v, i) \wedge S(Y)$ は $F(X, i)$ を v とする入力パターンに対する Z の条件付可能値集合 $S(Z, v, i)$ である。 $v \in \{0, 1\}$ 。

④ $F_k = (X, i) = F(Y, j)$ の場合、 $F(X, i)$ を v とする入力パターンで X, Y の条件付可能値集合はそれぞれ $S(X, v, i), S(Y, v, j)$ で示される。従って $S(X, v, i) \wedge S(Y, v, j)$ は $F(X, i)$ を v とする入力パターンに対する Z の条件付可能値集合 $S(Z, v, k)$ である。

⑤ $F_k = F(X, i)$ であり、 F_k が $\{F(Y, j) \mid 1 \leq j \leq M(Y)\}$ に存在しない場合、 $F(X, i)$ を v とする入力パターンで X の条件付可能値集合は $S(X, v, i)$ で示される。また、 Y の値は $F(X, i)$ の値の影響を受けない。従って $S(X, v, i)$ と $L(Y)$ の各要素の全ての組み合わせによるAND演算を要素とする集合は $F(X, i)$ を v とし、かつ $F(X, i)$ 以外の外部入力信号線の0と1の全ての組み合わせに対する Z の条件付可能値集合 $S(Z, v, k)$ である。⑥も同様であり、以上よりすべての場合において $L(Z)$ は命題1を満足する。

これまでに示した方法で、CISを外部出力信号線POまで行うことにより $L(PO)$ が得られる。定理1より $F(PO, i)$ を v とし、かつ $F(PO, i)$ 以外の外部入力信号線では0と1のすべての組み合わせに対して信号線POで可能な値の集合は

$$L(PO) = \{(F(PO, k), S(PO, 0, k),$$

$$S(PO, 1, k) \mid 1 \leq k \leq M(PO)\}$$

で示される。

3. 冗長故障判定法RICIS

3.1 同時入力パターンシミュレーションによる冗長故障判定

任意のファンアウトの幹を A とし、その枝を B と C とする。枝 B に1縮退故障を設定する場合について述べる。

信号線 A までCISを実行する。これにより信号線 A の0制御可能性を判断する。

信号線 A の値が0制御可能である場合には枝 B, C の $L(B) = \{\{\bar{D}\}\}, L(C) = \{\{0\}\}$ にする。信号線 A ではCISの計算結果を用いるのではなく、値は常に0にする必要がある。このような信号線では次の手順5を用いる。

[手順5：信号線 X の信号値の固定]

可能値集合リストがすでに計算済みの信号線 X の信号値を次のようにして0、または1に固定する。ここでは0に固定する場合を説明する。

① X が0制御可能でない場合には枝 B の1縮退故障は P に属する入力パターンでは検出できないとし、CISを中止する。

② $L(X) = \{\{0\}\}$ または $\{\{0, 1\}\}$ の場合には X の値を0に固定する。

③ $S(X, 0, i) = \{1\}$ かつ $S(X, 1, i)$ に0を含むような i が存在する場合には、再び本手順5を適用して $F(A, i)$ の値を1に固定する。

④ $S(X, 1, i) = \{1\}$ かつ $S(X, 0, i)$ に0を含むような i が存在する場合には、再び本手順5を適用して $F(X, i)$ の値を0に固定する。

手順5の③と④を適用した場合には、CISは新たに信号値を固定した信号線からやり直す。それ以外の場合には信号線 A の次から外部出力信号線までCISを実行する。信号線 X の信号値を v に固定してCISを実行する場合には $L(X) = \{\{v\}\}$ とする。

CIS実行の結果、全ての外部出力信号線において D, \bar{D} 制御可能でないときには P では設定した故障は検出できない。そうでないときには P で検出できる可能性がある。

3.2 バックトラック

3.1では一部の外部入力記号値を固定された入力パターンの集合Pに対して、CISを実行する方法を示した。CISはPに属する入力パターンでは設定した故障が検出できないという答を出すか、または検出できる可能性があるという、いずれかの答を出す。本節では、バックトラックによりPを変更しながら設定した故障が冗長であるかどうかを判定する方法を示す。

RICISはバックトラックのプロセスで探索木を作成する。この探索木は節点の順序づけられたリストで、各節点では一個のPを示す。節点の順序はPの変更経過を示す。

[手順6:RICIS]

①最初に、故障の設定により信号値が固定された信号線以外の外部入力信号値を{0,1}とする。このようなPに対してCISを実行する。このPは探索木の頂点である。

②CIS実行の結果、設定した故障が検出できる可能性がある場合には探索木を一個下へ降りる。すなわち、信号値が{0,1}である外部入力信号線の信号値を{0}とし④へ行く。すでに全ての外部入力信号値が{0}または{1}に割当てられている場合には冗長故障ではないと判定してRICISを終了する。

③CIS実行の結果、設定した故障が検出できない場合には、バックトラックを行う。すなわち、探索木の現在の節点で以前に設定した外部入力信号値が{0}である場合には、この信号値を{1}とし、④へ行く。以前に設定した信号値が{1}である場合には、この信号値を{0,1}とする。現在の節点がすでに探索木の頂点である場合には、冗長故障であると判定してRICISを終了する。そうでない場合には再び③を行う。

④新たなPに対してCISを実行し、②または③へ行く。 □

3.3 実行例

図1に示す回路では外部入力信号線から外部出力信号線へ至る、ある経路上にファンアウトが複数存在する。このような回路に対してCISを実行する場合には、条件付可能値集合は実際の故障伝播状況以外の値も含む。この例を次に示す。

[例1] 図1は回路の信号線Eに0縮退故障を設定し、CISを実行したときの各信号線の可能値集合リストを示す。CISにより実際の故障伝播状況を求めるためには、バックトラックにより外部入力信号線の値を{0}または{1}に割当てた場合について、それぞれCISを実行する。図1の回路例では、まず $S(A) = \{0\}$, $S(B) = \{0\}$, $S(C) = \{0, 1\}$ としてCISを実行する。次に $S(A) = \{0\}$, $S(B) = \{1\}$, $S(C) = \{0, 1\}$ としてCISを実行する。このときの各信号線の可能値集合リストをそれぞれ図2、図3に示す。図2と図3は共にPOに故障が伝播しないために、この時点で信号線Eに設定した0縮退故障は冗長故障であると判定できる。従って外部入力信号線Cの値を{0}または{1}にしてCISを実行する必要はない。 □

この例のように外部入力信号線に{0}または{1}を割当ててCISを実行する場合には、以前のCIS実行により、ある信号値が{0}または{1}に固定しているときは、その信号線に手順5を適用する。

例1に示したように、CISでは外部入力信号線に{0}または{1}を割当てるためにバックトラックが発生する。しかしながらCISのバックトラック数は一般に、PODEMのバックトラック数より少ない。こ

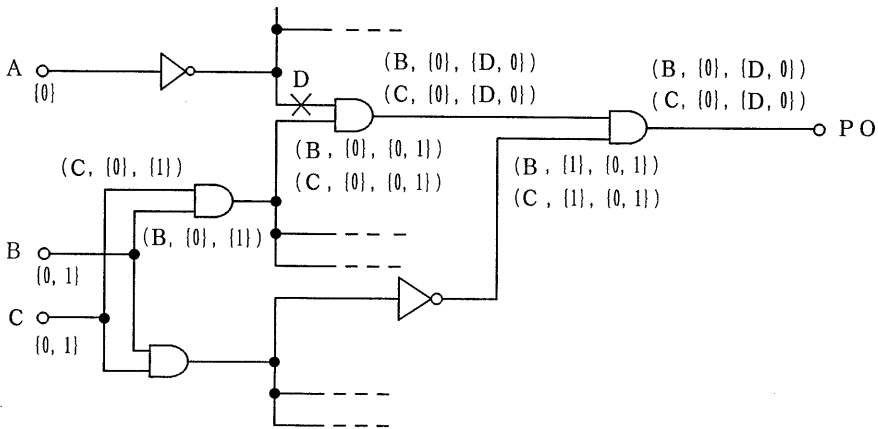


図1 CISの例

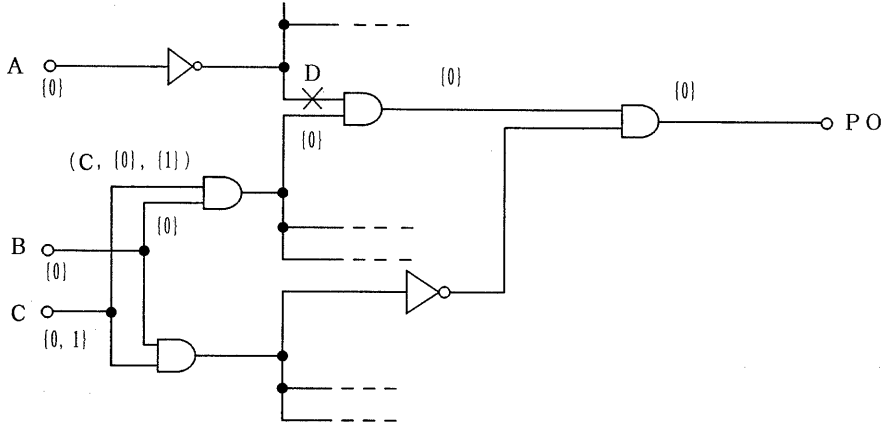


図2 外部入力Bを0としたC I Sの例

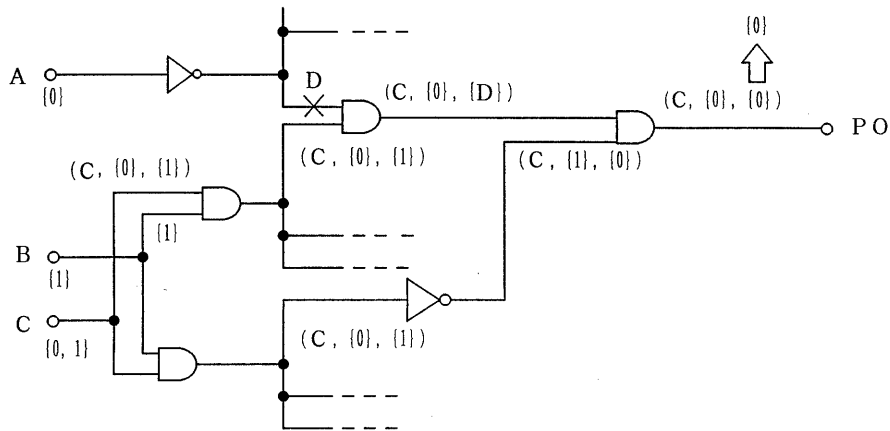


図3 外部入力Bを1としたC I Sの例

の例を次に示す。

[例2] 図1に示す回路に対して、PODEMとC I Sを実行する場合に、外部入力信号値の変化を図4に示す。PODEMでは6回の実行が必要であるが、C I Sでは3回である。

4. 実行結果

これまで述べた、同時入力パターンシミュレーションによる冗長故障判定法をプログラム化し、I S C A S' 85ベンチマーク回路¹³⁾に適用した結果を表2に示す。使用計算機はTransputer T800-25である。対象故障は検査点の代表故障である。また、故障シミュレーションによる故障のドロップを行わず、表2に示す代表故障数の全てに対して冗長故障の判定を行った。

回数	PODEM			R I C I S		
	A	B	C	A	B	C
1	X	X	0	{0}	{0,1}	{0,1}
2	0	X	0	{0}	{0}	{0,1}
3	1	X	0	{0}	{1}	{0,1}
4	1	0	0			
5	1	1	0			
6	1	1	1			

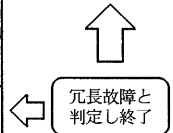


図4 R I C I Sによるバックトラックの削減

表2 C I Sによる冗長故障判定の実験結果

	検査点の故障数	代表故障数	判定した冗長故障数(A)+(B)	バックトラック			リスト長	時間 [s]
				なし(A)	1600以下(B)	1600以上打切(C)		
C880	994	778	0	0	0	0	23457	2416
C1355	1618	1194	8	8	0	0	23136	6386
C1908	2056	1476	7	6	1	0	39444	11273
C2670	2954	2289	34	26	8	0	26610	13691
C3540	3742	2800	95	49	46	7	138906	64017
C5315	6016	4445	42	10	32	7	106647	160420
C6288	7744	5840	34	32	2	0	373944	141451
C7552	8080	5972	43	32	11	42	111060	360372

表2(A)は各外部入力信号線に{0,1}を割り当てバックトラックなしに冗長故障と判定した個数である。(B)は1600回以下のバックトラックにより冗長故障と判定した個数である。(C)は1600回以上のバックトラックのために打ち切りを行った故障の個数である。本実験で、冗長故障と判定した故障の総数を(A)+(B)で示す。これらの値よりC880, C1355, C1908, C6288では、ほとんどバックトラックなしで冗長故障と判定できることが分かる。バックトラック1600回以上の打ち切りはC3544とC5315で7個の故障に対して起こり、C7552では42個である。これら以外の回路では打ち切りは起こらない。この(A),(B),(C)に示す値より、R I C I Sは少ないバックトラック数でほとんどの冗長故障の判定が出来ることが分かる。次にC I Sで必要となる記憶容量は、一つの入力パターンに対して各信号線の可能値集合リストの総数である。このリストの記憶のために必要な整数形変数の個数を表2のリスト長に示す。C I Sでは文献(11),(12)に示される過去の履歴を記憶する必要はない。さらに、評価先端の信号線の可能値集合リストだけを記憶すればリスト長はより小さくなり、C I Sでは大規模な回路に対して、記憶容量増大の問題は発生しない。C I Sによる冗長故障判定の実行時間を表2に示す。この値はR I C I Sの性能を評価するために故障シミュレーションによる故障のドロップなどの高速化手法は一切用いていない。従って、実行時間の高速化は可能でと考えられる。

5. むすび

本論文では、一つの故障を設定し、外部入力信号線側から各信号線で可能な値を同時に外部出力信号線側へ伝播させるという新しい故障シミュレーション法と、この手法を用いた冗長故障判定法R I C I Sを提案した。実験結果は、R I C I Sでは少ないバックトラック数で多くの冗長故障の判定が可能であることを示している。すなわち、R I C I Sは従来の手法とは異なる概念より探索空間の削減を行っている。また、R I C I SではE S T, D S Tに示される過去の履歴を記憶する必要はなく、大規模な回路に対して記憶容量とハッシュ時間の増大の問題は発生しない。従ってR I C I Sは大規模な回路の冗長故障判定法として有用である。

しかしながら実行時間の高速化が必要である。本論文で示したC I Sの実現法は一手法であり、この他にも可能値集合リストの形式、ファンアウトでの可能集合リストの伝播方法など多種考えられる。従ってC I Sの高速化および冗長故障判定能力の向上、バックトラックの減少のための新しい手法について検討することが今後の課題である。

参考文献

- (1) Thompson E. W. and Szygenda S. A. :

- "Digital Logic Simulation in a Time-Based, Table-Driven Environment, Part 2, Parallel Fault Simulation", IEEE Computer, 8, 3, pp.38-40 (1975).
- (2) Armstrong D.B. : "A Deductive Method for Simulating Faults in Logic Circuits", IEEE Trans. Comput., C-21, 5, pp.464-471 (1972).
- (3) Ulrich E.G. and Baker T. : "The Concurrent Simulation of Nearly Identical Digital Networks", Proc. 10th Design Automation Workshop, pp.145-150 (1974).
- (4) Roth J.P. : "Diagnosis of Automata Failures: A calculus and a method", IBM J. Res. & Dev., 10, 4, pp.278-291 (1966).
- (5) Goel P. : "An Implicit Enumeration Algorithm to Generate Tests for Combinational Logic Circuits", IEEE Trans. Comput. C-30, 3, pp.215-222 (1981).
- (6) 高松雄三, 白石勝, 樹下行三 : "10値を用いた組合せ回路の検査系列生成法", 情処学論, 24, 4, pp.542-548 (1983).
- (7) Fujiwara H. and Shimono T. : "On the Acceleration of Test Generation Algorithm", IEEE Trans. Comput., C-32, 12, pp.1137-1144 (1983).
- (8) Floutier D. : "Identification of Redundancy in Combinational Logic Networks", Digital Processes, 5, 1-2, pp.59-72 (1979).
- (9) 梶原誠司, 芝温子, 樹下行三 : "検出不能故障のクラス化による組合せ回路の冗長除去について", 信論(D-I), J75-D-I, 2, pp. 107-115 (1992).
- (10) Schulz M. H. and Auth E. : "Improved Deterministic Test Pattern Generation with Applications to Redundancy Identification", IEEE Trans. comput.-Aided Des. Integrated Circuits & Syst., 8, 7, pp.811-816 (1989).
- (11) Giraldi J. and Bushnell M. L. : "EST : The New Frontier in Automatic Test-Pattern Generation", Proc.27th-Design Automation Conf., pp.667-672 (1990).
- (12) 藤野貴之, 藤原秀雄 : "探索状態被覆性に基づく素空間削減の一手法", 信学論(D-I), J76-D-I, 5, pp.218-227 (1993).
- (13) Brglez F. and Fujiwara H. : "A Neutral Netlist of 10 Combinational Benchmark Circuits and a Target Translator in FORTRAN", Special Session on ATPG and Fault Simulation, Proc. Int. Sympo. on Circuits and Systems (1985).