

単一トラック切換網を持つメッシュ結合アレーの ニューラルネット解法による再構成

蔵田和司 高浪五男 渡辺孝博

山口大学工学部知能情報システム工学科

〒755 宇部市常盤台 2557

あらまし メッシュ結合アレーに存在する故障を回避するための、再構成アーキテクチャが研究されている。Kung 等 [1] は単一トラック切換網を用いたメッシュ結合アレーモデルを提案した。このモデルは、メッシュ結合アレーに簡単な切換え回路網を付加することにより、システムの再構成を行うものである。最近、Roychowdhury 等 [2] は、このモデルに対する多項式時間のアルゴリズムを提案したが、グローバルな故障分布情報が必要な上、実際にインプリメントするための詳細な手続きが示されていない。

本稿では、Hopfield モデルのニューラルネットワークを用いて、再構成のためのニューラル・アルゴリズムを定式化し、計算機シミュレーション結果を与えて、その有効性を示す。

和文キーワード メッシュ結合, 単一トラック切換網, 再構成, 補償パス, ニューラルネットワーク

A Neural Algorithm for Reconstructing Mesh-connected Processor Arrays Using Single-Track Switches

Kazushi KURATA Itsuo TAKANAMI Takahiro WATANABE

Computer Science and Systems Engineering, Yamaguchi University

Tokiwadai, Ube, 755

Abstract To overcome faults in mesh-connected processor arrays, reconfiguration schemes have been studied in the literature. Mesh-connected processor arrays model based on single-track switches has been proposed in [1]. The model has an advantage of its inherent simplicity of the routing hardware. So far, algorithms have been proposed to solve the problem of reconfiguration using this model. In [2], A polynomial time algorithm has been presented. However, the algorithm needs a global information on fault distribution and the detailed algorithm to implement all the procedures has not been shown.

In this report, using Hopfield-type neural network model, we present an algorithm for reconstructing mesh-connected processor arrays using single-track switches and show its effectiveness by computer simulation.

英文 key words Mesh-connected, single-track switches, reconfiguration, compensation paths, neural network

1 はじめに

近年、科学計算をはじめ、各種のシミュレーションや、設計支援、人工知能分野などからの超並列処理への要請が高まっている。また VLSI に代表される集積回路技術や高密度実装技術の発展に伴い、超並列処理を可能にする環境が整備されつつある。超並列計算機では多数の処理要素 (PE) を用いて並列計算機を構成するため、集積の複雑さが増大し、製造中または動作中における故障の発生確率が無視できない程度に増大することが予想され、製造時における歩留まりや動作中における信頼性の向上を行う工夫が必要になる。その一つの手段として、現在まで PE の配列を再構成する数々の手法が提案されている。

Yih と Mazumder[3] は $N \times N$ の格子状結合のプロセッサ配列の右と下の辺にそれぞれ N 個の PE からなる線形配列を一つずつ予備として配置し、故障 PE の位置する行・列と同じ行または列のどちらかの予備 PE で故障 PE を置き換えて補償する方法に対して Hopfield のニューラル・アルゴリズムを適用した自律的再構成方式を与えている。この再構成法は故障 PE から予備 PE までの距離が長くなる (従って、論理的に隣接した PE 間の距離が長くなり、一定値で押さえられない) という欠点がある。彼等はまた、メモリーの歩留まりを向上するために、ニューラル・アルゴリズムを適用した自律的再構成方式を与えている。

また Kung 等 [1] は $N \times N$ のアレーの周辺部に 1 行 1 列の冗長プロセッサを付加し、プロセッサ間に設置されたトラックとスイッチによって再構成を行うアーキテクチャを提案している。この方式の利点はハードウェア (シリコン面積) のオーバーヘッド (再構成のためのスイッチ、結合線および制御回路) が少ないことである。

本論文では Hopfield のニューラルネットワーク・モデルを用いて Kung 等 [1] が与えた単一トラック切換え網を持つメッシュ結合アレーに対する再構成のニューラル・アルゴリズムを定式化し、その再構成効率の計算機シミュレーション結果を与える。

2 再構成アーキテクチャ

単一トラック切換え網をもつメッシュ結合アレーのアーキテクチャ (図 1) について述べる。 $N \times N$ アレーの周囲の辺に N 個の PE からなる線形配列が一つずつ予備として配置されている。各 PE は正常 (Fault-

free)、故障 (Fault) の状態があり、故障時にも上下または左右方向にデータをスルーする機能がある。各 PE に対して上下左右に設置された 4 つのスイッチはそれぞれ 4 種類の接続パターンが可能である。そのスイッチを結ぶ結合網は各 PE 間に存在する単一のトラックによって構成される。この結合網は規則的かつ単純であり、再構成におけるスイッチの切換え操作は簡単に行われる。切換え回路網 (結合網, 切換え網) によるチップ面積の増大を抑える意味で、単一トラック切換え網は有効であり、その制御回路の構成も比較的簡単に行えると思われる。なお、本論文ではスイッチおよびトラックは故障しないものと仮定して議論を行う。

故障 PE の予備 PE による補償は、基本的にその故障 PE と同じ行または列の予備 PE で補償する方針を取っているが、故障 PE と予備 PE の直接的な置き換え方式ではなく、故障 PE と予備 PE の間に存在する PE 達を一つずつシフトすることによって行っている。この補償方式は故障 PE と予備 PE の直接的な置き換えによる補償方式に比べ、論理的に隣接する PE 間の結合距離を短く押さえることができるといえる。

定義 1 物理インデックスを

$$[i, j] : 0 \leq i \leq N + 1, 0 \leq j \leq N + 1$$

論理インデックスを

$$(x, y) : 1 \leq x \leq N, 1 \leq y \leq N$$

で定義する。

物理インデックスはアレーの各 PE に対して、左上から行方向列方向に $0, 1, 2, \dots$ と与えられる。 i は行を j は列を表す。このとき、物理インデックスは $[0, 0], [0, N + 1], [N + 1, 0], [N + 1, N + 1]$ を含まない。

定義 2 論理インデックス (x, y) の物理インデックス $[i, j]$ への写像 Φ を次式により定義する。

$$\Phi(x, y) = [i, j]$$

定義 3 $PE[i, j]$ を物理インデックス $[i, j]$ で表される PE、 $PE(x, y)$ を論理インデックス (x, y) で表される PE と定義する。

写像 Φ は $PE[i, j]$ が $PE(x, y)$ 、つまり非故障時の x 行 y 列の $PE[x, y]$ の機能を担うことを意味している。

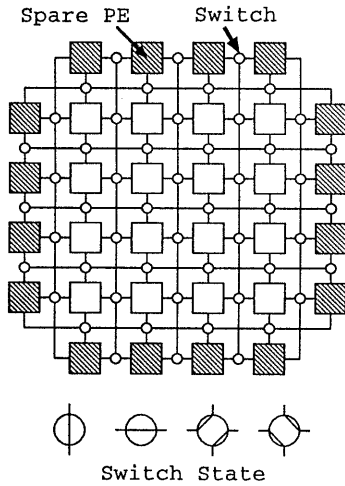


図1: 単一トラック切換網によるメッシュ結合アレー

2.1 補償パス

単一トラック切換網による故障 PE の補償は、その故障 PE と同じ行または列に位置する予備 PE が新たに機能することを意味している。

今、 $PE[i, j]$ が故障したと仮定し、予備 PE として $PE[i, j]$ から上下左右方向に位置する $PE[i, 0]$ 、 $PE[i, N+1]$ 、 $PE[0, j]$ 、 $PE[N+1, j]$ のいずれかが選ばれたとしよう。この時の、補償の様子について説明する。まず、故障 $PE[i, j]$ は、隣接する正常な $PE[i', j']$ と置き換えられる。次にその正常な $PE[i', j']$ は、隣接する $PE[i'', j'']$ と置き換えられる。この置き換え作業は同一方向に対して行われていき、最終的に、予備 PE が使用される。この時、 $\Phi(i, j) = [i', j']$ 、 $\Phi(i', j') = [i'', j'']$ 、... で示される写像が行われる。

以下に補償パスを定義する。

定義 4 上下左右の方向を $s : 1 \leq s \leq 4$ とすると、一番目の要素 $[i, j]$ を予備でない故障 PE の物理インデックス、二番目以降の要素を正常な PE の物理インデックス、最後の要素を予備 PE の物理インデックスとする系列

$$(i, j, s) = ([i, j], [i', j'], [i'', j''], \dots)$$

を $PE[i, j]$ に対する s 方向の補償パスと定義する。 $0 \leq i \leq N+1, 0 \leq j \leq N+1$

補償パスは、 s 方向で故障 $PE[i, j]$ の補償が行われる様子を表しており、ある故障 PE に対して最大 4 つある。

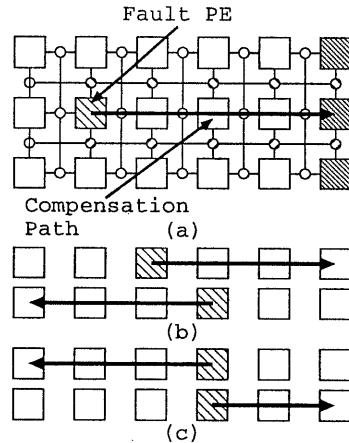


図2: (a) 右方向の補償パス, (b) ニアミス, (c) ニアミスでない

例えば、ある予備でない故障 $PE[i, j]$ の右方向の補償パスは、

$$(i, j, 4) = ([i, j], [i+1, j], \dots, [N+1, j])$$

であり、 $PE[i, j]$ 、 $PE[i, j+1]$ 、...、 $PE[i, N+1]$ を貫く直線で表される。(図2(a))

さらに、交差及びニアミスを以下のように定義する。

定義 5 任意の異なる二つの補償パスの系列において、同一の要素 (物理インデックス) が存在するとき、この二つの補償パスは交差するという。

定義 6 二つの垂直方向の補償パス

$(i_1, j_1, 1)$ 、 $(i_2, j_2, 2)$ が $i_1 > i_2$ かつ $|j_1 - j_2| = 1$ の関係にある時、

または二つの水平方向の補償パス

$(i_1, j_1, 3)$ 、 $(i_2, j_2, 4)$ が $|i_1 - i_2| = 1$ かつ $j_1 > j_2$ の関係にある時、この二つの補償パスはニアミスであるとされる。

故障 $PE[i_1, j_1]$ と故障 $PE[i_2, j_2]$ が隣接する行、または列に位置する時、それらの補償パス同士にはニアミスの関係が生じる可能性がある。(図2(b),(c)) ニアミスの関係が生じた場合、単一トラックによる補償は、物理的に不可能である。

2.2 再構成可能条件

物理アレーからサイズ $N \times N$ の論理アレーへの再構成を可能とする条件は、

(1) すべての予備でない故障 PE に対する補償バスの集合がある。

(2) 任意の二つの補償バス間に交差またはニアミスの関係が存在しない。

上記のような条件を満足する補償バスの集合が得られたとき、アレーを構成するすべての論理インデックスの、正常な PE の物理インデックスへの写像 Φ を以下に示す。

(a) 補償バスの系列に含まれない要素 $[i, j]$ では、

$$\Phi(i, j) = [i, j]$$

(b) 補償バスの系列に含まれる要素 $[i', j']$ は、一つ前の順番の要素 $[i, j]$ となると、

$$\Phi(i, j) = [i', j']$$

(c) 故障 PE にはいかなる論理インデックスも写像されない。

3 ニューラル・アルゴリズム

本論文では再構成問題を Hopfield ニューラルネットワークを用いて解く。再構成問題とは故障パターンに応じた写像 Φ の決定であり、これは先に述べた再構成可能条件から、交差やニアミスの関係をもたないような補償バスの集合を求める問題である。この組み合わせ最適化問題を多項式の最小値問題に帰着させるためのコストについて議論するとともに、ニューラルネットワークの構成法について述べる。

3.1 補償バスの探索

ニューラルネットワークの構成法について述べる前に、補償バスの探索方法を示す。

まず、 $CP(i, j, s)$ を次のように定義する。

定義 7 $PE[i, j]$ が予備でない故障 PE のとき、 s 方向の補償バス (i, j, s) をもつならば $CP(i, j, s) = 1$ 、そうでないとき $CP(i, j, s) = 0$ とする。 $PE[i, j]$ が正常または予備の PE のとき、すべての方向 s に対して、 $CP(i, j, s) = 0$ とする。 $1 \leq s \leq 4, 0 \leq i \leq N+1, 0 \leq j \leq N+1$

性質 1 ある予備でない故障 $PE[i, j]$ について、 $\sum_{1 \leq s \leq 4} CP(i, j, s) = 0$ であるならば、与えられた故障パターンは再構成不可能である。

上記の性質 1 は、故障 $PE[i, j]$ に対する補償バスが一つも存在しない場合を示しており、条件 (1) より再構成不可能であることは明かである。

定義 8 $\psi(i, j, t)$ は、ある予備でない故障 $PE[i, j]$ について、 $\sum_{1 \leq s \leq 4} CP(i, j, s) = 1$ かつ $CP(i, j, t) = 1$ が成り立つとき 1、そうでないとき 0 の値をもつ。 $1 \leq t \leq 4, 0 \leq i \leq N+1, 0 \leq j \leq N+1$

性質 2 $\psi(i, j, t) = 1$ のとき、故障 $PE[i, j]$ に対して、 (i, j, t) で示される補償が行われることが、再構成可能であるための必要条件である。 $1 \leq t \leq 4, 0 \leq i \leq N+1, 0 \leq j \leq N+1$

補償バスの探索を行う処理 SEAECH を示す。ここで、故障パターンが明らかに再構成不可能であることの判定と、再構成の必要条件として、選択肢が一つであって、あらかじめ補償方向が決定される故障 PE の探索も同時に行っている。

SEARCH :

$[i, j] : 0 \leq i \leq N+1, 0 \leq j \leq N+1$ に対して以下の手続きを行う。

(a) $PE[i, j]$ が予備でない故障 PE のとき:

上下左右方向について走査し、 s 方向の補償バス上の PE 達がすべて正常ならば、 $CP(i, j, s) = 1$ とし、そうでないときは、 $CP(i, j, s) = 0$ とする。

$\sum_{1 \leq s \leq 4} CP(i, j, s) = 0$ が成り立つならば、再構成不可能とし処理を終了する。

$\sum_{1 \leq s \leq 4} CP(i, j, s) = 1$ かつ $CP(i, j, t) = 1$ が成り立つならば、方向 t に対して、 $\psi(i, j, t) = 1$ とし、そうでないときは、 $\psi(i, j, s) = 0$ とする。

(b) $PE[i, j]$ が正常または予備 PE のとき:

$CP(i, j, s) = 0, \psi(i, j, s) = 0$ をすべての方向に対して行なう。

3.2 ニューラルネットワークの構成法

故障 PE が選択可能な補償バスの方向 (上下左右) をニューラルネットワークのニューロンに一对一に対応させ、各故障 PE において発火状態のニューロンが一個だけ存在し、かつ再構成可能条件 (2) を満たすときを解とする。補償バスの方向を $s : 1 \leq s \leq 4$ で表すと、各 $PE[i, j]$ に対して 4 つのニューロン V_{ijs} が配置される。時刻 t におけるニューロンの状態を $V_{ijs}(t)$ で表すと、時刻 t におけるニューラルネットワークの状態はベクトル $V(t) = (V_{111}(t), V_{112}(t), \dots, V_{NN4}(t))$ である。時刻 $t+1$ における状態 $V_{ijs}(t+1)$ は次式で

更新される。ここで、 $W_{ijs,xyt}$ はニューロン間の結合重み、 θ_{ijs} はしきい値である。

$$U_{ijs}(t) = \sum_{x,y,t} W_{ijs,xyt} \cdot V_{xyt}(t) + \theta_{ijs} \quad (1)$$

$$V_{ijs}(t+1) = f(U_{ijs}(t)) \quad (2)$$

$$f(X) = \begin{cases} 1 & X > 0 \\ 0 & X \leq 0 \end{cases} \quad (3)$$

上記のようにニューロンは1(発火状態)または0(抑制状態)のいずれかの状態をとるが、同時に1つのニューロンしか状態を変えないものとする。すべての $t' > t$ について、 $V(t') = V(t)$ のとき、状態 $V(t)$ は安定であるという。このとき、式(4)の条件の下で式(5)のエネルギー関数が必ず減少する。

$$W_{ijs,ijs} = 0, \quad W_{ijs,xyt} = W_{xyt,ijs} \quad (4)$$

$$E(t) = -1/2 \sum_{i,j,s,x,y,t} W_{ijs,xyt} \cdot V_{ijs} \cdot V_{xyt} - \sum_{i,j,s} V_{ijs} \cdot \theta_{ijs} \quad (5)$$

定理 1 式(5)によって表されるネットワークのエネルギーは単調に減少する。

証明 ある時刻 t において選ばれたニューロンの状態を $V_{ijs}(t)$ 、エネルギー値を $E(t)$ とする。このニューロンの出力が時刻 t から $t+1$ の間に $V_{ijs}(t)$ から $V_{ijs}(t+1)$ へと変化したとする。この時のニューロンの変化量を δV_{ijs} 、ネットワークのエネルギー変化量を $\delta E = E(t+1) - E(t)$ とすると、 $\delta E = -\delta V_{ijs} \cdot U_{ijs}(t)$ である。 $U_{ijs}(t) > 0$ の時、 $V_{ijs}(t+1) = 1$ 、 $\delta V_{ijs} \geq 0$ であり、 $\delta E \leq 0$ 。 $U_{ijs}(t) \leq 0$ の時、 $V_{ijs}(t+1) = 0$ 、 $\delta V_{ijs} \leq 0$ であり、 $\delta E \leq 0$ 。従って $E(t+1) \leq E(t)$ が常に成立する。

再構成問題を解くため、再構成可能条件を考慮して、3つのコストを設定する。まずある二つの補償バスが交差してはならないことから、定数 $A > 0$ についてコスト C_1 を定義する。ここで $A(i, j, s, x, y, t)$ は (i, j, s) と (x, y, t) の補償バスが交差の関係であるなら1を、そうでない場合は0の値を出力する関数である。

$$C_1 = A/2 \sum_{i,j,s,x,y,t} (V_{ijs} \cdot V_{xyt}) \cdot \mathcal{F}_A(i, j, s, x, y, t) \quad (6)$$

$$\mathcal{F}_A(i, j, s, x, y, t) = A(i, j, s, x, y, t) \cdot CP(i, j, s) \cdot CP(x, y, t) \quad (7)$$

次に各故障 $PE[i, j]$ に対する補償バス (i, j, s) を一つにする目的から、定数 $B > 0$ についてコスト C_2 を定義する。

$$C_2 = B/2 \sum_{i,j} \left(\sum_s V_{ijs} \cdot CP(i, j, s) - 1 \right)^2 \quad (8)$$

上式からなるコスト C_2 はすべての予備でない故障 PE に対して一つずつの補償バスが設けられたとき、最小値0をとる。最後にニアミス回避するため、定数 $C > 0$ についてコスト C_3 を定義する。ここで $C(i, j, s, x, y, t)$ は (i, j, s) と (x, y, t) の補償バスがニアミスであるなら1を、そうでない場合は0の値を出力する関数である。

$$C_3 = C/2 \sum_{i,j,s,x,y,t} (V_{ijs} \cdot V_{xyt}) \cdot \mathcal{F}_C(i, j, s, x, y, t) \quad (9)$$

$$\mathcal{F}_C(i, j, s, x, y, t) = C(i, j, s, x, y, t) \cdot CP(i, j, s) \cdot CP(x, y, t) \quad (10)$$

発火状態のニューロンが示す補償バスによってアレイ $N \times N$ が再構成可能となる時、 $COST (= C_1 + C_2 + C_3)$ は最小値0をとり、再構成不可能である場合は $COST > 0$ となる。

式(5)とコストの式(6),(8),(9)を比較することによって、結合重みおよびしきい値は次式のように導かれる。

$$W_{ijs,xyt} = \begin{cases} -A \cdot \mathcal{F}_A(i, j, s, x, y, t) \\ -B \cdot \delta_{ix} \cdot \delta_{jy} \cdot (1 - \delta_{st}) \cdot CP(i, j, s) \\ -C \cdot \mathcal{F}_C(i, j, s, x, y, t) \end{cases} \quad (11)$$

$$\theta_{ijs} = B/2 \cdot CP(i, j, s) \quad (12)$$

ここで、 δ はクロネッカーのデルタである。また重みは上記以外の場合、0である。

以上の結果を下に、ネットワークを動作させるとニューロンは式(2)により状態を更新してエネルギー関数の最小あるいは極小値が得られる。ここに、極小値 E_{opt} は予備でない故障 PE 数を N_F とすると

$$E_{opt} = B/2 \cdot N_F \quad (13)$$

であり、このとき修復可能なデータが得られる。

故障パターンが与えられ、補償バスの探索を終えたとする。今、ある故障 $PE[i, j]$ における補償バスがある s 方向しか存在していないとする。このとき性質2より、修復可能な補償バスの集合を得るために

は $PE[i, j]$ の補償バスは s 方向に決定されるべきである。従って $\psi(i, j, s) = 1$ を満たすニューロン V_{ijs} が発火することが、修復可能な補償バスの集合を得る必要条件となる。

以上の考察より、ニューロンの状態を更新する際、ニューロン V_{ijs} 、 $\psi(i, j, s) = 1$ は常に発火しており、すべての時刻で状態を変化しないものとする。状態の更新である式(2)を次式のように拡張する。

$$V_{ijs}(t+1) = f'(U_{ijs}(t)) \quad (14)$$

$$f'(X) = \begin{cases} 1 & X > 0, \text{ or, } \psi(i, j, s) = 1 \\ 0 & X \leq 0 \end{cases} \quad (15)$$

定理 2 式(14)による状態の更新を行うとき、ネットワークのエネルギーは単調に減少する。

証明) ある時刻 t において選ばれたニューロン V_{ijs} が $\psi(i, j, s) = 1$ を満たすときについて考える。このニューロンの状態は時刻 t から時刻 $t+1$ の間に変化しない。従って、エネルギーの変化量 $\delta E = 0$ である。また、 $\psi(i, j, s) = 0$ を満たす V_{ijs} が選ばれたときは、定理 1 よりエネルギーの変化量 $\delta E \leq 0$ である。従って $E(t+1) \leq E(t)$ が常に成立する。

式(14)は式(2)に比べ、状態の更新回数の減少と、より高い補償効率が見られることを確認した。

これまで、すべての $PE[i, j]$ に対して4つのニューロンを一对一に対応させ、ニューラルネットワークを構成する方法を述べた。このニューラルネットワークを構成するために必要なニューロン数は $4N^2$ である。しかし、再構成可能な補償バスの集合を決定するために必要となるニューロン数は $\sum_{i,j,s} CP(i, j, s)$ であれば良い。これはニューロン $V_{ijs} : (CP(i, j, s) = 0)$ への結合重み $W_{ijs,xyt}$ と、しきい値 θ_{ijs} が 0 であり、 V_{ijs} は他のニューロンの状態に関わらず発火しないことによる。つまりニューロン $V_{ijs} : (CP(i, j, s) = 0)$ は、ニューラルネットワークから切り離すことができる。この場合の定式化は別の機会に述べる。

以上より、Hopfield モデルを用いたアルゴリズムは次のようになる。

[ニューラル・アルゴリズム]

(1) SEARCH を行い、性質 1 による修復不能性の判定を行なう。与えられた故障パターンが明らかに再構成不可能であるなら、(8) へ行く。

(2) 式(11),(12)によりニューラルネットワークを構成する。

(3) ニューラルネットワークの初期状態を $V(0) =$

$(1, 1, \dots, 1)$ とする。TRY=1、KAISUU に 1 以上の適当な値を設定する。

(4) 式(14)によりニューロンの状態を更新し、安定状態 V_S を求める。

(5) 安定状態のエネルギー E_S が E_{opt} より大きい時、 $TRY > KAISUU$ ならば再構成は不成功とみなして、(8) へ行く。

(6) 安定状態のエネルギー E_S が E_{opt} より大きい時、 $TRY \leq KAISUU$ ならば V_S の各要素ごとに 0 と 1 を反転し、TRY++とし、(4) へ行く。

(7) $E_S = E_{opt}$ ならば再構成は成功であり、 V_S から定まる再構成を行う。

(8) アルゴリズム終わり。

なお、再構成の成功は $E_S = E_{opt}$ だけでなく、 $COST = 0$ から判定可能である。

4 計算機シミュレーション結果

アレーサイズを $n \times n$ とする。単一トラック切換網における予備数 N_S は $4n$ であり、予備を含む全 PE 数 N は $n(n+4)$ である。シミュレーションは $n=8, 16$ の場合について行った。k 個 ($1 \leq k \leq N_S$) の故障を乱数により発生させ、これを、各 n について 100n 回行い、それぞれにニューラルアルゴリズムを適用した。なお比較のためグラフアルゴリズム [1] によるシミュレーションを同様の故障パターンに対して行っている。

まずアルゴリズムの (1) で修復不能性を決定的に判定し、修復不能ならアルゴリズムは終了する。そうでないなら、ニューラルネットワークを構成し、安定状態を求める。この安定状態におけるネットワークのエネルギー E_S を極小値 (E_{opt}) にするかどうかを計算する。 E_S が極小値でないならば、あらかじめ設定した KAISUU だけアルゴリズムの (4)~(6) を繰り返す。

パラメータについては $A = B = 1$ とした。また、データを取るため、故障パターンの中で、(1) ニューラルアルゴリズムにより、KAISUU で設定した回数以内で安定状態が $E = E_{opt}$ を満たすもの、グラフアルゴリズムにより網羅的に探せば (2) 修復可能なものと (3) 修復不能なもの、のそれぞれの故障パターン数を数え上げた。これらを、それぞれ、 S_1, S_2, S_3 、とする。

図 3 は横軸を正規化故障数 (=故障 PE 数/予備 PE 数)、縦軸を生存率 $SV(k)$ ($=k$ 個の PE が故障したと

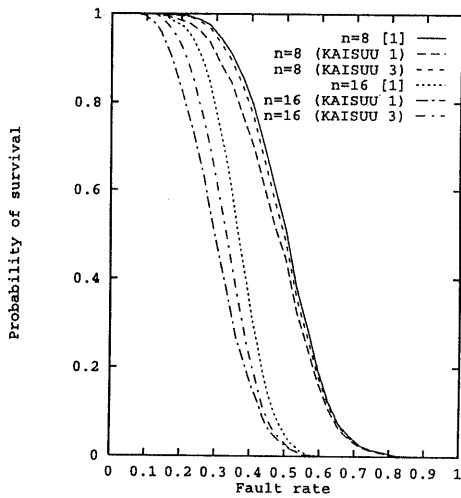


図 3: 正規化故障数 VS 生存率

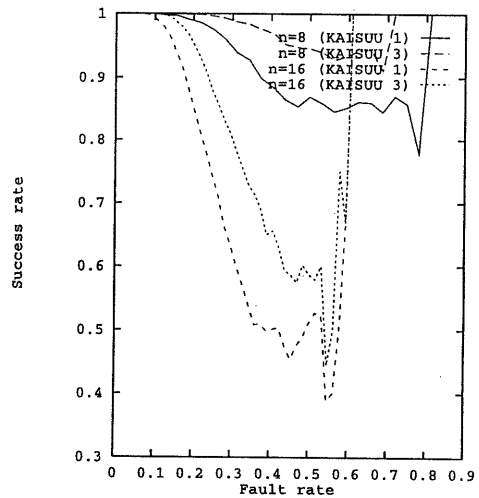


図 4: 正規化故障数 VS 成功率

きの修復可能な故障パターン数/k 個の PE が故障する可能な故障パターン数) としたものである。

修復可能な故障パターンの中で E を最小にするものの割合 ($=S_1/S_2$) を成功率と考え、これを正規化故障数に対して示したのが図 4 である。単一トラック切換網では、故障 PE 数が多くなって、正規化故障数が 1 に近づくにつれ生存率に見られるように、 S_1 、 S_2 は 0 に近づく。このため実験データでは成功率の変動が大きくなっている。

図 4 は修復可能な故障パターン数、 S_1 、 S_2 の場合について、これらの実験データに基づきシステムの信頼性 R を以下の式で計算したものである。

$$R = \sum_{0 \leq k \leq N_s} {}^N C_k \cdot SV(k) \cdot p^{N-k} \cdot (1-p)^k \quad (16)$$

ここに、p は一つの PE の信頼性である。

5 むすび

単一トラック切換網に対するニューラル・アルゴリズムを与えたが、この定式化は、トラックおよびスイッチを増やした方式に対しても拡張可能であると思われる。またニューラルアルゴリズムのハードウェア化(自律的再構成システムの構成)に関しては今後の課題である。

謝辞 本研究は一部文部省科学研究費 05680275、及び CSK 科学技術研究助成金による。

参考文献

- [1] S.Y. Kung, S.N. Jean, and C.W. Chang, "Fault-tolerant array processors using single-track switches," *IEEE Trans. on Comp.*, Vol. 38, No. 4, pp. 501-514, Jan. 1989
- [2] V.P. ROYCHOWDHURY, J. BRUCK, and T. KAILATH, "Efficient Algorithms for Reconfiguration in VLSI/WSI Arrays", *IEEE Trans. Comput.*, Vol. 39, No. 4, pp. 480-489, Apr. 1982
- [3] J.S. Yih, and P. Mazumder, "Processor Array Self-Reconfiguration by Neural Networks," *Proc. Int'l Conf. Wafer Scale Integration*, pp. 55-64, Jan. 1992
- [4] J.S.N. JEAN, H.C. FU, and S.Y. KUNG, "Yield Enhancement For WSI Array Processors Using Two-and-Half-Track Switches," *Proc. Int'l Conf. Wafer Scale Integration*, pp. 243-250, Jan. 1990
- [5] 高浪五男, 久長稜, 井上克司, "周辺に予備をもつ格子状結合高並列計算機の再構成のニューラル・アルゴリズム" 信学技法 WSI93-3(1993-6)
- [6] 高浪五男, 久長稜, 井上克司, "周辺に予備を持つメッシュ結合プロセッサ配列の再構成のための結合切替え" 信学技法 WSI92-7(1992-8)

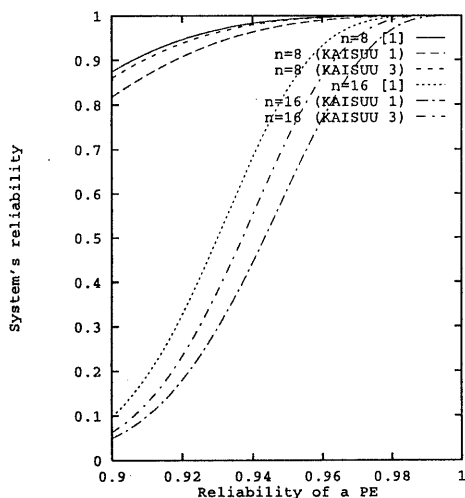


図 5: PE の信頼性 VS システムの信頼性

Requirements on Yield Improvement”, *IEEE Trans.Comput.*, Vol.c-31, No.7, pp.609-616,Jul. 1982

- [14] T.A. VARVARIGOU, V.P. ROYCHOWDHURY, and T. KAILATH, ” A Polynomial Time Algorithm for Reconfiguring Multiple-Track Models”, *IEEE Trans.Comput.*, Vol.42, No.4, pp.385-395, Apr. 1983

- [7] 高浪五男, 岡実, 井上克司, 渡辺孝博, ”格子状結合高並列計算機の高信頼化の一構成とその信頼性解析”, 信学会研究会 FTS91-20(1991-7) 及び信学論 (D-1), Vol.J75-D-1, No. 6, pp.358-369 (1992-6)
- [8] 津田伸正, ”アレー構造 WSI の階層化冗長構成法”, 信学論 (D-1), Vol. J75-D-1, No. 1, pp.41-52 (1992-1)
- [9] 沼田一成, 堀口進, ”格子結合型マルチプロセッサの再構成法”, 信学技法 WSI92-6(1992-8)
- [10] Pinaki Mazumder and Yih-Shyr Jih, ”A New Built-In Self-Repair Approach to VLSI Memory Yield Enhancement by Using Neural-Type Circuits,” *IEEE Trans.Comput.*, Vol.12, No.1, pp.501-514,Jan. 1993
- [11] E. GOLES-CHACC, F. FOGELMAN-SOULIE and D. PELLEGRIN, ”DECREASING ENERGY FUNCTIONS AS A TOOL FOR STUDYING THRESHOLD NETWORKS”, *Discrete Applied Math.* 12, pp.261-277(1985)
- [12] JEHOSHUA BRUCK, ”On the Convergence Properties of the Hopfield Model”, *Proc. IEEE*, Vol.78, No.10, pp.1579-1585(1990)
- [13] T.E. MANGIR and A. AVIZIENIS, ”Fault-Tolerant Design for VLSI: Effect of Interconnect