

スキューをゼロにする配線における遅延最小化

枝廣 正人

NEC C&C研究所

あらまし スキューをゼロにする配線における遅延最小化手法を提案する。まずスキューをゼロにする配線における遅延を見積る。この見積式は遅延最小化における目的関数として用いることができる。さらに、最適配線幅を定式化する。計算機実験の結果では、クラスタリング手法をもとにした配線手法に、提案する遅延最小化手法を適用することによって、3000端子からなるベンチマークデータにおいて遅延を50%削減することができた。

和文キーワード LSI CAD、クロック配線、ゼロスキュー配線、配線遅延、回路遅延予測、配線幅最適化

Delay Minimization Technique in Zero-Skew Routing

Masato Edahiro

C&C Research Laboratories, NEC Corporation

Abstract Delay minimization methods are proposed for zero-skew routings. A delay-time estimation formula is derived, which can be used as an objective function to be minimized in zero-skew routing algorithms. Moreover, the optimum wire width is formulated. Experimental results show that our methods with a clustering-based algorithm achieve 50% reduction of the delay time on benchmark data with 3000 pins.

Key words: LSI CAD, Clock Routing, Zero-Skew Routing, Wiring Delay, Circuit Delay Estimation, Wire Width Optimization

1 はじめに

VLSIにおけるクロック周波数増加に伴い、クロック配線方式はますます重要になっている。スキューをゼロにする配線方式についてはすでに提案されているが[24]、遅延最小化についてはいまだに難しい問題である。これまでに総配線長最小化については多くの研究があるが[4, 5, 6, 7, 11, 13, 14, 18, 19]、総遅延最小化については詳しく調べられていない。総配線長と総遅延は相関があるため、これまでで最も優れた総配線長最小化手法であるクラスタリング手法[13, 14]が最も優れた総遅延最小化手法と考えることができるが、その確度はわかっていない。

まず、総遅延最小化には正確な遅延見積りが必要である。配線遅延については古くから調べられているが[2, 3, 8, 16, 21, 22, 25]、一般のRCモデルに基づく配線がドライバに接続している時の総遅延時間の見積りは難しい。本論文では、スキューをゼロにする配線において満たされるべき遅延見積り式を導く。この遅延見積り式では、配線に関して π 2モデルで近似された分配RCモデル(distributed RC model)を用いる[3]。

そして、上記見積り式を用いて2種類の最適化を行なう。まず上記見積り式を総配線長の代わりに目的関数とし、既存の最小化アルゴリズムを用いる。次に、スキューをゼロにする配線において遅延を最小化するための最適配線幅に関する近似を行なう。ここでは、上で近似した遅延見積り式が配線幅の関数として大域的最適解を持つことを示す。従来この配線幅最適化問題にはいくつかの研究が行われてきたが[3, 8]、本論文で提案する配線幅最適化は、スキューをゼロとする配線に関する最初の定式化である。

ベンチマークデータ[17, 24]を用いた計算機実験では、従来最も優れている総配線長最小化アルゴリズム[13, 14]に対して、本論文で提案する遅延最小化手法を用いることにより10%から50%の遅延削減を達成できた。

2 ゼロ・スキュー配線

2.1 定義

ファンアウト端子 v_r と、 n 個のファンイン端子の集合 $S = \{v_1^s, v_2^s, \dots, v_n^s\}$ が与えられている時、 v_r を根として S を n 個の葉の集合とするような木をクロック木(clock tree)という(図1)。以下では簡単にファンアウト端子を根(root)、ファンイン

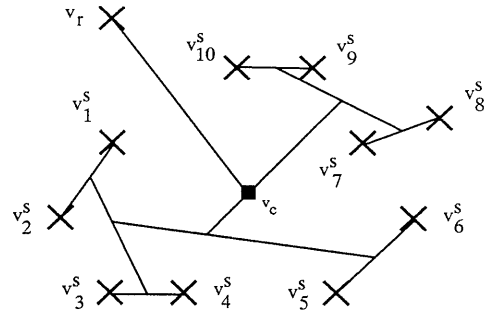


図1: 根 v_r 、葉の集合 $S = \{v_1^s, v_2^s, \dots, v_{10}^s\}$ を持つクロック木

端子を葉(leaves)とよぶ。またあるクロック木上の節点 v を根とした部分木を考えた時、その部分木の葉の集合を S_v と書く。さらに、本論文ではクロック木は2分木であることを仮定する。ただし節点が縮退して見かけ上2分木にならない場合は許される。

ここで、各葉 v_i^s に対して負荷容量(load capacitance) $C(v_i^s)$ が与えられるものと仮定する。そして各内点 v での負荷容量(load capacitance)を、 v を根とする部分木での総容量で定義する。なお総容量とは、 S_v での負荷容量と部分木内の配線容量との和である。

このとき与えられた根と葉の集合に対するゼロ・スキュー配線(zero-skew routing)を、根からすべての葉までの配線遅延が等しくなるようなクロック木で定義する。この定義から、ゼロ・スキュー配線上のいずれの節点 v を取っても、 v から S_v に属するすべての葉までの配線遅延は等しくなる。この遅延を v からの配線遅延(propagation delay) $\tau(v)$ と呼ぶ。葉 v_i^s に対しては $\tau(v_i^s) = 0$ とする。

2.2 配線アルゴリズム

本節では、ゼロ・スキュー配線上の内点 v において満たされるべき $\tau(v)$ と $C(v)$ に関する式を導く。 v_1 と v_2 をクロック木における v の子とする。また、 l_1 (l_2)と w_1 (w_2)を v から v_1 (v_2)への配線長と配線幅とする。さらに、 r と c を単位長、単位幅を持つ配線の配線抵抗および配線容量とする。このとき、配線遅延に対して π 2モデル[3, 22]を用いると(図2)、ゼロ・スキュー配線における $\tau(v)$ と $C(v)$ は次の式を満足する[24]。

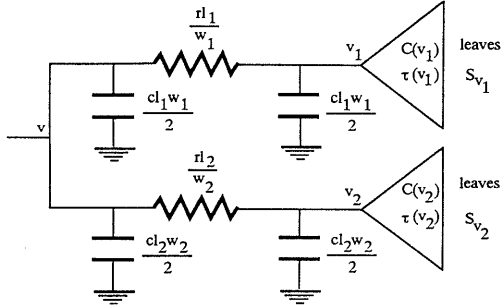


図 2: v におけるゼロ・スキュー併合に対する π 2 モデル

$$\begin{aligned}\tau(v) &= \frac{rl_1}{w_1} \left(\frac{cl_1 w_1}{2} + C(v_1) \right) + \tau(v_1) \\ &= \frac{rl_2}{w_2} \left(\frac{cl_2 w_2}{2} + C(v_2) \right) + \tau(v_2) \quad (1) \\ C(v) &= C(v_1) + C(v_2) + c(l_1 w_1 + l_2 w_2) \quad (2)\end{aligned}$$

このとき重要なことは、あらかじめ座標値が既知である v_1 と v_2 をそれぞれ根とする 2 個のゼロ・スキュー配線があり、配線幅 w_1 、 w_2 が与えられている時に、上記の式を用いることにより、 v_1 、 v_2 の親で、かつ v を根とするクロック木がゼロ・スキュー配線で、しかも $l_1 + l_2$ を最小化するような、節点 v の座標値が定数時間で計算できることである [4, 6, 9, 10, 15]。この、節点 v の座標値を求める操作を、**ゼロ・スキュー併合** (zero-skew merge) とよぶ。

与えられた根と葉に対するゼロ・スキュー配線は、ボトムアップに $n-1$ 回のゼロ・スキュー併合によって生成できることが知られている [4, 6, 11, 19, 24]。

3 遅延見積

本節では、あらかじめ生成されており、かつ根 v_r およびすべての内点における $C(\cdot)$ 、 $\tau(\cdot)$ が式 (1)、(2) を用いて計算されているゼロ・スキュー配線について考える。またこのゼロ・スキュー配線は、プロセスパラメタが既知のクロックドライバによってドライブされているものとする。

以下ではこのモデルの上での遅延見積式を提案する。遅延を見積もるために、まず、各内点 v において満足される回路方程式を示す。この回路方

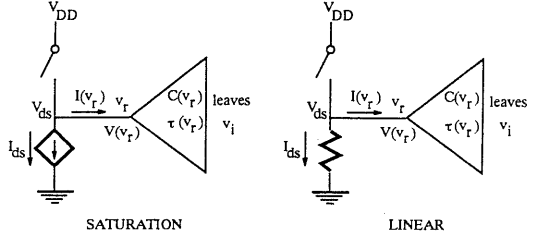


図 3: 立ち下がり時間見積における等価モデル

程式は、負荷容量 $C(v)$ と、配線遅延 $\tau(v)$ によって表される。

定理 1 あるゼロ・スキュー配線上で、各節点 v と、 S_v に含まれる葉 v_i^s において次の式が成立する。

$$V(v) = V(v_i^s) + \tau(v) \frac{dV(v_i^s)}{dt} \quad (3)$$

$$I(v) = C(v) \frac{dV(v_i^s)}{dt} \quad (4)$$

ただし、 $V(v)$ と $I(v)$ は節点 v における電圧値と電流値である。

証明は [12] に示されている。このとき、信号の立ち下がり時間の見積値 t_f は、上記の式および理想的な nMOS トランジスタの 1 階近似式 [23] (図 3) を用いて次のように計算できる [12]。

$$t_f \approx 3.7 \frac{C(v_r)}{\beta_n V_{DD}} + 1.4\tau(v_r) \quad (5)$$

ここで、 β_n はクロックドライバ内の nMOS トランジスタのパラメタである。立ち上がり時間に関しても同様に計算できる。

また、CMOS 回路においては、出力の立ち上がり/立ち下がり時間が遅延時間を支配するので、遅延時間は立ち上がり/立ち下がり時間の 2 分の 1 として近似できる [23]。従って、遅延は次の式によって見積もることができる。

$$t_d \approx 1.85 \frac{C(v_r)}{\beta_n V_{DD}} + 0.7\tau(v_r) \quad (6)$$

4 最適配線幅

本節では、遅延を最小化するための最適配線幅に関する近似式を導出する。あるクロック配線上の配線線分において、その配線線分が多く葉によって共有されている時、配線を太くすると配線

遅延が少なくなる。逆に、配線を細くすると配線容量が小さくなるためゲートのスイッチ時間が少なくなる。遅延は前節において見積もられたような配線遅延と負荷容量との一次式で表されると仮定すると、最適解が必ず存在することが言える。以下では、前節において示した遅延の近似値が、配線幅の関数として大域的最適解を持つことを示す。

4.1 可変配線幅モデル

ゼロ・スキュー配線上で、 v_1 と v_2 を子とする内点 v について考える。 l_1 (l_2) と w_1 (w_2) を v から v_1 (v_2) への配線の配線長および配線幅とする。また、ここではゼロ・スキュー配線はボトムアップに生成していくものとする。すなわち、 v_1 と v_2 の座標値はあらかじめ算出されているものとし、 $C(v_1)$ 、 $C(v_2)$ 、 $\tau(v_1)$ 、 $\tau(v_2)$ についても値が計算されているものとする。従って、これらの値はここでは定数と見なすことができる。

さて、次のステップとして v の座標値を求める必要がある。このとき配線幅最適化を、総遅延 t_d を最小化するような w_1 と w_2 の値を決定することとして定義する。ここで、 l_1 、 l_2 、および v の座標値は、配線幅最適化においては w_1 と w_2 の関数として表されることに注意が必要である。

なお、長さ l を v_1 と v_2 との距離として定義し、 w_{min} をプロセスで許される配線の最小幅として定義する。明らかにどちらの値も定数である。さらに、根 v_r から節点 v までのすべての配線線分 p における (配線長/配線幅) の比の和を R_v と書く。すなわち、

$$R_v = \sum_{p \in \{\text{path from } v_r \text{ to } v\}} \frac{\text{length of } p}{\text{width of } p} \quad (7)$$

ここで、ゼロ・スキュー配線をボトムアップに構成することを仮定したので、 R_v は前もって決定できない値である。しかしながら、本論文では R_v の値はクロック木の構造、 v_1 と v_2 の位置から近似可能であり、 w_1 、 w_2 とは独立であると仮定する。この近似の方法については [12] において議論されている。

さて、総遅延 t_d が次の式によって表されているものとする。

$$t_d = \alpha_1 \frac{C(v_r)}{\beta V_{DD}} + \alpha_2 \tau(v_r) + \alpha_3 \quad (8)$$

ここで、 α_1 、 α_2 、 α_3 は定数である。前節の見積式 (6) では、 $\alpha_1 = 1.85$ 、 $\alpha_2 = 0.7$ 、 $\alpha_3 = 0$ で

あった。また、本節では $\beta = \beta_n = \beta_p$ であることを仮定する。このとき式 (1) と (2) を用いると、総遅延 t_d は w_1 、 w_2 の関数として次のように書き換えられる。

$$t_d(w_1, w_2) = \left(\frac{\alpha_1 c}{\beta V_{DD}} + \alpha_2 r c R_v \right) (l_1 w_1 + l_2 w_2) + \alpha_2 r \left(\frac{cl_1^2}{2} + \frac{l_1 C(v_1)}{w_1} \right) + const \quad (9)$$

4.2 最適配線幅

本節では、式 (9) から最適配線幅を導く。はじめに大域的最適性の定理を示す。この定理では 2 種類の条件を用いる。まず、配線幅 w_1 と w_2 は最小配線幅 w_{min} 以上でなければならない、というものである。次に、 $l_1 + l_2 = l$ を条件とする。 v から v_1 および v_2 への配線長の和 $l_1 + l_2$ は v_1 と v_2 との距離 l を下回ることとはできない。従って、この条件を満足する解が実行可能である限り、これら二つの条件に基づく最適解が大域的最適解となる。この場合の実行可能な条件とは l_1 、 l_2 の非負性である。この実行可能性については、後に関わり合いを行なう。

定理 2 (配線幅最適化) $w_1, w_2 \geq w_{min}$ および $l = l_1 + l_2$ のもとでは、関数 $t_d(w_1, w_2)$ は次の時に大域的最適解を持つ。

$$w_1 = w_2 = w^* = \max \left(w_{min}, \sqrt{\frac{\alpha_2 r}{\beta V_{DD}} + \alpha_2 r c R_v \left(\frac{C(v_1)C(v_2)}{C(v_1) + C(v_2)} \right)} \right) \quad (10)$$

上記の配線幅に対して配線長は次のように表される。

$$l_1^* = \frac{(\tau(v_2) - \tau(v_1)) + r l \left(\frac{C(v_2)}{w^*} + \frac{cl}{2} \right)}{r \left(cl + \frac{C(v_1)}{w^*} + \frac{C(v_2)}{w^*} \right)} \quad (11)$$

$$l_2^* = l - l_1^* \quad (12)$$

証明は [12] にある。ここで重要なことは、この大域的最適解は [20] に述べられている遅延感度 (delay sensitivity) を最小化する。遅延感度とは、配線幅の変化に対する遅延の変化値であり、プロセス変動に対する強さと考えることができる。上記に示した大域的最適解は、 $\frac{\partial t_d}{\partial w_1} = \frac{\partial t_d}{\partial w_2} = 0$ [12] を満足するので、遅延感度は理論的に 0 である。このことは、本論文で提案する最適配線幅は遅延最小であると同時に最も信頼性の高いゼロ・スキュー配線であることを示している。

さて、次にゼロ・スキュー配線における最適配線幅を定式化する。上記の定理では l_1 、 l_2 の非負性を考慮に入れていなかったため、ここで3種類の場合分けをする必要がある。

Case 1: [$l_1^* > l$ ($l_2^* < 0$)]

この場合には、遅延最小化のためには $l_2 = 0$ 、すなわち $v \equiv v_2$ とする必要がある。このとき式 (11)、(12) よりある $w_1^+ \leq w^*$ に対して次の式が成立する。

$$\tau(v_2) - \tau(v_1) = r l \left(\frac{cl}{2} + \frac{C(v_1)}{w_1^+} \right)$$

これに対して2種類の場合分けをする。

Case 1.1: [$w_1^+ < w_{min}$]

この場合は、いかなる配線幅 ($\geq w_{min}$) を用いても、 $\tau(v_2) - \tau(v_1)$ の差が大き過ぎ、 $l = l_1 + l_2$ の条件の下ではゼロ・スキュー配線は得られない。そのために v_1 から v ($\equiv v_2$) まで迂回配線 (detour wire、 l よりも長い配線) を使う必要が生じる。遅延最小化のためには、迂回配線の長さは最短でなければならず、そのためには $w_1 = w_{min}$ でなければならない。式 (1) より、迂回配線の長さ l_1^+ は次の式によって定まる l_1^+ になる。

$$\tau(v_2) = \frac{rc}{2} (l_1^+)^2 + \frac{rC(v_1)}{w_{min}} l_1^+ + \tau(v_1)$$

Case 1.2: [$w_1^+ \geq w_{min}$]

この場合には、配線幅 $w_1 = w_1^+$ を用いることによって迂回配線を使う必要はない。そして、この場合が遅延を最小化することが証明できる。従って $l_1 = l$ および $w_1 = w_1^+$ が成立する。

Case 2: [$0 \leq l_1^* \leq l$ かつ $0 \leq l_2^* \leq l$]

この場合は、上記で求めた大域的最適解が実行可能であるため最適配線幅とそれに対する配線長は $w_1 = w_2 = w^*$ 、 $l_1 = l_1^*$ 、 $l_2 = l_2^*$ である。

Case 3: [$l_2^* > l$ ($l_1^* < 0$)] Case 1 と同様。

5 計算機実験

提案した手法をクラスタリング法によるゼロ・スキュー配線アルゴリズム [13, 14] と組み合わせ

て計算機実験した。アルゴリズムにおける目的関数には遅延見積式 (6) を用いた。また、配線幅最適化には $\alpha_1 = 1.85$ 、 $\alpha_2 = 0.7$ 、 $\alpha_3 = 0$ を用いた。

テストした回路モデルには、生成されたゼロ・スキュー配線の根 v_r にインバータを接続したものをを用いた。総遅延はインバータの入力遷移時刻 (50% レベルを通過した時刻) と葉における 50% レベル遷移時刻の差によって計測した。この値は、式 (6) によって見積もられる¹。また、配線遅延は根 v_r と葉における遷移時刻の差によって測定され、この値は $\tau(v_r)$ によって見積もられる。ドライブするインバータに対しては、 $\beta_p = \beta_n = 5.6$ [mA/V^2] を用いた。さらに $V_{DD} = 5[V]$ を仮定した。

実験では、提案する遅延最小化手法を総配線長最小化アルゴリズム [13, 14] と比較した。データにはベンチマークデータ prim1-prim2 [17] と r1-r5 [24] を用いた。比較するアルゴリズム [13, 14] では最小配線幅のみを用いている。

はじめに、見積値を用いて3種類のアルゴリズム、1) 総配線長最小化アルゴリズム [LM]、2) 遅延見積式を目的関数として用いた遅延最小化アルゴリズム [DM]、3) 配線幅最適化を含む遅延最小化アルゴリズム [DM+WW]、を比較した。表 1 に結果を示す。ここで、TWL は総配線長、EPD は配線遅延見積値、ETD は総遅延見積値である。配線遅延は $\tau(v_r)$ を、総遅延は式 (6) の値の 60% をそれぞれ見積値としている。表 1 より配線幅最適化は配線遅延の削減に大きな効果があることがわかる。さらに、大きなデータ (r4 および r5) においては、[DM] は [LM] よりも総遅延が小さいが、逆に総配線長は大きいことがわかる。このことは、総配線長最小化が総遅延最小化とは異なる可能性があることを示している。

次に、SPICE 回路シミュレータ [1] を用い、提案した見積値の正当性を示す。表 2 は総配線長 [TWL]、配線遅延 [PD]、総遅延 [TD]、クロックスキュー [SKW] に対する見積値とシミュレート値を示している。表 2 より、ほとんどのデータにおいて見積値がシミュレート値に対して 10% 以内に入っていることがわかる。さらに提案する手法によって 10%-50% 総遅延が少なくなっていること

¹この見積値 (6) は [12] において議論されているように従来の見積法よりも小さい値を取るが、さらに複雑なモデルによって計算している SPICE シミュレーション [1] はより小さい値を取る。ここでは、SPICE の結果に合わせるために (6) の値の 60% の値を見積値としている。

表 1: 3 種類のアルゴリズム [LM] ([13, 14])、[DM]、[DM+WW] に対する総配線長 [TWL]、配線遅延見積値 [EPD]、総遅延見積値 [ETD]

	#pins		[LM]	[DM]	[DM+WW]/([LM])
prim1	269	TWL	131427	131125	131877 (1.00)
		EPD	2.34ns	2.75ns	0.36ns (0.15)
		ETD	6.35ns	6.53ns	5.60ns (0.88)
prim2	603	TWL	306053	315598	317296 (1.04)
		EPD	8.97ns	9.48ns	0.99ns (0.11)
		ETD	15.90ns	16.13ns	12.77ns (0.80)
r1	267	TWL	1289004	1288488	1288597 (1.00)
		EPD	1.13ns	1.23ns	0.71ns (0.63)
		ETD	2.05ns	2.09ns	1.91ns (0.93)
r2	598	TWL	2537488	2560231	2559898 (1.01)
		EPD	3.58ns	3.04ns	1.51ns (0.42)
		ETD	4.79ns	4.57ns	4.06ns (0.85)
r3	862	TWL	3227150	3286157	3266236 (1.01)
		EPD	4.70ns	4.50ns	1.79ns (0.38)
		ETD	6.39ns	6.35ns	5.40ns (0.85)
r4	1903	TWL	6588826	6661947	6657174 (1.01)
		EPD	14.92ns	10.89ns	4.00ns (0.27)
		ETD	15.70ns	13.98ns	11.58ns (0.74)
r5	3101	TWL	9867854	9994849	9952239 (1.01)
		EPD	33.42ns	21.14ns	5.32ns (0.16)
		ETD	28.89ns	23.59ns	17.60ns (0.61)

がわかる。

6 まとめ

ゼロ・スキュー配線に関する遅延見積手法と配線幅最適化手法について提案した。計算機実験の結果では、提案手法は総配線長最小化手法と比較して 10%-50% 総遅延が少なくなった。

謝辞 ベンチマークデータを提供して下さった UCLA の A. B. Kahng と K. Boese、ArcSys の R. S. Tsay に感謝します。また、有意義な助言をいただいたプリンストン大学の R. J. Lipton と T. Takahashi にお礼申し上げます。

参考文献

- [1] P. Antognetti and G. Massobrio: *Semiconductor Device Modeling with SPICE*. McGraw-Hill, New York, New York, 1987.
- [2] H. B. Bakoglu: Optimal Interconnection Circuits for VLSI. *IEEE Transactions on Electron Devices*, Vol. ED-32 (1985), No. 5, pp.903-909.
- [3] H. B. Bakoglu: *Circuits, Interconnections, and Packaging for VLSI*. Addison-Wesley, Reading, Massachusetts, 1990.
- [4] K. D. Boese and A. B. Kahng: Zero-Skew Clock Routing Trees with Minimum Wire-

- length. *Proc. of IEEE International ASIC Conference*, 1992, pp.1-1.1 - 1-1.5.
- [5] T. H. Chao, Y. C. Hsu, and J. M. Ho: Zero Skew Clock Net Routing. *Proc. of the 29th Design Automation Conference*, 1992, pp.518-523.
- [6] T. H. Chao, Y. C. Hsu, J. M. Ho, K. D. Boese, and A. B. Kahng: Zero Skew Clock Routing with Minimum Wirelength. *IEEE Transactions on Circuits and Systems*, to appear.
- [7] J. Cong, A. B. Kahng, and G. Robins: Matching-Based Methods for High-Performance Clock Routing. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, to appear.
- [8] J. Cong, K.-S. Leung, and D. Zhou: Performance-Driven Interconnect Design Based on Distributed RC Delay Model. *Technical Report CSD-920043*, Computer Science Department, UCLA, 1992.
- [9] 枝廣：等長配線手法とその最短性. *信学技報*, VLD91-26, 1991, pp.15-21.
- [10] M. Edahiro: Minimum Skew and Minimum Path Length Routing. *NEC Research & Development*, Vol. 32 (1991), No. 4, pp.569-575.
- [11] M. Edahiro and T. Yoshimura: Minimum Path-Length Equi-Distant Routing. *Proc. of 1992 IEEE Asia-Pacific Conference on Circuits and Systems*, 1992, pp.41-46.
- [12] M. Edahiro: Delay Minimization for Zero-Skew Routing. *Technical Report CS-TR-415-93*, Department of Computer Science, Princeton University, 1993.
- [13] M. Edahiro: A Clustering-Based Optimization Algorithm in Zero-Skew Routings. *Technical Report CS-TR-416-93*, Department of Computer Science, Princeton University, 1993.
- [14] M. Edahiro: A Clustering-Based Optimization Algorithm in Zero-Skew Routings. *Proc. of the 30th Design Automation Conference*, 1993, pp.612-616.
- [15] M. Edahiro: Equi-Spreading Tree in Manhattan Distance, submitted to *Algorithmica*.
- [16] W. C. Elmore: The Transient Response of Damped Linear Networks with Particular regard to Wideband Amplifiers. *Journal of Applied Physics*, Vol. 10 (1948), pp.55-63.
- [17] M. A. B. Jackson, A. Srinivasan, and E. S. Kuh: Clock Routing for High-Performance ICs. *Proc. of the 27th Design Automation Conference*, 1990, pp.573-579.
- [18] A. Kahng, J. Cong, and G. Robins: High-Performance Clock Routing Based on Recursive Geometric Matching. *Proc. of the 28th Design Automation Conference*, 1991, pp.322-327.
- [19] Y. M. Li and M. A. Jabri: A zero-skew clock routing scheme for VLSI circuits. *Proc. of 1992 International Conference on Computer-Aided Design*, 1992, pp.458-463.
- [20] S. Pullela, N. Menezes, and L. T. Pillage: Reliable Non-Zero Skew Clock Trees Using Wire Width Optimization. *Proc. of the 30th Design Automation Conference*, 1993, pp.165-170.
- [21] J. Rubinstein, P. Penfield, and M. A. Horowitz: Signal Delay in RC Tree Networks. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. CAD-2 (1983), No. 3, pp.202-211.
- [22] T. Sakurai: Approximation of Wiring Delay in MOSFET LSI. *IEEE J. of Solid-State Circuits*, Vol. SC-18 (1983), No. 4, pp.418-426.
- [23] N. Weste and K. Eshraghian: *Principles of CMOS VLSI Design: A Systems Perspective*. Addison-Wesley, Reading, Massachusetts, 1985.
- [24] R. S. Tsay: Exact Zero Skew. *Proc. of the 1991 International Conference on Computer-Aided Design*, 1991, pp.336-339.
- [25] D. Zhou, F. P. Preparata, and S. M. Kang: Interconnection Delay in Very High-Speed VLSI. *IEEE Transactions on Circuits and Systems*, Vol. 38 (1991), No. 7, pp.779-790.

表 2: アルゴリズム [LM] ([13, 14])、[DM+WW] に対する総配線長 [TWL]、配線遅延 [PD]、総遅延 [TD]、およびクロックスキュー [SKW]

	#pins		[LM]		[DM+WW]	
			estimated	simulated	estimated	sim. ([LM] との比)
prim1	269	TWL	131427		131877	
		PD	2.34ns	2.63ns	0.36ns	0.37ns (0.14)
		TD	6.35ns	6.31ns	5.60ns	5.63ns (0.89)
		SKW	0.00ns	0.00ns	0.00ns	0.00ns
prim2	603	TWL	306053		317296	
		PD	8.97ns	10.89ns	0.99ns	1.01ns (0.09)
		TD	15.90ns	15.93ns	12.77ns	12.60ns (0.79)
		SKW	0.00ns	0.03ns	0.00ns	0.00ns
r1	267	TWL	1289004		1288597	
		PD	1.13ns	1.35ns	0.71ns	0.80ns (0.59)
		TD	2.05ns	2.19ns	1.91ns	2.04ns (0.93)
		SKW	0.00ns	0.00ns	0.00ns	0.00ns
r2	598	TWL	2537488		2559898	
		PD	3.58ns	4.58ns	1.51ns	1.69ns (0.37)
		TD	4.79ns	5.08ns	4.06ns	4.15ns (0.82)
		SKW	0.00ns	0.00ns	0.00ns	0.00ns
r3	862	TWL	3227150		3266236	
		PD	4.70ns	6.07ns	1.79ns	1.98ns (0.37)
		TD	6.39ns	6.71ns	5.40ns	5.44ns (0.81)
		SKW	0.00ns	0.01ns	0.00ns	0.00ns
r4	1903	TWL	6588826		6657174	
		PD	14.92ns	16.73ns	4.00ns	4.44ns (0.27)
		TD	15.70ns	17.10ns	11.58ns	11.47ns (0.67)
		SKW	0.00ns	0.02ns	0.00ns	0.00ns
r5	3101	TWL	9867854		9952239	
		PD	33.42ns	32.92ns	5.32ns	5.83ns (0.18)
		TD	28.89ns	33.23ns	17.60ns	17.30ns (0.52)
		SKW	0.00ns	0.05ns	0.00ns	0.01ns