

## アナログ回路用多層プリント基板の分離型設計

遠山 望<sup>†</sup> 合田 路彦<sup>†</sup> 渡辺 敏正<sup>††</sup>  
<sup>†</sup>広島大学 大学院 工学研究科 <sup>††</sup>広島大学 工学部  
〒724 東広島市鏡山1-4-1  
電話 0824-24-7661 ファックス 0824-22-7195  
電子メール watanabe@huis.hiroshima-u.ac.jp

本稿ではアナログ回路用多層プリント基板の一設計手法として、基板の上、下層は部品配置にのみ、中間層は全て配線にのみそれぞれ使用する分離型設計手法を提案し、基板面積縮小に有効であることを実回路データに対する実験結果により示す。本手法の特徴は、表面実装部品に覆われる上層または下層の領域部分に対応する中間層での領域を配線に用いることにより基板面積を縮小していることである。反面、スルーホールが増加という欠点も有する。このため、得られたレイアウトから、配線を上層あるいは下層に移動させることによりレイアウトを逐次改良する手法も提案している。

## Separation of Placement from Routing in Designing Multi-Layered Printed Wiring Boards for Analog Circuits

Nozomu TŌYAMA Michihiko GŌDA and Toshimasa WATANABE  
*Department of Circuits and Systems,  
Faculty of Engineering, Hiroshima University  
1-4-1 Kagamiyama, Higashi-Hiroshima, 724 Japan  
Phone +81-824-7661 Facsimile +81-824-22-7195  
E-mail watanabe@huis.hiroshima-u.ac.jp*

The present paper considers separation of placement from routing in designing multi-layered printed wiring boards for analog circuits. The first and the last layers of one multi-layered board are exclusively used for placement, and routing is done only on other layers called inner ones. Experimental results show that this method greatly reduces the sizes of boards with increase in the number of through-holes(vias), possibly as well as in the number of inner layers. These layouts will be improved by moving some wires of inner layers onto the first or the last layer, based on the three measures to be proposed.

## 1. まえがき

プリント基板レイアウト設計においては、基板小型化のためしばしば高密度化が要請される。本研究ではアナログ回路用配置・配線分離型多層プリント基板の一設計手法（ここでは分離型設計と呼ぶ）を提案する。そして、実験を通して提案手法が高密度化に有効であることを示す。（結果の一部は既に[PR6]で報告している。）

$n$ 層から成る1枚のプリント基板を考える（但し、 $n \geq 2$ とする）。第1層、第 $n$ 層をそれぞれ上層、下層と呼び第2～第 $n-1$ 層を中間層と呼ぶことにする。分離型設計とは $n=2$ のときには上層を配置のみ下層を配線のみで使用し、また $n \geq 3$ のときには上層と下層を部品配置のみで使用し、中間層は配線のみを使用する設計手法をいう（図1）。なお、上下層にも配線を許す場合を簡単のため通常設計と呼ぶことにする（図2）。分離型設計手法の利点は高密度化が容易に行えることであり、基板サイズの小型化が達成される。この理由は、表面実装部品により覆われる基板領域部分に対応する下層（ $n=2$ のとき）、あるいは中間層（ $n \geq 3$ のとき）での領域を配線に用いるためである。よって、表面実装部品が多ければ多いほど基板面積縮小率（分離型設計と通常設計による各々の基板サイズの比）は大きくなる。一方、層数や層間配線のためのスルーホール数が増加する傾向にある。

既に我々は平面グラフ抽出と矩形双対グラフを用いた一層プリント基板設計支援システムPRIDE[PR1]を開発しており現場での試用段階にある。また、PRIDEを多層基板設計システムへと拡張したMULTI-PRIDEも開発中である[PR3]。本研究はMULTI-PRIDEにおいて分離型設計を行なうことを想定している。また、中間層配線（分割された各部分回路内の配線や部分回路間の接続）はスルーホールを用いることから全て2端子接続要求として扱えるが、その配線経路探索は基本的には総当り法であるため、回路が大規模化するにつれて100%配線を求めるには莫大な計算時間を必要とする。高い結線能力を有する高速ルータを得るための一手法として並列処理を積極的に利用することが行なわれている[T3,T4,T5,T6]。本研究でも並列ルータを採用する。即ち、配線領域をいくつかの部分配線領域に分割し、その部分領域毎に並列的に配線問題を処理するトランスピュータネットワークを用いた詳細配線用並列ルータTREDを開発し、分離型設計におけるルータとして採用している。この様な並列ルータは分離型設計のみならず種々の配線問題へ適用できる。また大規模回路の分割設計への応用もあり、これ単独でも研究課題として興味深い[T1,T9]。通常設計を上、下層に出来るだけ配線を埋め込むものと考ええると、分離型設計はその逆に位置する極端な設計手法である。通常は両者によるレイアウトの中間に望ましいレイアウトがあると思われる。そこで分離型設計により得られたレイアウトか

ら、配線の上、下層への移動によりレイアウトを改良する手法も提案する。

分離型設計による基板サイズの縮小の度合、並列ルータの結線能力と処理速度、提案した改良法の有効性等を実回路データに対する実験結果により示す。

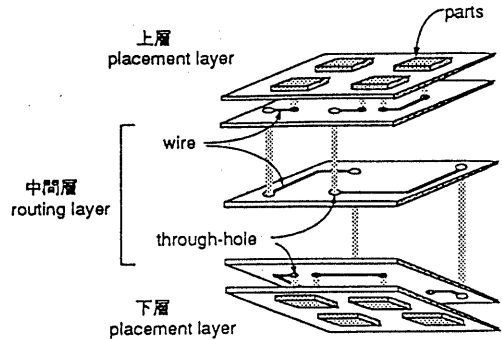


図1. 分離型設計による多層プリント基板

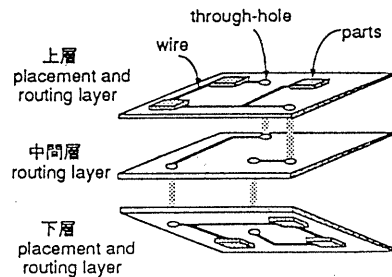


図2. 通常設計による多層プリント基板

## 2. MULTI-PRIDEにおける分離型設計

MULTI-PRIDEは大きく分けて（1）回路分割、（2）分割された各部分回路毎の設計（層内設計：通常設計と分離型設計ではここでの設計が異なる）、（3）各部分回路内の接続要求及び分割の際にカットされた接続要求を接続する中間層配線、より成る。以下、それぞれについて述べていく。

### 2. 1. 回路分割

回路分割には既存の手法であるFM法[PR5]を用いている。（種々の分割指標に関する考察が[PR4,PR7]にある。）

### 2. 2. 層内設計

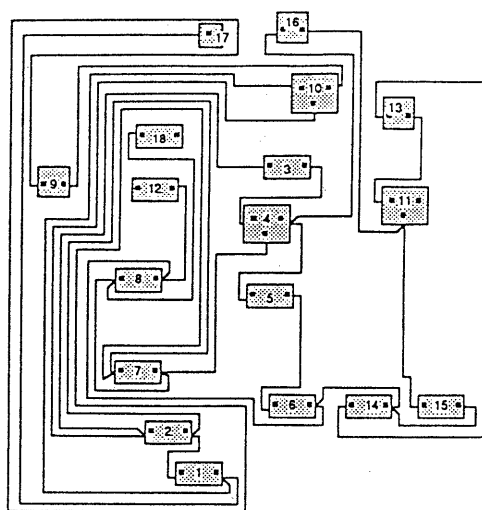
分割された各部分回路毎の層内設計には当研究室で既開発のPRIDEを利用する。以下に概要を述べるが詳細は[PR1,PR3]を参照のこと。

### 2. 2. 1. PRIDEによる層内設計の概要

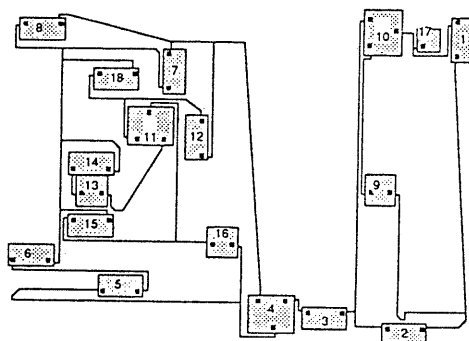
まず、回路図のネットリストより接続要求をグラフモデル化する。グラフモデル化の際には部品を1頂点として表す従来のVLSI設計手法とは異なり、各部品をその端子を1つの頂点とした有向サイクルとして表すことにより配線可能性と共に部品の天地反転配置の禁止等を陽に考慮した配置を行うことができる。このグラフモデルより全域平面部分グラフを抽出する。このとき取り除かれた辺はジャンパー線として扱われ、その埋め込み処置は後で行う。得られた平面グラフに仮想辺、仮想頂点を付加することにより矩形双対グラフを持つ平面グラフに変形した後、1つの矩形双対グラフを求める[PR2]。求められた矩形双対グラフの各矩形は部品をその内部に置くための部品矩形、端子を表す端子矩形、配線通過用の配線矩形よりなる。求めた矩形双対グラフに対し部品の実サイズ、端子の実サイズと接続する配線の実幅の大きいもの、更には通過する配線の実幅総和をそれぞれ部品矩形、端子矩形、配線矩形のサイズの下限值として制約条件を作成し、線形計画法(LP)を用いて全体の矩形の縦横長和を最小にする各矩形の実サイズを求める。(分離型設計は通常設計とはLPを用いる際の制約条件が異なる: 詳細は後述する。)ここで矩形双対グラフを用いる理由としては、部品配置と配線を独立に行なう設計手法(例えばmin cut法)では接続要求のある部品同士を近接配置する機能が欠落しているため、配線の不必要な迂回が多く発生し、ルータへの負担が増すと共に配線長が極端に増加する傾向があり、これを防止することが挙げられる(図3)。最後に得られた各矩形内部に部品を配置して詳細配線を行う。

### 2. 2. 2. 分離型設計の為の制約条件

先に述べたように分離型設計と通常設計では矩形双対グラフに実サイズを割り当てる際に用いられるLPでの制約条件が異なる。すなわち、通常設計では各部品矩形に割り当てるサイズの下限値は部品の(縦横)実サイズであり、配線矩形(それぞれ端子矩形)のサイズの下限値には配線領域サイズ(端子の実サイズと配線領域サイズの大きいもの)を割り当てていた(図4(a))。一方、分離型設計では部品を非占有型部品(表面実装部品のうち部品下、つまり、部品により覆われる基板領域部分での配線を許すもの)と占有型部品(貫通型部品と表面実装部品のうち部品下の配線を許さないもの)の2通りに分けてそれぞれ異なる制約条件を与える。非占有型については部品とそれに対応する部品矩形の重なりが空でないとする制約条件を与える(すなわち、部品矩形のサイズは必ずしも内部に部品が置ける大きさになっているとは限らない。図4(b))。また占有型についてはその端子群によって囲まれた領域を部品矩形のサイズの下限値として与え、端子がこの部品矩形内からはみ出さないとす



(a)



(b)

図3. 部品配置の配線への影響の違い  
(a)min cut法による配置  
(b)矩形双対グラフを用いた配置

る制約条件を与える(図4(c))。更に部品間の重なりを防止するための制約条件を与え、LPにより所望のレイアウトを得た後、スルーホールを用いて中間層で詳細配線を行なう。分離型設計では通常設計に比べ制約条件数が約2.5倍程度となりLPに要する計算時間は増大する。

### 2. 3. 層間配線

回路分割の際にカットされた接続要求や上、下層内での接続要求等は中間層を用いて配線する。しかし、前述したようにこの配線には莫大な計算時間を費やすのでこの処理を並列的に行い、高速化を図る。ここでは、この処理を当研究室で開発している詳細配線用並列ルータTREDを用いて行なう。

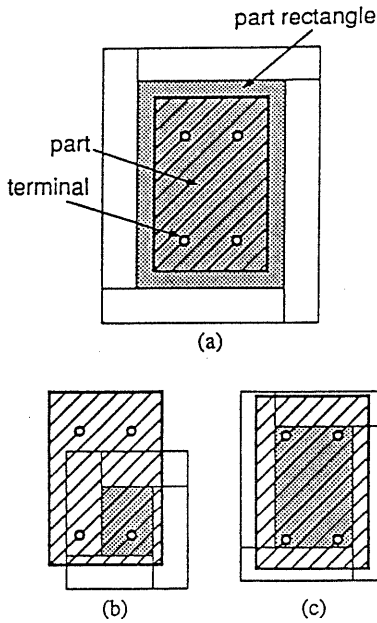


図4. 部品矩形に対する制約条件  
 (a)通常設計の制約条件  
 (b)分離型設計(非占有型部品)の制約条件  
 (c)分離型設計(占有型部品)の制約条件

TREDは(1)領域分割と接続要求の概略経路決定(図5(a),(b),(c))、(2)分割された領域の境界線上への仮端子の設置(図5(d))、(3)各部分領域毎の詳細配線(図5(e))からなる。(1)では全配線領域を並列計算機(ここではトランスピュータ)の台数分 $p \times q$ に領域分割し、各接続要求の概略経路を決定する。(2)では(1)で求めた部分領域の境界線と概略経路をもとに境界線上に仮端子を設ける。(3)では各部分領域毎に仮端子と実端子の混在する2端子接続要求を各トランスピュータに割り当て詳細配線を並列的に処理する。各部分領域内の配線は[T2,T8]で既提案のスイッチボックスルータCONDORを改良して用いている。

このような配線領域分割による配線手法は、境界線上の仮端子の配置や配線領域の分割等により配線自由度が減少することから一般的には全領域に対する一括配線法に比べ配線率は下がる傾向は否定できない。しかしながら高い並列性が得られること、更には問題規模の増大に伴い配線領域分割、小領域内配線とそれらの統合による全体配線、なる操作が要求されることは明かであり、これらの点で本手法を採用する意義は十分あるものと思われる。なお並列詳細配線ルータTREDに関しては紙面の関係で[T1,T9]に譲る。

#### 2. 4. 詳細配線後の配線移層によるレイアウトの改良

先述したように、分離型設計の短所は中間層数が増

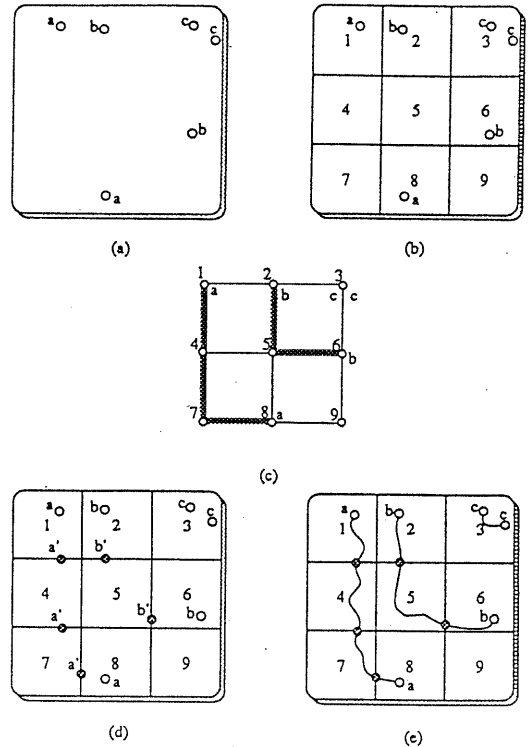


図5. TREDの概要  
 (a)接続要求  
 (b)領域分割  
 (c)概略経路決定  
 (d)仮端子設置  
 (e)部分領域毎の詳細配線

える可能性が大きいことと共に部品配置層と中間層を接続するためのスルーホール数が通常設計と比較して非常に多くなることである。このことは基板の品質低下を招く。また、スルーホールが多いことは基板面積にも多少の影響を与える。そこでここでは中間層の配線の一部を部品配置層の空き領域を利用して再配線すること(配線移層と呼ぶことにする)によりスルーホール数の減少を試みる。また、分離型設計は通常設計に比べ無駄な配線の迂回が多く、配線移層の際にはこの迂回を改善することも考慮することが望ましい。更に、中間層において配線密度の高い部分にある配線を移層することが中間層配線のルータへの負担緩和につながり、層数、スルーホール数の減少に結び付く。

また、基板の上においてスルーホールが密に存在する部分は基板の強度的な問題があり、スルーホールの密な部分のスルーホールを減少させるような配線移層が好ましい。加えて、スルーホールの密な部分のスルーホール数を減少させることはスルーホールによる基板面積の増加を抑制することにもなる。そこで今回は以下で定義す

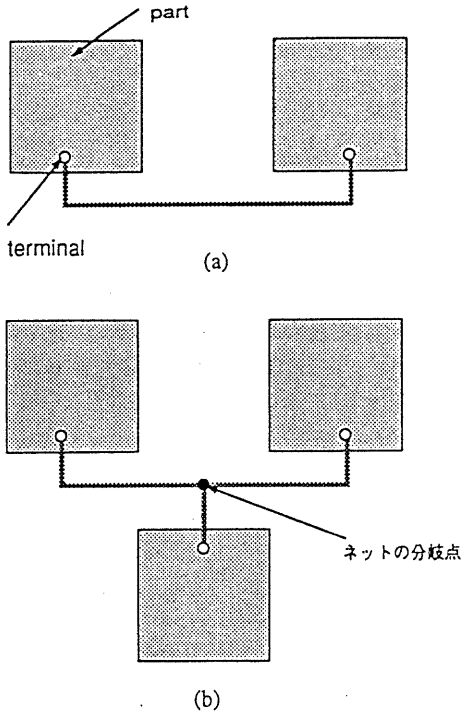


図6. 配線セグメントの定義  
 (a) 2端子ネットの場合：端子から端子までの配線部分が配線セグメント  
 (b) 多端子ネットの場合：各端子から分岐点までの配線部分がそれぞれ配線セグメント

る配線セグメントを移動の基本単位と考え、各配線セグメント $s_i$ の配線長減少率 $\rho_i$ （配線セグメント $s_i$ を移層したときに元の配線長よりどれだけ配線長を減少することができるかという見積り）と配線周囲密度 $D_i$ （配線セグメント $s_i$ の周囲が自分以外の他の配線セグメントに関してどの程度込み合っているか）、そしてスルーホール密度 $H_i$ （配線セグメント $s_i$ に関するスルーホールの周囲が他のスルーホールに関してどの程度込み合っているか）を指標とし、移層指標

$$\mu_i(a, \beta, \gamma) = a\rho_i + \beta D_i + \gamma H_i$$

(a,  $\beta$ ,  $\gamma$ は定数)

の大きい配線セグメント $s_i$ を優先的に移層することにする。以下に各配線セグメント $s_i$ を定義する。なお、ここではネットは2端子ネットとは限らないこと、及び各ネットに対しては端子間を接続する配線が既に求められていることに注意されたい。

各ネット $R_j$ に対し、以下で定まる線分を配線セグメントと呼ぶ：

$R_j$ の各端子 $v$ に対して、 $R_j$ が2端子ネットならば $v$ を始点とし $R_j$ のもう一方の端子を終点とす

る配線とする（図6(a)）； $R_j$ が多端子ネットならば $v$ から最も近い配線分岐点までの配線部分とする（図6(b)）。

次に各配線セグメント $s_i$ の配線長減少率 $\rho_i$ 、周囲密度 $D_i$ 、及びスルーホール密度 $H_i$ の算出法について述べる。

#### 配線長減少率 $\rho_i$

配線セグメント $s_i$ の配線長（ $s_i$ の長さ）を $L(i)$ 、 $s_i$ の始点と終点の間のマンハッタン距離を $L_m(i)$ とすると、 $s_i$ の配線長減少率 $\rho_i$ は

$$\rho_i = L(i) / L_m(i)$$

とする。

以下で述べる $D_i$ 、 $H_i$ の計算は、各中間層を配線最小幅を各格子枝の重みとする格子グラフとして扱うものとする。

#### 配線周囲密度 $D_i$

まず、基板の縦横長、中間層の層数より探索範囲の指標 $\delta$ （格子枝数）を定める。更に、格子グラフ上で $s_i$ に使用されている各格子点よりマンハッタン距離 $\delta$ の範囲内にある格子点の集合 $\Gamma_i$ を $s_i$ に対する探索範囲とする（図7）。

$\Gamma_i$ の中にある格子点で $s_i$ が属するネットとは異なるネットに属する配線セグメントに使用されている総格子点数を $\kappa_i$ 、 $\Gamma_i$ 中の全格子数を $G_i$ と表すとき、 $s_i$ の配線周囲密度 $D_i$ は

$$D_i = \kappa_i / G_i$$

とする。

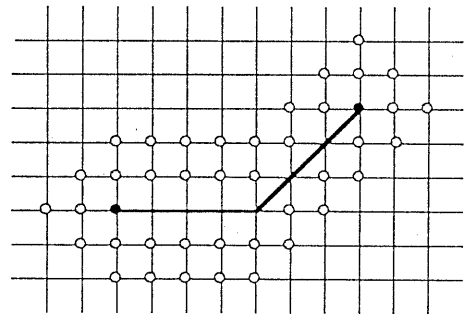


図7. ある配線セグメントに対する探索範囲（ $d=2$ の場合）。太線は配線セグメント、丸のついた格子点がこの配線セグメントに対する探索範囲

#### スルーホール密度 $H_i$

$s_i$ 上のスルーホールに使われている格子点の集合を $\Phi_i$ とする。（ $s_i$ が2端子ネットであれば $|\Phi_i| = 2$ 、それ以外ならば $|\Phi_i| = 1$ である。）

まず、基板の縦横長、中間層の層数より探索範囲の指標  $\epsilon$  を定める。グラフモデル上で各  $v \in \Phi_i$  よりマンハッタン距離  $\epsilon$  の範囲内にある格子点の集合  $\Gamma(v)$  を  $v$  の探索範囲とする。  $\Gamma(v)$  中の格子点でスルーホールであるものの総数を  $\kappa_v$ 、  $\Gamma(v)$  中の全格子点を  $G_v$  と表すとき、  $s_i$  のスルーホール密度  $H_i$  は

$$H_i = \sum_{v \in \Phi_i} (\kappa_v / G_v)$$

とする。

### 配線移層

上記で求めた各配線セグメントの配線長減少率、配線周囲密度、スルーホール密度を基に以下の操作で配線移層を行なう。

Step1.  $S \leftarrow \{s_i | i=1, \dots, n\}$  ( $n$ は配線セグメントの総数)。

Step2.  $S = \emptyset$  ならば終了。

Step3.  $\alpha, \beta, \gamma$  を与えて各  $s_i \in S$  に対して  $\rho_i, D_i, H_i$  を計算する。

Step4. 一度に移層する配線セグメント数  $m$  を定める。

Step5.  $S$  に属する配線セグメントの中で移層指標  $\mu_j$  ( $\alpha, \beta, \gamma$ ) の値の大きいものから順に  $m$  個取り出し (これらの集合を  $S_m$  とする)  $S_m$  中の要素を全て移層する。

Step6.  $S \leftarrow S - S_m$  として Step2 へ戻る。

## 2. 5. 実験結果

回路分割後に、分離型設計と通常設計各々の手法に基づいた層内設計により基板設計を行い、これらのサイズ等を比較する。実験は NEC EWS4800/30 上で行った。プログラムは C 言語で実装し、LP はスタンフォード大学開発の MINOS V5.1 を用いている。入力データはいずれも実回路である。基板面積、スルーホール数の比較結果を表 1 に、配線長の比較結果を表 2 に示す。表 1 より分離型設計は通常設計に比べ平均して約 50% に基板面積が縮小できた。しかしながら、スルーホール数は極端に増加する。計算時間は基板面積の縮小が大きいデータについては減少している。これは基板面積の縮小により中間層配線の探索領域が減少したためである。また、表 2 より分離型設計は平均約 70% に配線長を短縮できた。この配線長の短縮についても基板面積の縮小が大きいデータ程効果は顕著に見られる。また、中間層数の増加により層数は増加する。表 3 は表 1 の #Data2 に対し配線移層を行った効果を示している。今回は移層する配線セグメントの個数の上限を配線セグメントの総数の 5 分の 1 とし、一度に移層する配線セグメントの上限は 1 とした。配線長減少率  $\rho$ 、配線周囲密度  $D$ 、スルーホール密度  $H$  それぞれに対する優先度を変えてレイアウトの改善の効果  $\rho, D, H$  の (配線セグメント全てについての) 平均値により確かめた。実験結果によると  $\rho, D, H$  のどの指標も同等な優先度を与えた場合に比べ、 $\rho, D, H$  のそれぞれに対し高い優先度を与えた場合にはその優先度の高い指標の効果が現れている。

表 1. 基板サイズ、CPUtime、スルーホール数の比較

#Data : データ識別番号  
parts : 部品総数  
terminal: 端子総数  
net : ネット総数  
Size N : 通常設計による基板サイズ (単位: mm<sup>2</sup>)  
Size S : 分離型設計による基板サイズ (単位: mm<sup>2</sup>)  
Time N : 通常設計による CPUtime (単位: 秒)  
Time S : 分離型設計による CPUtime (単位: 秒)  
Hole N : 通常設計によるスルーホール数  
Hole S : 分離型設計によるスルーホール数

#Data	parts	terminal	net	Size N(mm <sup>2</sup> )	Size S(mm <sup>2</sup> )	Time N(s)	Time S(s)	Hole N	Hole S
1	22	46	10	4032	1564	28.71	29.92	8	54
2	31	77	22	26768	21720	151.10	169.85	14	103
3	42	100	30	40698	15606	1224.69	739.16	16	146
4	28	64	15	7350	4582	66.33	89.56	12	92
5	24	95	18	16758	10695	1171.64	1301.83	20	169
6	36	80	28	11997	3392	91.06	76.44	18	110
7	54	115	37	13298	4810	29.59	147.15	20	147

TREDによる中間層配線は、トランスピュータ (INMOS/T800,25MHz) 10台をリング状に接続したネットワーク上で行った。(各トラスピュータは割り当てられた各部分領域内での配線を独立に行うのでネットワーク形状はリング状で十分である。) プログラムはParallel Cで実装している。TREDによる計算時間短縮の効果を示す実験結果を表4に示す。表4によるとTREDによる中間層配線は配線長、スルーホール数、層数が増加するが基板設計の大部分を占める(平均約52%) 中間層配線の計算時間を大幅に短縮している。

表2. 配線長、層数の比較

#Dataは表1と同様  
 Length N: 通常設計による配線長 (単位: mm)  
 Length S: 分離型設計による配線長 (単位: mm)  
 Layer N: 通常設計による層数  
 Layer S: 分離型設計による層数

#Data	Length N(mm)	Length S(mm)	Layer N	Layer S
1	1143.99	712.28	3	5
2	3940.58	3596.44	3	5
3	5384.17	3499.69	4	6
4	1602.89	1361.10	3	5
5	5012.05	4260.95	3	7
6	2582.64	1455.12	3	5
7	3858.92	2546.19	3	5

表3. 配線移層の結果

#Dataは表1の#Data2を使用  
 ρ: 配線長減少率の平均値 (単位: %)  
 D: 配線周囲密度の平均値 (単位: 格子数/mm<sup>2</sup>)  
 H: スルーホール密度の平均値 (単位: 個/mm<sup>2</sup>)  
 指標A: 配線長減少率、配線周囲密度、スルーホール密度のどれも同等の優先度とした場合  
 指標B: 配線長減少率を優先した場合  
 指標C: 配線周囲密度を優先した場合  
 指標D: スルーホール密度を優先した場合

	ρ (%)	D (格子数/mm <sup>2</sup> )	H (個/mm <sup>2</sup> )
配線移層前	1.2254	0.3050	0.0435
指標A	1.0557	0.2100	0.0396
指標B	<u>1.0100</u>	0.0372	0.0372
指標C	1.1198	<u>0.1960</u>	0.0437
指標D	1.1001	0.2000	<u>0.0325</u>

表4. TREDによる中間層配線の結果

#Dataは表1、表2と同様  
 Time A: 逐次的処理による中間層配線のCPUtime (単位: 秒)  
 Time B: TREDによる中間層配線のCPUtime (単位: 秒)  
 Hole A: 逐次的処理による中間層のスルーホール数  
 Hole B: TREDによる中間層のスルーホール数  
 Length A: 逐次的処理による中間層の配線長 (単位: mm)  
 Length B: TREDによる中間層の配線長 (単位: mm)  
 Layer A: 逐次的処理による中間層数  
 Layer B: TREDによる中間層数

#Data	Time A(s)	Time B(s)	Hole A	Hole B	Length A(mm)	Length B(mm)	Layer A	Layer B
1	6.01	1	0	0	117	196	1	1
2	148.46	15	0	39	1237	651	1	2
3	689.60	34	20	86	1308	1553	2	2
4	44.83	27	6	20	272	458	1	2
5	1190.43	62	54	150	1683	2223	3	2
6	11.94	13	0	29	282	439	1	2
7	16.49	37	0	20	302	472	1	2

### 3. あとがき

実験結果によると分離型設計による多層設計では通常設計のそれに比べ平均約50%の基板面積縮小ができた。この設計手法では層間接続要求を通過させるためのスルーホール数が増加するのが難点であるが、基板面積の縮小には効果的であるといえる。また、分離型設計によるレイアウトからの配線の層割当て変更等による逐次改良法についても検討した。なお、今回の結果はコンパクションをかける前の基板面積を比較しているが、今後はコンパクション後の結果についても比較する予定である。なお、提案したレイアウト逐次改良法は通常設計によるレイアウトからの改良にも適用できるので、この実験結果と本稿の結果も比較する予定である。またTREDについては今後更に高い結線能力を得るように改良する予定である。

#### [参考文献]

- [PR1]Iwamoto,K.,Araki,T.,Watanabe,T.,Onaga,K.,:"Finding Jumpers in Printed Wiring Boards Design for Analog Circuits", Proc. 1991 IEEE ISCAS, pp.2854-2857(1991).
- [PR2]Bhasker,J.,Sahni,S.,:"A Linear Algorithm to Find A Rectangular Dual of a Planar Triangulated Graph",Proc. IEEE'86 pp.108-114 (1986).
- [PR3]安井,遠山,畝,渡辺,翁長,:"アナログ回路用多層プリント基板設計支援システム、MULTI-PRIDE",情報処理学会設計自動化研究会DAシンポジウム'92(1992-8)、pp.137-140.
- [PR4]畝,安井,渡辺,翁長,:"アナログ回路用多層基板設計における回路分割指標の実験評価",平成4年度電気情報関連学会中国支部第43回連合大会講演論文集, pp.385-386(1992-10).
- [PR5]Fiduccia,C.M.,Mattheyses,R.M.,:"A Linear-Time Heuristic for Improving Network Partitions", Proc. 19th DAC(1982), pp.175-181.
- [PR6]遠山,安井,渡辺,翁長,:"分離型設計によるアナログ回路用多層プリント基板設計",平成4年度電気情報関連学会中国支部第43回連合大会講演論文集,pp.383-384(1992-10).
- [PR7]畝,水口,渡辺,:"多層プリント基板設計における回路分割の一手法",情報処理学会設計自動化研究会発表予定(1994-02).
- [T1]合田,遠山,渡辺,:"トランスペュータを用いた詳細配線用並列ルータTRED",平成5年度電気情報関連学会中国支部第44回連合大会講演論文集,pp.372-373(1993-10).
- [T2]Watanabe,T.,Oda,T.,Onaga,K.,:"A Congestion-Cost-Directed Router for VLSI Switchboxes",Proc.1990 IEEE ISCAS (May 1990),pp.1684-1687.
- [T3]羽根,油井,島本,白川,西口,:"引き剥し再配線法を用いた分散処理型多層VLSI配線システム",信学技報 CAS91-

18,pp.29-36.

- [T4]小田,渡辺,翁長,:"並列スイッチボックスルータPARA-CONDOR",信学技報 CAS89-88,pp.117-124.
- [T5]進藤,川戸,:"プロセッサの協調動作に基づく並列配線法",信学技報 CAS85-152,pp.33-40.
- [T6]Yamauchi,T.,Nakata,T.,Koike,N.,Ishizuka,A.,Nishiguchi,N.,:"PROTON:A Parallel Detailed Router on an MIMD Parallel Machine",Proc.1991 IEEE ICCAD,pp.340-343.
- [T7]M.Marrek-Sadow ska,:"The Crossing Distribution Problem",Proc.1991 IEEE ICCAD,pp.528-531.
- [T8]春田泰宏,:"混雑コスト再計算法改良によるスイッチボックスルータCONDORの性能強化",平成2年度広島大学工学部第2 類回路システム大講座情報回路網工学卒業研究論文(1991-03).
- [T9]Goda,M.,Toyama,N.,Watanabe,T.,:"A Parallel Detailed Router TRED", 6th Occam/Transpster Int. Conf.(1994-06),