

多層プリント基板設計における回路分割の一手法

畝 康彦[†] 水口 幸則[†] 渡辺 敏正^{††}
[†]広島大学 大学院 工学研究科 ^{††}広島大学 工学部
〒724 東広島市鏡山1-4-1
電話 0824-24-7661 ファックス 0824-22-7195
電子メール watanabe@huis.hiroshima-u.ac.jp

多層プリント基板設計において、ジャンパー枝数最小化を考慮に入れた分割法について述べる。これは本稿の多層基板設計では、ジャンパー枝数の減少がたとえカットされるネット数の増加を招いたとしても、よりビア数の少ないレイアウトにつながる可能性があるためである。また、従来用いられた分割指標以外にプリント基板設計に有用と思われるいくつかの分割指標を新しく導入する。そして既存分割法におけるこれらの分割指標の効果を実験評価し、有効な指標を提案分割法に採用している。

A Circuit-Bipartitioning for Multi-Layered Printed Wiring Board Design

Yasuhiko UNE Yukinori MIZUGUCHI and Toshimasa WATANABE
Department of Circuits and Systems,
Faculty of Engineering, Hiroshima University
1-4-1 Kagamiyama, Higashi-Hiroshima, 724 Japan
Phone +81-824-7661 Facsimile +81-824-22-7195
E-mail watanabe@huis.hiroshima-u.ac.jp

The present paper proposes a circuit-bipartitioning algorithm for multi-layered printed wiring board design minimizing the number of jumpers in divided circuits. This is because, in our layout model, we can expect that reducing the number of jumpers has possibility to make a layout with smaller number of vias. We introduce some new measures to be used in circuit-bipartitioning, and show their usefulness through experimentation: they will be used in the proposed bipartitioning algorithm.

1. まえがき

プリント基板設計における基板サイズの最小化は製品の小型化に直結した重要課題である。プリント基板サイズの最小化のためには搭載する部品自体の小型化や回路の単純化が直接的には有効であるが、最終的には所望の回路を予め用意された部品を用いてできるだけサイズの小さい（あるいは既定サイズ以下の）プリント基板としてレイアウト設計することが必要となる。レイアウト設計の際、基板サイズ縮小のために一般に用いられるのは、多層基板として設計することであるが、熟練技術者による設計ですべて人手で行った場合には莫大な設計期間を必要とするため、現在は計算機により初期レイアウトを求めそれをデザイナーが修正する設計手法が一般的である。

我々は、この初期レイアウトを高速に求めるシステムとしてアナログ回路用多層プリント基板設計支援システムMULTI-PRIDEを開発している[PR1-PR4]。ここでいう多層プリント基板は、 n 層からなる1枚のプリント基板で、上層、下層を部品配置、配線の両方に用い、中間層は配線のみを使用するものである(図1)。このような多層プリント基板設計をMULTI-PRIDEでは大別して、(1)回路分割、(2) (上,下層各々の)層内設計、(3)中間層配線、に分けて行っている。

本研究は(1)と(2)に関連する。回路分割(ここでは2分割)が多層基板レイアウトに大きく影響を与えることは周知のことであり、既にいくつかの分割法が提案されている[CP1-CP5]。従来から、何らかの分割指標に基づいて分割は行われている。例えば「分割された各々の回路中のモジュール(部品等)面積総和がほぼ等しくなる」などが主に用いられてきた。アナログ回路を対象にした場合には、部品の面積自体よりも、むしろピン数、必要とする配線領域等がレイアウト設計に影響を与える。そこで、本稿ではまず、次の三つの分割指標(詳細は後述する)に着目する:

- (i)部品面積和を等しくする;
- (ii)部品面積総和と各部品の端子数を反映させたコストを等しくする;
- (iii)部品面積総和、各部品の端子数、及び必要な配線領域を反映させたコストを等しくする。

既存の分割手法が、これらの分割指標について、どのような性能を示すかを実データ、ランダムデータに対して実

験評価をする。なお、本稿では、既存分割手法としてはFM法[CP1]とWHB法[CP2]に注目しているが、他の分割手法も比較してゆく予定である。(この部分の結果の一部は既に[CP6]で報告している。)

MULTI-PRIDEでは、分割の際にカットされるネットは上,下層間の接続要求としてビアを用いて中間層で配線される。また、層内設計の際に行なわれる平面グラフ抽出により生ずる、除去枝(以下、ジャンパー枝と呼ぶ)も同様にビアを用いて中間層で配線される。回路の2分割によって定まる各部分回路から抽出されるジャンパー枝数は平面グラフ抽出法に大きく依存することはもちろんであるが、回路分割にも依存する。従ってカットされるネット数が少なく、且つ分割により生ずる各部分回路に対する平面グラフ抽出の際に除去されるジャンパー枝数が少なくなるような回路分割が、ビア数の少ないレイアウト設計につながるものと考えられる。本稿では、カット数最小化とジャンパー枝数最小化を考慮に入れた分割手法を提案し、実データ、ランダムデータに対する実験を通じて、従来手法であるFM法とWHB法との比較を行なう。なお、分割指標は前述の実験結果に基づき(iii)の分割指標を用いている。

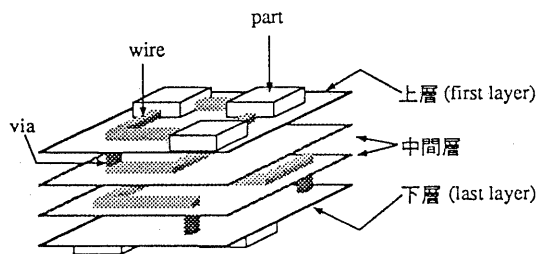


図1. 多層プリント基板。

2. グラフモデル

回路図は通常はネットリストとして与えられ(図2)、これより構成されるグラフモデルに対して分割や種々の設計等の処理が行なわれる。ここでは以下の議論において用いる二つのグラフモデルについて述べる。この際に着目すべき点は部品と接続要求のグラフモデルとしての表現方法である。

2. 1. 部品の表現方法

以下の二つの表現方法を考える。

部品頂点表現: 各部品をグラフの一つの頂点(部品

頂点と呼ぶ)として表す。

有向サイクル表現：各部品をその端子集合から成る一つのサイクルとして表す。但し、各端子は各々グラフの頂点(端子頂点と呼ぶ)として表す。2端子部品ならば対応する端子頂点を結ぶ1本の枝として表現する。一方、(3端子以上の)多端子部品は、まず、端子の出現順に対応する端子頂点を結んで出来るサイクルとして表現する。ここで、天地反転配置が禁止されている部品ならば(端子は部品を上から見たときの出現順に並べた)右回りの有向サイクルとし(図3(1))、そうでなければ車輪グラフ(サイクル内部に新しく1点を追加し、これとサイクル上の各点を新しく枝で結んで出来るグラフ)とする(図3(2))。多端子部品は通常は天地反転配置は禁止であるので、これらは特に断らない限り有向サイクルとして扱われるものと考えてよい。

2. 2. 接続要求の表現方法

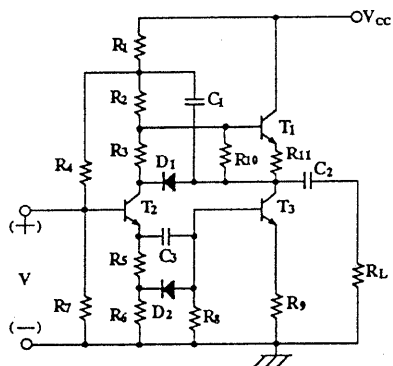
部品頂点表現、有向サイクル表現いずれに対しても、以下のハイパー枝表現を採用する。前者の部品頂点、後者の端子頂点を総称して接続頂点と呼び、接続要求のある接続頂点の極大集合をネットと呼ぶ。

(ネットの)ハイパー枝表現：各ネットに新しく一つの頂点(ネット頂点と呼ぶ)を追加し、この頂点とネット中の各接続頂点を枝で結ぶ。

部品頂点表現とハイパー枝表現の組み合わせ、及び有向サイクル表現とハイパー枝表現の組み合わせ、各々によるグラフモデルをそれぞれ部品頂点モデル、及び有向サイクルモデルと呼ぶことにする。図4は図2のネットリストに対する有向サイクルモデルを示している。この中で、例えば、頂点4, 5, 19, 37は一つのネットであり、頂点49がそのネット頂点である。MULTI-PRIDEでは通常は有向サイクルモデルを用いるが、回路分割では部品頂点モデルを用いる。これは回路分割では部品が一単位として扱われること、及びこのモデルでは分割指標としてのコストを部品頂点に割当てられた重みとして扱うことができる、等の簡便さからである。

3. MULTI-PRIDEの概要

まず前述したようにMULTI-PRIDEは、回路分割、分割された各部分回路毎の一層基板としての設計(層内設計)、層内設計で得られた2枚の一層基板を基板合わせするため、回路分割の際カットされたネットと層内設計



```

NET_LIST
R1 2 R  R2 2 R  R3 2 R  R4 2 R
1 2      2 3      3 4      2 7
R5 2 R  R6 2 R  R7 2 R  R8 2 R
9 11     11 13    7 13    10 13
R9 2 R  R10 2 R R11 2 R  RL 2 R
12 13    3 5      8 5      6 13
C1 2 C  C2 2 C  C3 2 C  D1 2 D
2 5      5 6      9 10     4 5
D2 2 D  T1 3 T  T2 3 T  T3 3 T
11 10    1 8 3    4 9 7    5 12 10
VCC 1 V  V 2 V
1        7 13
    
```

図2. 回路図とそのネットリスト(回路図のデータはネットリストとして与えられる)。

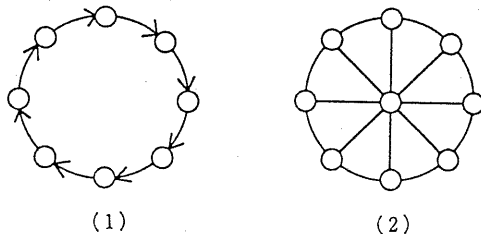


図3. 多端子部品のグラフ表現。(1)有向サイクル；(2)車輪グラフ。

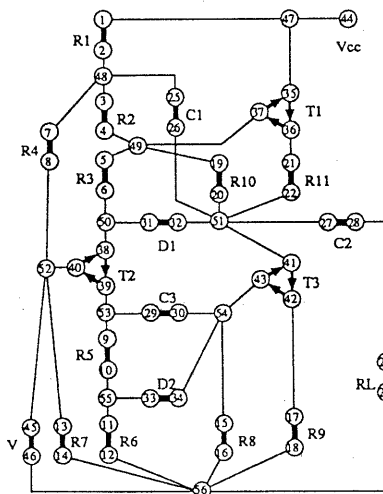


図4. グラフモデル。なお、有向サイクルは天地反転配置が禁止されている部品を表す。これらは常に右回りに配置される。

の際に除去された枝の接続を行う中間層配線からなる。このように回路分割はシステムの第一段階となっており、ここでの分割が最終レイアウトに大きく影響する。層内設計は、分割された部分回路（ネットリスト（図2））を有向グラフモデル化し（図4）、そのグラフからPQR-木[PR9]を利用して全域平面グラフを抽出する[PR1-PR3]。（なお、PQR-木は[PR6]のPQ-木の拡張である。PQ-木を利用した平面埋込み、平面グラフ抽出についてはそれぞれ[PR7]、[PR8]を参照。）この際に除去される枝は中間層で配線される。グラフモデル化に際しては、部品頂点モデルを用いる従来のVLSI設計手法とは異なり、有効サイクルモデルを用いることが大きな特徴である。（閉路の向きを利用して部品の天地反転配置の禁止を扱うことができる。）得られた平面グラフに新しく点あるいは辺を適当に付加して矩形双対グラフを持つ平面グラフに変形した後で、それを基に矩形双対グラフを構成する。部品の縦横サイズ、及び確保すべき配線領域のサイズを各矩形サイズの下限值として線形計画法(LP)を用いて全体の矩形の縦横長和が最小になるような各矩形サイズを求め、得られた部品矩形内に部品を配置する。これにより部品の概略配線が得られる。その後、詳細配線を行い、層内設計は終了する。中間層配線は分割の際にカットされたネット、平面グラフ抽出の際に除去された枝の配線を行なう。基本的にはすべて2端子接続要求として処理できる。この特徴を利用して当研究室では高性能の並列ルータ設計TREDを開発しており（詳細は[PR5,PR10,PR11]等参照）、本研究でもこれを利用する。

4. 回路分割

ここではグラフモデルとして部品頂点モデルを用いることに注意されたい。

4. 1. 回路分割の際に要求されること

回路の2分割において要求されることはまず、(1)分割された各グラフモデルをレイアウト設計した際に双方の基板面積ができるだけ等しくなることである。これは最終的な多層基板のサイズの増加を防止することにつながる。また、(2)カットされるネット数（以下カット数と呼ぶこととする）をできるだけ少なくすることである。カット数が大きいと、ビア数の増加による基板品質の低下をもたらす、また中間層の層数が増え生産コストが高

くなるからである。現在、回路分割には文献[CP1]～[CP5]等があり、(2)についてはこれらの手法によってある程度考慮がなされている。一方(1)については従来から行われている部品面積和を分割指標（以下、コストと呼ぶこととする）としたのでは、アナログ回路用プリント基板設計での望ましい回路分割を与えるとは考え難い。その理由としては、アナログ回路に対するプリント基板レイアウトでは、

- (a)部品の形状あるいはピンの位置が固定であるため、その配置次第では基板面積が大きく異なること、
- (b)配線領域面積の考慮も不可欠であること、
- (c)特に多端子ネットの配線に対してプリント

基板上では広い領域が必要となること、などが挙げられる。新しい分割法考案のための基礎研究として、既存分割法が種々のコストのもとでいかなる性能を持つかを実験的に確認することは意義のあることと思われる。

4. 2. 分割指標（コスト）

上記(a),(b),(c)に対するコストとして、以下の(i)～(iii)のコストを考えている。これらは各部品頂点の重みとして割り当てられる。それぞれのコストの効果を調べるため、ここでは既存の分割手法であるFM法[CP1]、WHB法[CP2]についてそれぞれ実験的に評価する。

- (i) 部品面積総和をコストとし、これを等しくする（従来法）；
- (ii) 部品面積として、端子数に配線幅を掛けたものを、部品の縦横の長さのそれぞれに加えて、その縦横長より求まる面積をコストと考え、これを等しくする；
- (iii) コストを、(ii)で求まるコストにさらに配線領域が占める面積を加えたものとし、これを等しくする。
（ここで配線領域面積は、その配線に接続している端子数に、ある定数値を掛けた値とする。この定数値としては、これまでの実験データにより求めた配線矩形面積の平均値を与えている）。

4. 3. 分割指標に関する実験結果と考察

実験にはNEC EWS-4800/30を使用した。入力データは、ランダムデータ（表1）とアナログ実回路データ（表2）の各々に対してFM法、WHB法により回路分割を行ない、各部分回路それぞれについてMULTI-PRIDEを

用いて層内設計することにより、実験評価を行った。1つのデータにつき20枚の基板を作成し、基板面積の小さいものを最終結果として選んだ。表3、表4に実験結果を示す。

コスト(ii),(iii)の方が(i)と比較して、最終基板面積の小さい場合が多く、この実験結果からは、コスト(ii),(iii)が、多層基板設計にはより効果的であると考えられる。例えば、表4のData3ではコスト(ii),(iii)ともに上,下層の基板面積比が1に近く、従って上,下層の基板のサイズ合わ

せ時のサイズ増加が少なく、比較的面積の小さい基板が求められている。但し、基板の面積比が1に近い値でも基板面積が大きい場合がある。これは上,下層の基板の形状が異なったため、上,下層の基板サイズ合わせにおいて基板面積が増大してしまったものと考えられる。このことから、上,下層の基板サイズの互いの形状差あるいは目標形状からのずれ等の大きさを抑えることの必要性も明らかとなる。

表1. 実験に用いたランダムデータ。(例えばデータ2はネット数50, 2端子部品数22, 3端子部品数23, 10端子部品数5, 全ての部品の端子数の合計が163となる。)

	ネット	2端子部品	3端子部品	10端子部品	端子数合計
Data1	50	25	25		125
Data2	50	22	23	5	163
Data3	50	20	20	10	200
Data4	60	15	15	20	275

表2. 実験に用いた実回路データ。Nets, Parts, Terminalはそれぞれネット数, 部品数, 部品の端子数の合計である。

	#Nets	#Parts	#Terminals
Real1	22	31	67
Real2	30	42	95
Real3	15	28	58
Real4	18	24	87

表3. FM法を分割法として用いた場合の各指標についての実験結果。Cut_nets, Via, Size_ratio, Size, CPU_timeはそれぞれ分割時にカットされたネット数, ピア数, 層内設計した際の上層の基板面積を1とした場合の下層の基板面積比, 基板のサイズ合わせ後の最終基板サイズ, 分割にかかる計算時間である。

	FM														
	指標(i)					指標(ii)					指標(iii)				
	Cut_nets	Via	Size_ratio	Size(mm2)	CPU_time(s)	Cut_nets	Via	Size_ratio	Size(mm2)	CPU_time(s)	Cut_nets	Via	Size_ratio	Size(mm2)	CPU_time(s)
Data1	11	44	0.83	86012	0.250	12	44	0.88	45796	0.133	15	42	1.23	52235	0.083
Data2	17	100	0.66	100050	0.250	21	92	0.70	76349	0.150	32	104	1.34	82472	0.100
Data3	24	130	0.63	132510	0.217	27	132	1.32	83215	0.167	29	142	1.29	105736	0.113
Data4	48	194	0.81	118611	0.233	34	172	0.40	186837	0.150	44	170	0.54	180768	0.135
Real1	7	14	1.28	16269	0.066	7	14	0.90	14946	0.050	9	18	1.12	12136	0.072
Real2	10	26	0.86	24495	0.083	8	28	1.21	26280	0.083	14	32	0.73	30031	0.120
Real3	7	14	1.32	16482	0.050	5	10	1.09	14595	0.050	6	12	1.20	15402	0.099
Real4	6	16	1.18	16968	0.033	7	16	0.92	19764	0.033	8	28	1.14	16056	0.050

表4. WHB法を分割法として用いた場合の各指標についての実験結果。(記号等は表3と同じである。)

	WHB														
	指標(i)					指標(ii)					指標(iii)				
	Cut_nets	Via	Size_ratio	Size(mm2)	CPU_time(s)	Cut_nets	Via	Size_ratio	Size(mm2)	CPU_time(s)	Cut_nets	Via	Size_ratio	Size(mm2)	CPU_time(s)
Data1	9	38	0.98	26026	0.049	9	38	0.98	26169	0.033	9	38	0.56	46200	0.049
Data2	19	88	0.57	73248	0.667	23	90	1.24	53380	0.083	25	100	1.41	59090	0.067
Data3	28	140	2.13	159588	0.066	34	164	0.90	124925	0.083	36	164	1.06	76475	0.083
Data4	43	186	2.38	179046	0.133	39	174	2.30	236113	0.116	42	176	0.98	151548	0.117
Real1	6	12	0.83	16536	0.033	13	26	0.75	17340	0.017	13	26	1.07	13286	0.017
Real2	16	36	0.72	29468	0.017	16	36	1.30	28175	0.033	11	24	1.13	24837	0.019
Real3	9	18	1.29	16492	0.011	10	20	0.85	13328	0.012	9	18	0.82	13068	0.020
Real4	11	24	1.25	22725	0.016	12	26	1.12	18860	0.033	12	26	1.20	19440	0.030

5. ジャンパー枝最小化分割

回路の2分割法として、ジャンパー枝数の最小化を考慮した手法を提案する。即ち、分割された各部分回路をMULTI-PRIDEで層内設計したときに生ずるジャンパー枝数が出来るだけ少なくなるような、回路の2分割法を示す。

5. 1. ジャンパー枝とカットネットの処理

層間配線においてジャンパー枝やカットされたネットの接続要求に対する配線処理が行なわれる。この際に行なわれるビアの導入との関係を述べておく。与えられた回路が回路A、回路Bの二つの部分回路に分割されているとし、回路Aは上層において、回路Bは下層においてそれぞれ層内設計が行なわれるものとする。

(I) ジャンパー枝：図5(1)に示す回路Aのジャンパー枝(a,b)は同図(2)に示すように二つのビア v_a, v_b を導入することにより中間層で配線される。(なお、この図では上層に部品頂点a,bを描いているが、これはあくまで簡単のためで実際には対応する部品の実端子中に接続されるべきものがある。)但し、これらのビアは下層まで到達するビア(貫通型ビアと呼ぶことにする)である必要はなく、中間層まで達するビア(半貫通型ビアと呼ぶ)であればよい。

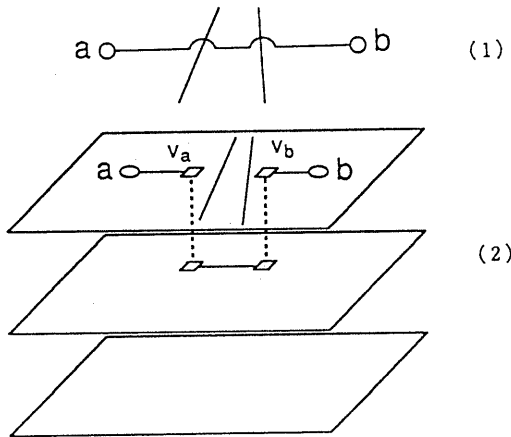


図5. ジャンパー枝の処理。(1) グラフモデル上のジャンパー枝(a, b)；(2) 層間配線の概略図。

(II) カットされたネット：図6(1)に示す6端子ネットにおいて、端子a,b,c,dが回路Aに、端子e,fが回路Bに含まれるものとする。一般的に言えば、上層からある中間層までの半貫通型ビア v_A 、その中間層から下層までの半

貫通型ビア v_B を導入して図6(2)に示す層間配線が行なわれる。同図では区別のため中間層のビアを u_A, u_B と表している。このことは図6(3)に示すように、各部分回路内で2つの部分ネットを各々ハイパー枝表現したことに対応する。ここで v_A と v_B を同一ビア(即ち、一つの貫通型ビア)として実現できれば(ビアが貫通型となるが)導入されるビアは1個である。この実現可能性は高いものと考えられるが、これは上,下層の基板サイズの合わせ方や各層内設計に依存する。従って、現在のところ、必ず実現できる保証がある訳ではないが、その可能性は高いという意味において、カット数の減少化よりもジャンパー枝数を減少させることを優先して考えることにしている。これについて次にもう少し詳しく説明する。

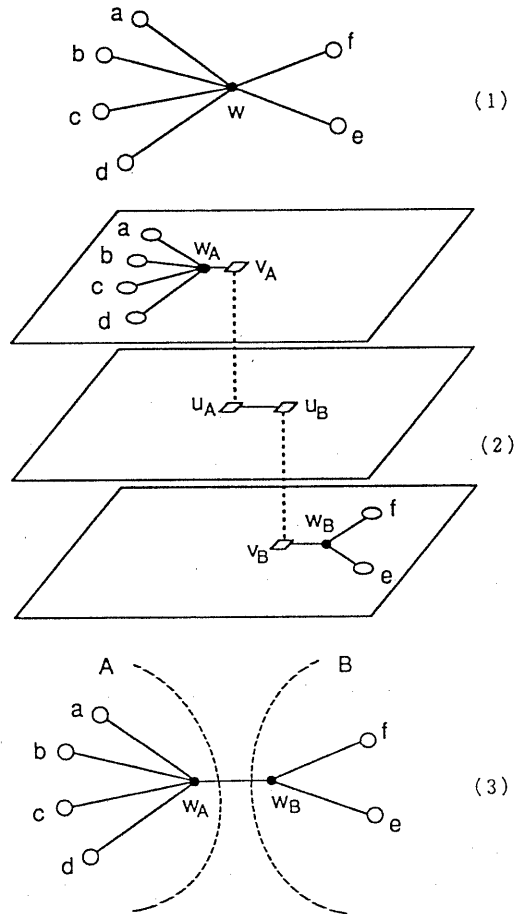


図6. カットされたネットの処理。(1) 6端子ネット；(2) 層間配線の概略図；(3) 各部分回路内でのハイパー枝表現。

(II) ジャンパー枝数を減らすこと：いま図6(1)の枝(d,w) (従って、同図(2)の枝(d,W_A))がジャンパー枝であると仮定してみる。このとき(d,W_A)を図7に示すように下層に移して枝(d,W_B)とする。もし(d,W_B)が回路Bにおけるジャンパー枝でなければ図6(2)の場合に(d,W_A)が必要とする2個の半貫通型ビアは不要となる。(もし(d,W_B)が回路Bでのジャンパー枝ならばこの移層は行なわないものとする。)次に、図6(1)の6端子ネットの全端子が回路Aに含まれており、且つ枝(d,W_A)がジャンパー枝である場合を考えてみる。同図(2)と同様に、高々2個のビアV_A,V_Bを導入して枝(d,W_A)を下層に移して枝(d,W_B)としたとする。このとき、ジャンパー枝用の2個のビアは不要となるが、新しくカットされたネットの接続用に半貫通型ビアが高々2個(あるいは貫通型ビアが1個)必要となる。以上のことから、適当なジャンパー枝を選んでそれを移層することによりビア数を減少できる可能性があることが明らかとなる。なお、もしdが回路Aに全端子が含まれるような別のネット(ネット頂点をX_Aとする)にも属しているとする、ジャンパー枝(d,W_A)を枝(d,W_B)と変更したことは、このネットの分割を引き起こし、dとX_Aの接続は新しい高々2個のビアの導入を必要とする。従って、ジャンパー線数とカット数の線形和を分割指標と考えることにする。

以上の考えに基づきジャンパー枝数最小化を考慮した、回路2分割法(UW法と呼ぶことにする)を提案する。

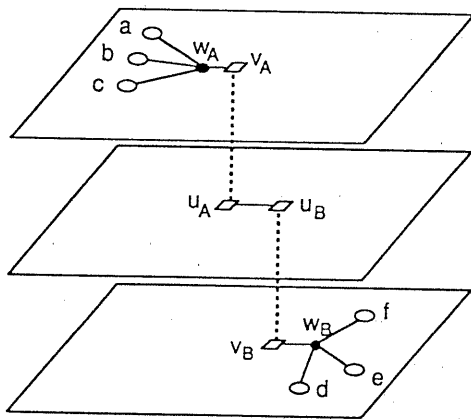


図7. ジャンパー枝の移層.

5. 2. ジャンパー枝数の最小化を考慮した回路分割

回路の初期分割を得る際に、できるだけコスト総和の等しい分割を得るために、以下のバランス制約

$$\frac{1}{2}(|A| + |B|) - \max c \leq |A| \leq \frac{1}{2}(|A| + |B|) + \max c$$

を考える。ここで $|A|$ 、 $|B|$ は回路A,Bのコスト総和、 $\max c$ は1頂点の最大コストである。このバランス制約を維持しながら頂点集合の分割を行なって所望の2分割を求める。頂点移動についてはFM法あるいはWHB法等で用いられている、その頂点を移動させる場合のカット数減少値(ゲインと呼ぶ)に注目し、できるだけゲインの大きい頂点バランス制約を満たす頂点集合へ入れることを反復する。(ゲインの算出手法については[CP1]を参照。)一度移動した頂点はロックして移動できないものとする。まだ移動していない(ロックされていない)頂点はフリーな頂点と呼ぶことにする。また、頂点vについて、ビア数減少期待値

$$\epsilon(v) = 2(j(v) - k(v)) + \alpha g(v) \quad (\alpha = 1 \sim 2)$$

を考える。ここで $j(v)$ はvに接続するジャンパー枝数、 $k(v)$ はvを移動させた移動先の部分回路のジャンパー枝の増加数、 $g(v)$ はゲインである。この値はvの移動によるビア数の減少する値を示す目安となる。最初の係数2はジャンパー枝数が1減ればビアが2減少すること、定数 α はカット数が1減ればビアが最低でも1、最高2減ることを意味している。

以上をアルゴリズムとしてまとめておく。

UW法のアルゴリズム

- Step1.与えられたネットリストより部品頂点モデル化を行ない、バランス制約を満たし、且つカット数の少ない分割を初期分割として求める。全ての部品頂点をフリーとする。
- Step2.フリーな頂点がないなら終了。
- Step3.各回路について有向サイクルモデル化を行ない、平面グラフとジャンパー線を抽出する。
- Step4.再び各部分回路の部品頂点モデル化を行ない、部品頂点iに接続するジャンパー枝の数を $j(i)$ とする。(i=1, ..., n; nは部品頂点数)
- Step5.全てのフリーである部品頂点iに対して、ゲイン $g(i)$ を文献[CP1]の計算法に従って算出する。
- Step6.移動によってバランスを崩さないフリーな頂点vで $2j(v) + \alpha g(v) > 0$ であるものが存在すれば、Step7

へ、なければ終了。

Step7.2) $(v)+ag(v) > 0$ である全ての頂点 v について、 v を仮に移動してやり移動先の部分回路について平面グラフとジャンパー枝を抽出し、その部分回路でのジャンパー枝の増加数を $k(v)$ とする。

Step8. ピア減少期待値 $e(v) = (2(j(v)-k(v))+ag(v))$ が正である頂点があれば、 $e(v)$ が最大のものを1つ選び、それを実際に移動してやりロックする。なければ終了。

Step9. Step2へ戻る。

5. 3. 実験結果

現在プログラムの最終デバッグ中であり、発表時に実験結果を提示する。なお、表5に予備実験の結果を示しておく。実験方法としてはMULTI-PRIDEに組み込むことにより3.2 (iii)のコストを分割指標としてFM法とWHB法により回路の2分割を行ない、各々に関してカット数、ジャンパー枝数、ビア数、基板面積等を比較して、提案手法の有効性を示す予定である。

表5. UW法を用いて分割を行なった予備実験結果。(記号等は表3と同じである。)

	UW			
	Cut_nets	Via	Size_ratio	Size(mm2)
Real4(FM)	6	22	0.79	18550
Real4(WHB)	10	20	1.03	20705

6. あとがき

現在のところ分割法としてはFM法、WHB法のみに着目して実験評価を行っているが、他の分割法についても実験評価を行う必要がある。また、現在簡単のため部品を表面実装部品のみに限定して分割指標の考察を行っているが、他層の設計にも影響を与える貫通型部品も考慮に入れた分割指標を考える必要があるものと思われる。更に回路の大規模化に伴い、(iii)のコストにおける配線用領域の見直しが必要となることも予想される。

本稿で提案したジャンパー枝数の最小化を考慮した分割法の有効性を示すことは、結局は、いくつかの部品のそれぞれの端子のうち何個かが基板上での配置位置が指定されているような配置、配線問題の性能の良い効率的な解法を与えることに帰着される。この方向での研究も今後の課題とする。

[参考文献]

(MULTI-PRIDEに関して)

- [PR1]Iwamoto, K., Araki, T., Watanabe, T., Yasui, T. and Onaga, K.: "Designing printed wiring boards by graph-planarization and rectangular-dualization", Proc. 4th Karuizawa Workshop on Circuits and Systems, IEICE of Japan, pp. 81-86(1991-04).
- [PR2]Iwamoto, K., Watanabe, T., Araki, T. and Onaga, K.: "Finding jumpers in printed wiring board design for analog circuits", Proc. 1991 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 2854-2857(1991).
- [PR3]Iwamoto, K., Watanabe, T., Yasui, T. and Onaga, K.: "PRIDE: A printed wiring board designing system for analog circuits by graph-planarization and rectangular-dualization", SIG NOTES, IPS of Japan, 91-DA-58-4, pp. 1-8(1991-07).
- [PR4]安井, 遠山, 渡辺, 翁長: "アナログ回路用多層プリント基板設計支援システムMULTI-PRIDE", 情報処理学会DAシンポジウム92論文集, pp.137-140(1992-8).
- [PR5]合田, 遠山, 渡辺: "トランシユータを用いた詳細配線用並列ルータTRED", 平成5年度電気情報関連学会中国支部第44回連合大会講演論文集, pp.372-373(1993-10).
- [PR6]Booth, K. S. and Lueker, G. S.: "Testing for the consecutive ones property, interval graphs, and graph planarity using PQ-tree algorithms", J. Comput. & Syst. Sci., 13(1976), pp.335-379.
- [PR7]千葉, 西関, 阿部, 小澤: "PQ-木を用いた平面グラフ埋込みアルゴリズムについて", 信学論 Vol. J67-A (1984), No.2, pp.87-94.
- [PR8]Ozawa, T. and Takahashi, T.: "A graph-planarization algorithm and its application to random graphs", in "Graph Theory and Algorithms" (Lecture Notes in Computer Science, Vol.108), Springer-Verlag (1981), pp.95-107.
- [PR9]増田, 柏原, 藤澤: "部品の反転を許さない一層平面配線問題について", 信学論 Vol. J66-A, NO.3 (1983), pp.235-242.
- [PR10]Goda, M., Toyama, N. and Watanabe, T.: "A Parallel Detailed Router TRED", 6th Occam/Transputer International Conference (1994-06), submitted.
- [PR11]遠山, 合田, 渡辺: "アナログ回路用多層プリント基板の分離型設計", 情報処理学会設計自動化研究会発表予定(1994-02). (回路分割に関して)
- [CP1]Fiduccia, C. M. and Matheyses, R. M.: "A Linear-Time Heuristic for Improving Network Partitions", Proc. 19th DAC(1982), pp.175-181.
- [CP2]Y. Kamidoi., S. Wakabayashi., J. Miyao, and N. Yoshida.: "A Fast Heuristic Algorithm for Hypergraph Bisection", Proc. 1991 IEEE ISCAS, pp.1160-1163 (1991).
- [CP3]Yen-Chuen Wei, and Chung-Kuan Cheng: "Ratio Cut Partitioning for Hierarchical Designs", IEEE Trans. on Computer Aided Design, Vol.10 (1991), pp.911-921.
- [CP4]Ching-Wei Yeh and Chung-Kuan Cheng: "A General Purpose Multiple Way Partitioning algorithm", Proc. 28th DAC (1991), pp.421-426.
- [CP5]A.B.Kahng: "Fast hypergraph partition", Proc. 26th DAC(1989), pp.762-766.
- [CP6]畝, 安井, 渡辺, 翁長: "アナログ回路用多層基板設計における回路分割指標の実験評価", 平成4年度電気情報関連学会中国支部第43回連合大会講演論文集, pp.385-386(1992-10).