

CMOS論理回路の信号値遷移確率の評価法について

上田祐彰, 樹下行三
大阪大学工学部応用物理学科
〒565 吹田市山田丘2-1

あらまし 本論文は, CMOS論理回路に対する平均消費電力を評価する一手法として, 信号値遷移確率の評価法について考察したものである. 本稿では, 外部入力に与えられている信号値遷移確率を用いて内部信号線の信号値遷移確率を計算することによりパワーファクタを見積もる手法について述べ, 計算精度, 評価時間についてランダムパターンシミュレーションによる結果と比較し, 考察している. また, 組合せ回路を対象とした信号値遷移確率評価法を順序回路に対して拡張し, 順序回路に対する適用限界を示すパラメータについて考察している. 最後に, 低消費電力な回路設計への応用としてトランスダクション法との融合を考え, 低消費電力となる回路生成について述べている.

和文キーワード CMOS 回路, 信号値遷移確率, パワーファクタ, 消費電力, トランスダクション法

Evaluation of the Transition Probability for CMOS Circuits

Hiroaki Ueda and Kozo Kinoshita
Dept. of Applied Physics, Faculty of Engineering, Osaka University
2-1 Yamadaoka, Suita, Osaka 565 Japan

Abstract

In this paper, we consider a method for estimating average power dissipation of CMOS circuits by using the signal transition probability. First a transition probability propagation method is proposed by modifying the Najm's method. Then our method, which calculates power dissipation measure with shorter computation time comparing with random pattern simulation, is extended to evaluate that of sequential circuits by introducing the flip-flop transition probability. Finally, as an application of this method, it is considered to design CMOS circuits with reduced power dissipation by combining with the transduction method.

英文 key words CMOS circuit, transition probability, power dissipation measure, transduction method

1. まえがき

集積回路の高速化，高集積化に伴い，ICチップ内で消費される単位面積当たりの電力量，電源網上を流れる電流密度が増加してきている．このため，チップのパッケージングコストを低減，携帯用アプリケーションのバッテリーの負荷を低減するため，低消費電力な回路設計技術の開発が望まれている．低消費電力回路を設計するには，集積回路内で消費される電力や，回路内を流れる電流を正確に評価することが重要となるため，様々な平均的消費電力な評価手法が提案されており⁽¹⁾⁻⁽⁵⁾，低消費電力な回路設計へ応用されてきている⁽⁶⁾⁻⁽⁹⁾．本論文では，CMOS論理回路における平均消費電力を評価する方法として用いられている，信号値遷移確率の評価手法について考察し，消費電力を考慮した多段論理最適化手法への応用について論じたものである．

回路内で消費される電力を正確に評価するには，SPICEなどを用いた回路シミュレーションを行う必要があるが，大規模回路については莫大な計算時間が必要となる．完全相補形CMOSで構成される論理回路では，ゲート出力が変化する際に V_{dd} からGND間を流れる貫通電流およびゲートの負荷容量に対する充放電電流などによる動的な消費電力が，論理回路内で消費される電力の大半を占める．このため，論理回路内で消費される平均的な電力は平均的なゲートの動作回数すなわち信号値遷移確率を利用して見積もることができる．信号値遷移確率の評価手法には，ランダムパターンシミュレーションによる手法⁽⁶⁾，信号値遷移確率を利用した手法⁽¹⁾⁻⁽³⁾等が知られている．本論文では，信号値遷移確率を利用した手法について述べ，評価時間と計算精度についてランダムパターンシミュレーションによる結果と比較し考察する．また，順序回路への拡張を考え，その適用限界について考察する．

信号値遷移確率を低消費電力な回路設計へ応用した例も報告されてきている．その代表例として，テクノロジマッピング⁽⁶⁾⁽⁹⁾，多段論理最適化⁽⁷⁾，論理合成⁽⁴⁾を行う際，“ゲート出力の信号値遷移確率とゲートの負荷容量との積の総和を小さくする”という評価関数を組み込むことによって，低消費電力な回路を生成する手法が挙げられる．順序回路に対しては，状態遷移図を用いてフリップフロ

プの出力値が遷移する確率が最小となる状態割当を行うことにより，低消費電力回路を生成する試みもなされている⁽⁸⁾．本論文では，多段論理最適化手法の一つであるトランスダクション法への応用について考察し，消費電力を考慮した多段論理最適化手法について考察する．

本論文は次のように構成されている．次の第2章では，消費電力の評価式について考察する．第3章では，組合せ回路に対する信号値遷移確率の評価手法について述べる．第4章では，順序回路にに対する信号値遷移確率の評価手法について述べる．第5章では，信号値遷移確率を目的関数として低消費電力な回路を生成する多段論理最適化手法について述べる．最後に，第6章で本論文のまとめを行う．

2. 消費電力の評価式

CMOSゲートでは，ゲートの出力値が0から1または1から0に遷移する際に生じる貫通電流，ゲートの負荷容量に対する充放電電流などによって電力が消費される．論理回路が定常状態にあるときにも，静的電流によって電力消費が生ずるが，スイッチ動作により生ずる動的な電力消費に比べると十分に小さいため，それらは無視できる．従って，CMOSゲート g に対する平均的な消費電力は次式で近似できる．

$$P_g = 0.5 \cdot f \cdot V_{dd}^2 \cdot C_g \cdot T_g \quad (1)$$

ここで f は動作周波数， V_{dd} は電源電圧， C_g はゲート g の負荷容量である． T_g はゲートの出力値が遷移する確率（信号値遷移確率）で，次式で定義される．

$$T_g = \lim_{k \rightarrow \infty} \frac{n_g(k)}{k} \quad (2)$$

$n_g(k)$ は回路を起動させてから外部入力を k 回印加するまでの間にゲート g の出力値が0から1または1から0に遷移した回数である．回路の動作条件が一定であるとし， f ， V_{dd} は一定と仮定すると，式(1)より回路全体での平均消費電力 P_{all} は式(3)で近似できる．

$$P_{all} = 0.5 \cdot f \cdot V_{dd}^2 \cdot \sum (C_g \cdot T_g) \quad (3)$$

さらに，ゲートの負荷容量はそのファンアウト数 N_g に比例すると仮定し，その比例定数を A とす

ると、式(3)は式(4)のように書き直せる。

$$P_{all} = 0.5 \cdot f \cdot V_{dd}^2 \cdot A \cdot \sum (N_g \cdot T_g) \quad (4)$$

式(4)より、CMOS論理回路の平均消費電力の評価問題は、ゲート出力の信号値遷移確率の評価問題として捉えることができる。従って以下では、信号値遷移確率の評価手法について考察する。また、本論文では $\sum (N_g \cdot T_g)$ をパワーファクタ PF と定義し、これを平均消費電力を見積もる尺度として用いる。

回路内部の信号線の信号値遷移確率を求めるには、外部入力信号の信号値遷移確率が既知である必要がある。本論文では、外部入力に対して以下のことを仮定して信号値遷移確率を評価している。

- 1) 外部入力は互いに独立である。
- 2) 各外部入力Mに対し、 $T_M^{0 \rightarrow 0}$; $T_M^{0 \rightarrow 1}$; $T_M^{1 \rightarrow 0}$; $T_M^{1 \rightarrow 1}$ は与えられている。

ここで $T_M^{k \rightarrow m}$ は、外部入力Mの値がkからmへ遷移する確率を表している。以下では、任意の信号線Xの値がkからmへ遷移する確率を $T_X^{k \rightarrow m}$ 、Xの値が1になる確率(信号値確率)を S_X と表記する。信号線Xの信号値遷移確率 T_X 、信号値確率 S_X は以上の表記法を用いると次のようになる。

$$T_X = T_M^{0 \rightarrow 1} + T_M^{1 \rightarrow 0} \quad (5)$$

$$S_X = T_M^{1 \rightarrow 0} + T_M^{1 \rightarrow 1} \quad (6)$$

3. 組合せ回路の信号値遷移確率の評価

3.1. アルゴリズム

信号値遷移確率の評価手法の多くは Najm の提案した信号値遷移確率評価法⁽¹⁾に基づいている。Najm は外部入力に与えられている信号値遷移確率を外部出力に向かって計算することにより、内部信号線の信号値遷移確率を評価している。彼は入力 X_1, \dots, X_n を持つゲート出力Yの信号値遷移確率 T_Y をゲート入力の信号値遷移確率を用いて式(7)により計算している。

$$T_Y = \sum (P(\frac{\partial Y}{\partial X_i} = 1) \cdot T_{X_i}) \quad (7)$$

ここで、 $P(\frac{\partial Y}{\partial X_i} = 1)$ はYで実現されている関数を X_i に関してブール微分してできる関数の値が1になる確率である。Najm の手法は信号値遷移確率を求める先駆的な手法であるが、式(7)

は正しくないことが Ghosh⁽²⁾らによって指摘されている。本論文ではゲートの種類毎に異なった式を定義し、これを用いて信号値遷移確率を評価している。例えば、入力 X_1, \dots, X_n を持つANDの出力Yに対する $T_Y^{0 \rightarrow 1}$ を評価するには、式(8)を用いて計算する。

$$T_Y^{0 \rightarrow 1} = \sum_{i=1}^n ((\prod_{j=1}^{i-1} T_{X_j}^{1 \rightarrow 1}) \cdot T_{X_i}^{0 \rightarrow 1} \cdot (\prod_{k=i+1}^n S_{X_k})) \quad (8)$$

Najmの手法では、分岐、再収斂によって生じる内部信号線間の相関関係を考慮するため、BDD⁽¹¹⁾を用いて信号値遷移確率を計算している。しかし、本手法では計算の容易性、大規模回路への適応を考え、ゲートの入力線は互いに独立であると仮定して信号値遷移確率の計算を行なっている。

3.2. 実験結果

表1にISCAS'85⁽¹²⁾の組合せ回路に対する実験結果をまとめる。外部入力の信号値遷移確率は0から1の間でランダムに与えている。表中のPFはパワーファクタを表しており、ratioは提案手法によって計算されたパワーファクタとランダムパターンシミュレーションによって計算されたパワーファクタの比である。Najmの手法では、式(7)のみを用いて信号値遷移確率を計算している。ランダムパターンシミュレーションでは、外部入力に与えられた信号値遷移確率を用いて生成した1000個のランダムベクトルを印加して得られた結果である。

表1. 実験結果

circuit	Proposed Method			Najm's Method	Random Pattern Simulation	
	PF	ratio	CPU		PF	CPU
c880	173.5	0.97	0.01	291.0	178.0	1.9
c1355	264.0	0.97	0.01	736.9	271.2	2.2
c1908	514.8	0.94	0.01	885.6	546.6	2.8
c2670	860.6	1.04	0.01	1635.2	828.3	6.8
c3540	1009.4	1.02	0.01	2709.8	995.7	4.9
c5315	1711.8	0.97	0.01	2801.7	1753.8	9.6
c6288	1838.8	1.12	0.03	348287.4	1647.1	9.0
c7552	2284.1	0.91	0.08	3691.4	2517.0	12.6

ratio=Proposed/Random

提案手法はシミュレーションを行う場合に比べ数百倍高速に信号値遷移確率を評価している。シミュレーションの結果に対して生じている誤差

は、ゲート入力が独立であるという仮定を行ったために生じた誤差であり、段数の多い回路で誤差が大きくなっている。しかし、その誤差は数%程度になっており、低消費電力な回路設計に利用できうと考えられる。Najm の手法では式(7)によって生じる誤差のため、シミュレーションの結果との誤差が大きくなっている。

4. 順序回路の信号値遷移確率の評価

4. 1. アルゴリズム

順序回路における組合せ回路部分の信号値遷移確率を計算するためには、フリップフロップの信号値遷移確率を知ることが必要であるが、状態遷移図を作ることが困難な大規模な順序回路ではフリップフロップに対する信号値遷移確率を前もって知ることが困難である。本論文で提案する順序回路に対する信号値遷移確率の評価手法は、各フリップフロップに初期信号値遷移確率を与え、これを用いて内部信号線の信号値遷移確率を計算する。このとき、フリップフロップの入力となっている信号線の信号値遷移確率も計算し、この値を新しいフリップフロップの信号値遷移確率として更新した後、これを用いて再び内部信号線の信号値遷移確率を計算する(図1)。これらの処理を、一定回数繰り返すことによって定常状態における信号値遷移確率を評価する。このとき、新たに計算されたフリップフロップの信号値遷移確率が前回使用したフリップフロップの信号値遷移確

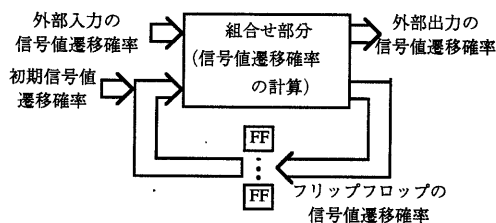


図1. 順序回路における信号値遷移確率の評価法

率とすべて等しくなれば処理は終了する。

実際の順序回路では、フリップフロップの値が変化した後で外部入力が印加される。従って、フリップフロップの値の変化のみによって生じる信号値の遷移と、続いて起こる外部入力の値の変化によって生じる信号値の遷移を別々に評価する方がより正確かもしれない。ランダムパターンシ

ミュレーションによる実験では、フリップフロップの値の変化と外部入力の印加が同時と仮定した場合と、フリップフロップの値の変化が変化した後で外部入力が印加されるとした場合とでは、後者の方が1割程度パワーファクタが大きいことが示されている。本論文では、フリップフロップの値の変化と外部入力が印加されるのは同時であるとして実験を行っているが、フリップフロップの値が変化してから外部入力が印加されるとした場合への拡張は容易である。

4. 2. 実験結果

前節で述べた手法を ISCAS'89⁽¹³⁾ の順序回路に対して実験を行った。順序回路では初期状態によって、評価される信号値遷移確率が異なる可能性があるが、表2は信号値遷移確率の初期状態に対する影響が少ない回路に対する実験結果をまとめたものである。フリップフロップの初期値は全て0と仮定し、フリップフロップの初期信号値遷移確率には $T_M^{0 \rightarrow 0} = 1$ を与え、繰り返し回数の上限を1000とした。表中のPFはパワーファクタ、FFはフリップフロップの信号値遷移確率の総和である。ランダムパターンシミュレーションでは10万個のベクトルを印加している。シミュレーションの結果に対する誤差が1割程度となっている回路も多数存在するが、s386のように、かなり誤差の大きな回路も存在する。

表2. 実験結果

circuit	Proposed Method					Random Pattern Simulation		
	PF	ratio	FF	# roop	CPU	PF	FF	CPU
s208	9.40	1.36	0.16	18	0.03	6.93	0.21	41.0
s298	52.31	0.65	4.16	49	0.08	80.22	2.97	47.7
s349	86.81	1.13	5.56	40	0.10	77.06	3.89	73.1
s382	13.81	0.94	0.37	19	0.05	14.69	0.42	31.1
s386	41.27	0.33	0.45	29	0.08	125.9	1.07	61.7
s420	20.20	1.33	0.15	18	0.26	15.15	0.22	74.9
s444	49.02	0.84	3.03	94	0.26	58.41	2.94	56.5
s510	109.0	2.06	2.74	64	0.20	52.83	0.76	87.2
s526	58.69	0.48	2.76	46	0.15	122.2	2.94	68.3
s713	158.4	1.34	3.37	113	0.41	188.1	1.90	158.4
s832	105.1	0.49	0.85	45	0.26	213.7	0.61	132.1
s838	37.79	1.41	0.16	18	0.08	26.74	0.22	138.7
s953	142.2	0.78	5.20	265	1.63	181.3	2.82	134.9
s1238	217.3	0.16	4.09	4	0.03	1536	4.36	213.8
s1423	118.0	1.04	4.66	1000	9.31	113.1	5.80	156.7
s1494	372.1	0.77	1.37	18	0.18	486.4	1.09	207.1
s5378	603.6	0.96	24.1	1000	29.6	627.5	28.0	589.4
s35932	7777	1.05	186	33	7.63	7414	303	5470
s38584	7881	1.15	429	1000	250	6846	358	5011

表3. 初期条件による影響

Initial State	circuit	Proposed Method		Random Pattern Simulation	
		PF	FF	PF	FF
ALL0	s9234	448.4 (1.68)	17.1 (3.44)	267.2	49.8
	s13207	852.9 (1.24)	53.1 (1.08)	689.8	49.2
	s15850	896.4 (1.01)	35.2 (0.90)	885.5	39.3
ALL1	s9234	446.9 (0.24)	17.1 (0.86)	1880	19.9
	s13207	927.4 (1.47)	56.9 (1.27)	629.1	44.8
	s15850	1505.2 (1.03)	72.8 (1.34)	1461	54.3
Random	s9234	447.9 (0.14)	17.1 (0.35)	3285	48.0
	s13207	865.4 (1.39)	53.3 (1.19)	623.0	44.8
	s15850	1081.2 (0.76)	41.2 (0.77)	1415	53.6

表3は、初期状態によってパワーファクタが大きく変わる回路に対する実験結果をまとめたものである。提案手法におけるPF, FFの括弧内の数字はシミュレーションの結果に対する比を表している。初期状態によってはシミュレーションに対する誤差が小さくなっている場合もあるが、総じてその誤差は非常に大きくなっている。

順序回路を対象とした実験結果では、組合せ回路と対象とした場合に比べ、シミュレーションによる手法との誤差が大きくなっている。その主な原因として分岐、再収斂によって生じる内部信号線間の相関関係、フリップフロップ間の相関関係が考慮されていないことが挙げられる。誤差の原因となっているパラメータについて簡単に考察する。

まず、内部信号線間の相関関係を示すパラメータとして、1本のファンアウトシステムから分岐しているファンアウトブランチの平均数を考える。s386, s832はこの値が約10本で、誤差の小さい回路の平均4本に比べ非常に大きくなっており、これが誤差を大きくした原因の一つと考えられる。次に、一つのフリップフロップの出力から外部出力へ向かって組合せ回路部分のみを通して到達可能なフリップフロップ数の平均について考える。この値が大きければフリップフロップ間の相関関係が大きいと推測される。s386, s510はこの値が回路内のフリップフロップ数と等しくなっており、フリップフロップ間の相関関係が誤差を生じさせた原因と考えられる。最後に、一つのフリップフロップの出力から外部出力向かって組合せ回路部分のみを通して到達可能なゲートの平均個数について考える。これは、フリップフロップの初期信号値遷移確率が影響を及ぼすゲートの平

均個数と考えることができる。s9234, s15850ではこの値が誤差の小さい回路の平均値に比べ2倍以上になっている。フリップフロップに正しくない初期信号値遷移確率が与えられると回路内の広い範囲にその影響が及ぶため、パワーファクタに大きな誤差を生じさせたと考えられる。

誤差の原因を反映するパラメータはこの他にも多数考えられるが、それらを統合して誤差の大きくなる回路を予測可能にすることは今後の課題の一つになっている。

5. パワーファクタを考慮した多段論理最適化

3章で述べた信号値確率を用いた低消費電力な組合せ回路の設計手法について論じる。本論文では、多段論理最適化手法の一つであるトランスダクション法について考察する。ゲートgにおける論理関数 F_g を他の論理関数 H_g に置き換えても回路内のどの出力関数も変化しないとき、 H_g をゲートgの許容関数、gに対する許容関数の集合をgの許容関数集合と呼ぶが、トランスダクション法は、許容関数集合を用いた回路の変形と冗長部分の除去を繰り返すことによって多段回路を単純化する手法である。トランスダクション法の単純化能力、計算時間は使用する許容関数集合によって左右されるが、本論文ではpseudo-MSPF⁽⁹⁾を許容関数集合として使用した。以下に提案するパワーファクタを考慮した多段論理最適化手法のアウトラインを示す。

- 1) 全ゲート出力に対する論理関数を求める。
- 2) 全信号線に対して許容関数集合を求める。
- 3) 信号値遷移確率とパワーファクタを求める。
- 4) 許容関数を用いて、回路の変形、冗長部分の除去を行う。パワーファクタを小さくする回路の変形がなければ終了する。
- 5) 信号値遷移確率、パワーファクタ、許容関数を再計算する。
- 6) 4へ戻る。

ステップ4における回路の変形では、許容関数を利用した冗長な信号線の付加と、新たに冗長になった信号線の除去を考える。本手法では、付加する冗長信号線の信号値遷移確率が、信号線の付加によって新たに冗長になった信号線の信号値遷移確率より小さい場合にのみ回路の変形を行っており、このような回路の変形が行えなくなったと

きに処理を終了している。

本手法をワークステーション上に実装し、4ビット加算器に対して実験を行った。単純化前の回路のパワーファクタは38.2であったが、パワーファクタを考慮した多段最適化を行った後のパワーファクタは34.4となり、約1割の消費電力が低減されていることが示された。

6. まとめ

完全相補形CMOSで構成される論理回路に対する信号値遷移確率の評価手法について考察を行った。順序回路では、ランダムシミュレーションに対する誤差が非常に大きい回路が存在するが、回路の構造から誤差の大きくなる回路がある程度、予測するパラメータについても考察した。

最後に、パワーファクタを考慮した多段論理最適化手法について考察した。信号値遷移確率をトランスダクション法の目的関数に組み込むことによって消費電力を考慮した論理設計が可能であることを示した。

本論文は、ゼロ遅延モデルについての考察を行ったが、遅延を考慮する場合は、ハザード等によって生じる消費電力は遅延を考慮しない場合の約数10%になることが報告されている。遅延を考慮した信号値遷移確率を用いて低消費電力な回路を設計する手法についてはあまり報告されていないため、遅延による影響も考慮した低消費電力回路の設計手法の開発などが今後の課題として挙げられる。

参考文献

- (1) F. Najm : "Transition Density, A Stochastic Measure of Activity in Digital Circuits", Proceedings of 28th Design Automation Conference, pp. 644-649 (1991).
- (2) A. Ghosh, Srinivas Devadas, K. Keutzer and J. White : "Estimation of Average Switching Activity in Combinational and Sequential Circuits", Proceedings of 29th Design Automation Conference, pp. 253-259 (1992).
- (3) C. Y. Tsui, M. Pedram, A. M. Despain : "Efficient

- Estimation of Dynamic Power Consumption under a Real Delay Model", Proceedings of ICCAD, pp. 224-228 (1993)
- (4) A. Shen, A. Ghosh, S. Devadas, K. Keutzer : "On Average Power Dissipation and Random Pattern Testability of CMOS Combinational Networks," Proceedings of ICCAD, pp. 402-407 (1992)
- (5) R. Burch, F. Najm, P. Yang, D. Hocevar : "Pattern-Independent Current Estimation for Reliability Analysis of CMOS Circuits", Proceedings of 25th Design Automation Conference, pp. 294-299 (1988)
- (6) F. Dresig, P. Lanches, O. Rettig, U. G. Baitinger : "Simulation and Reduction of CMOS Power Dissipation at Logic Level", Proceedings of EURO-DAC pp. 341-346 (1993)
- (7) S. C. Prasad and K. Roy : "Circuit Activity Driven Multilevel Logic Optimization for Low Power Reliable Operation", Proceedings of EDAC pp. 368-372 (1993)
- (8) K. Roy and S. C. Prasad : "SYCLOP : Synthesis of CMOS Logic for Low Power Applications", Proceedings of ICCD, pp. 464-467 (1992)
- (9) C. Y. Tsui, M. Pedram, A. M. Despain : "Technology Decomposition and Mapping Targeting Low Power Dissipation", Proceedings of 30th Design Automation Conference, pp. 68-73 (1993)
- (10) M. Higashida, J. Ishikawa, M. Hiramane, K. Nomura, H. Kumagai, Y. Kazuma, S. Murai : "Multi-level Logic Optimization Based on Pseudo Maximum Sets of Permissible Function", Proceedings of EDAC pp. 386-391 (1993)
- (11) R. E. Bryant : "Graph-based Algorithms for Boolean Function Manipulation", IEEE Trans. on Computer, Vol. C-35, No.8, pp. 677-691 (1986)
- (12) F. Brglez and H. Fujiwara : "A Neutral Netlist of 10 Combinational Benchmark Circuits and a Target Translator in Fortran", ISCAS'85: Special Session on ATPG and Fault Simulation (1985).
- (13) F. Brglez, D. Bryan, K. Kozminski : "Combinational Profiles of Sequential Benchmark Circuits", ISCAS'89, May (1989).