

モジュール分割による非同期式論理回路の縮退故障テスト

アーティット トンタック 南谷 崇

東京工業大学 情報理工学研究科
〒152 東京都目黒区大岡山 2-12-1

あ ら ま し 大規模な非同期式論理回路に対し、階層的モジュール分割を行ない、単一縮退故障のテストを生成する手法を示す。この手法では、大規模回路をモジュールのネットワークと考え、テストに必要なモジュールの入出力系列をネットワークの入出力に対応させ、信号の制御性・伝播性そして許容性をモジュール間の動作仕様を表すネットワークの信号遷移図を用いて検証する。その結果、全て満足する入出力系列はテスト系列になるが、制御・観測に必要な内部信号が検出された場合、その信号にテスト用の端子や回路を付加する。例題として、依存性グラフで実現された非同期式プロセッサの制御部の論理回路に対する具体的なテストを示す。

和文キーワード モジュール分割, 非同期式論理回路, 縮退故障, テスト, テスト端子

Stuck-at-faults Testing in Asynchronous Logic Circuits based on Module Partitioning

Arthit THONGTAK Takashi NANYA

Faculty of Engineering, Tokyo Institute of Technology
2-12-1 Ookayama Meguro-ku Tokyo 152, Japan

Abstract We propose testing large scale asynchronous logic circuits using module partitioning and regarding the circuits as module networks. We first generate test sequences for each module, and then apply them to the network. The testable sequences in the network require the properties of controlling, propagation, and acceptability. We use network signal transition graphs to check whether the above condition holds for each sequence. After checking, networks can be made fully testable by adding testing points on the lines that must be controlled or observed. We use the control part of asynchronous microprocessor synthesized from dependency graphs as an example.

英文 key words stuck-at-fault, testing, asynchronous logic circuit, module partitioning, testing point

1 まえがき

Quasi-Delay-Insensitive モデル [1] に基づく非同期式論理回路における単一縮退故障には、信号遷移を停止させ、テスト容易な故障もあるが、停止しない故障もあり得る [2]. これらの停止しない故障のテストにはいくつかの手法が提案されている [2,3]. しかしながら、大規模な回路にそのままこれらのテスト手法を適用することは困難である. 本稿では、大規模な回路を階層的にモジュール分割してテストする手法を提案する. この手法では、回路を相互に依存関係をもついくつかのモジュールで構成されるネットワークと見なす. 各モジュール毎のテストを生成し、得られたテスト入力系列をネットワークに対応させ、ネットワークにおける信号の制御性・伝播性そして許容性の検証を行ない、ネットワークのテスト入力系列を生成する. 検証に不合格の入力系列には、制御・観測に必要な信号を検出し、ネットワークに制御点・観測点を付加する.

以下では、回路モデル、故障モデルを述べた後、モジュール分割によるテスト手法を述べる. 次に、著者らの研究室で開発された非同期式プロセッサ TITAC[4] を例題として用い、具体的なテスト生成手法を述べる.

2 回路モデル

非同期式回路モデルの内、「素子・配線遅延の上限値は未知」と仮定する Delay-Insensitive(DI) モデルに、「分岐する配線の信号変化は全ての分岐先へ同時に伝播する」という等時分岐の仮定を加えた Quasi-Delay-Insensitive(QDI) モデル [1] を考察の対象とする. QDI 回路は、この遅延仮定のもとで、回路と外部環境の間、あるいは部分回路間の信号遷移の依存関係に従って動作する. 例えば、TITAC では、制御部とデータパス間の動作は request-acknowledge 方式に、データパスの動作は 2 線 2 相方式に、制御部の動作は依存性グラフ (Dependency Graph:DG)[5] に、さらに、制御部内の部分回路の入出力は信号遷移グラフ (Signal Transition Graph:STG)[6] に、各々従って動作する. 本稿では、制御部の動作仕様表現である DG,STG のみを議論する.

3 故障モデル

本稿は、論理素子の入出力信号線の単一縮退故障を考察の対象とする. 素子の入出力の信号遷移に対する単一縮退故障の影響は、図 1 に示すように分類できる. ただし、出力故障は入力故障と等価のため省略する.

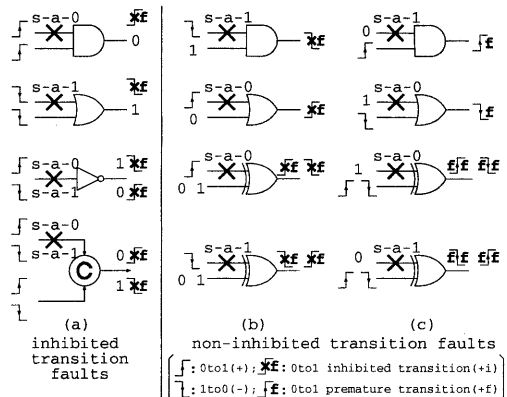


図 1: stuck-at-faults

図 1(a) の故障の場合は、どのような入力信号遷移に対しても、出力信号に遷移停止 (inhibited transition) が起きる. これを遷移停止故障 (inhibited transition faults) と呼ぶ. この故障を励起するために、回路の左側の入力信号の遷移条件を必要とする.

図 1 (b) と (c) は各々同一故障であるが、入力の信号遷移によっては出力の遷移停止になると限らない. (a) と対称的に、これらを非遷移停止故障 (non-inhibited transition faults) と呼ぶ. (b) では、回路の左側の入力 (遷移) 条件が与えられると、(a) と同様に出力の遷移停止になる. 一方、(c) は、同じ故障に対して別の入力条件が与えられると、出力の遷移停止にならず、出力に誤遷移 (premature transition) が起きることを示す. よって、この非遷移停止故障のテスト生成では、初期状態からの状態遷移を参照し、最初に適用可能な入力条件によって、(b) と (c) のどちらかの影響が起きるかを決定する.

4 非同期式論理回路のテスト

テストは、外部環境を検査装置と考え、外部入力信号の制御、外部出力の観測、初期状態の設定によって行なわれる. また、図 1 に示す遷移停止と誤遷移の出力信号をテストに採用する検出信号と呼び、STG 等の動作仕様に定義されている回路の入出力系列を用いて、テスト系列を生成する.

非同期式回路のテストでは、動作制御のクロックがないため、故障励起及び伝播・観測 (以降、伝播と呼ぶ) 条件を満たす入力系列を外部から制御可能かどうか問題となり、故障によって外部からの制御性は異なる.

図 1 の (a) と (b) の遷移停止故障では、冗長な論理素子でない限り、励起する入力系列は必ず外部から制御可能で、その後も入力変化はなく、出力の遷移停止になる. さらに、遷

移停止を起こす出力信号と依存関係をもつ後続の信号遷移にも影響を与え、結局、外部出力まで遷移停止になる。従って、この故障はSTGの1サイクル内に回路動作を停止させることを保証し、あるタイムアウトを設定することによって、容易に故障検出が可能になる。

図1(c)の誤遷移を引き起こす非遷移停止故障では、検出信号を出力させる入力系列が外部から制御可能になったとしても、その後、検出信号と並列に遷移した他信号の影響で、励起・伝播条件となる(内部)入力を変化させ、それを無効にすることがある。このため、検出信号の励起・伝播が完了するまで条件となる入力状態を外部から制御し保持する必要がある。つまり、入力、内部信号の制御性と出力の観測性が必要であるが、条件を満たせずに検出不能となる故障が存在し得る。この場合には、外部制御・観測が不能な入出力信号に、テスト端子・回路を付加しテスト可能にする。

本稿では、図1(c)に示されるような誤遷移を引き起こす非遷移停止故障のみを議論することにする。

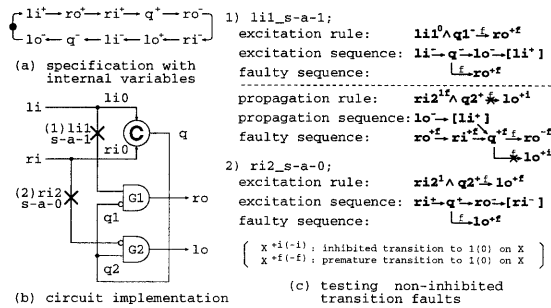


図2: testing Q element

例題1: Q モジュール回路のテスト

非同期式プロセッサの2相式制御部に利用されるQモジュール[5]のテストを生成する手法を図2に示す。(a)は動作仕様を表すSTGであり、(b)はそれを実現した回路を示す。トークンが配置している初期状態から出発して動作を解析すると、誤遷移を引き起こす故障は信号 li_1 の'1'縮退と ri_2 の'0'縮退故障であり、STGを用いたテスト生成を各々(c)の(1),(2)に示す。'0'→'1'方向の誤遷移及び遷移停止となる信号 X を各々' X^{+f} '及び' X^{+} 'で表す。また、誤遷移の信号が安定することを' X^{lf} '(正常時は'0'で故障時は'1')で表す。

上記の故障の励起条件(excitation rule)を満たす励起系列(excitation sequence)はSTGから抽出され、故障励起の原因となる入力信号に故障の誤遷移系列(faulty sequence)を付け加え、誤遷移の出力を観測することによって故障検出が可能になる。

一方、図2(c)の(1)において、仮に ro, ri は内部信号とし、検出信号を外部に伝播せず、' ro^{+f} 'を経由し' ri^{+f} 'を引き起こすとする。そして、外部出力 lo まで検出信号を伝播するために、新たに伝播系列(propagation sequence)を作成し検出信号' lo^{+} 'を出力させるが、それと並列に' ro^{-f} 'を発火させることにより、伝播条件(propagation rule)が無効にされ、結局、 lo への伝播は不可能となる。

5 モジュール分割によるテスト

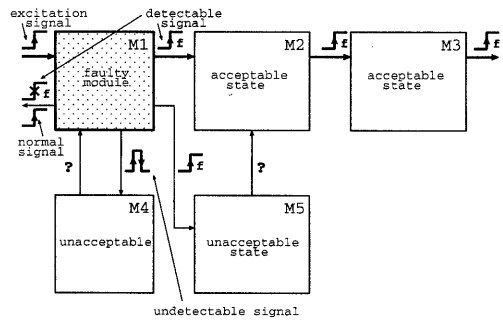


図3: network model and fault effect

大規模な非同期式論理回路は、一般に、入出力信号に相互の依存関係を持つモジュール単位に分けて設計する[5]。従って、本稿では、設計段階でのモジュールに着目し、回路をいくつかのモジュールのネットワークと見なし、モジュール内の全信号線の故障を考察の対象とする階層的にテスト生成する手法を提案する。そこで、モジュール間の接続関係と各モジュールのSTGをネットワークに展開して得られたネットワーク動作仕様をネットワークSTGと呼び、これを用い、以下のネットワークをテストするために必要な条件を検証する。

1. ネットワークの初期状態が設定可能である。
2. 故障モジュールには、初期状態から検出信号を励起しモジュール出力に伝播する制御可能な入力系列がネットワークSTGで定義されている。
3. 伝播モジュールには、検出信号の入力を許容する状態で、モジュール出力あるいは外部出力に伝播する制御可能な入力系列がネットワークSTGで定義されている。
4. ネットワークは、励起・伝播期間中に並列に伝播された信号の干渉を起こさない。

テスト生成には、モジュールに対して生成されたテスト入力系列をネットワークに対応させ、上記の条件を検証する必要がある。このため、ネットワークの信号遷移関係を表

すネットワーク STG を用い、励起・伝播の条件となる入力信号に対する制御性、モジュールの入力許容性、そして伝播性を検証する。その結果、上記の条件に違反する信号を検出した場合、その信号線にテスト端子や回路を付加する。以上をまとめると、モジュール分割によるテストの再帰的な基本手順は次のようになる。

1. ネットワークの階層的モジュール分割
2. 故障モジュールの検出信号の励起・伝播入力系列の生成
3. ネットワークでの故障励起による信号解析
4. 伝播モジュールの検出信号の伝播系列の生成
5. ネットワークでの伝播による信号解析
6. 検証に不合格の信号に対するテスト端子・回路の付加
7. 上位ネットワークへの対応

5.1 ネットワークの信号解析

5.1.1 励起・伝播入力の制御性

入力系列の制御では、励起・伝播の実行から完了まで、条件となる入力信号は変化しないことが必要である。これをネットワーク STG を用いて検証する。検証に不合格の信号にはテスト用の制御端子・回路を付加する。モジュール i から $i+1$ への検出信号の伝播は、それが原因でモジュール $i+1$ に出力する新たな検出信号で確認される。その時点をもって伝播の完了とする。しかしながら、実際は、この方法での確認が不可能の場合、伝播の開始後、ネットワークが次に安定状態に到達する時点を伝播の完了とする。

5.1.2 モジュールの入力の許容性

励起・伝播可能な入力系列により伝播された故障モジュールの検出信号が、伝播先のモジュールに対して、どのような影響をもつかを考察する必要がある。故障モジュールから出力される検出信号は、ネットワーク STG の一部である伝播先のモジュールの STG でこれから入力しようとする信号として定義されている場合、その伝播先のモジュールはその検出信号を許容可能であるという。このようにして、伝播先のモジュールは許容可能かどうかをネットワーク STG で検証する。

図 3 では、検出信号を入力するモジュール M2～M5 の許容性をネットワークの動作仕様で検証する。その結果、検出信号でないハザードを入力したモジュール M4、仕様に定義されていない検出信号を入力したモジュール M5 には、そのモジュールに与えた影響を考察する必要がある。その時、M4、M5 の出力に信号遷移を起こし、各々 M1、M2 へ再び伝播され、M1 から M2 への検出信号の伝播条件を無効にすることがある。これを干渉と呼ぶ。干渉が起きた場合、M4、M5 の

伝播経路を制御する必要がある。よって、伝播先のモジュールの信号の許容性の他に、許容不能なモジュールには、その後の信号伝播による干渉をも検証する必要がある。

5.1.3 モジュールの伝播性

伝播先のモジュールに干渉がなく許容可能な検出信号を入力した後、ネットワーク STG に定義された入出力動作の依存関係で、出力に新たな検出信号を伝播し、最終的に外部まで伝播する入力系列の存在を検証する。

伝播先のモジュールに検出信号を入力した後、出力に伝播しない場合、ネットワーク状態が安定した後、モジュール出力に新たな検出信号を伝播する入力系列を生成し、再びその入力系列によるネットワークの信号解析を行なう。なお、検証に失敗、あるいは伝播入力が生生成不能の場合、今までの検出信号の伝播経路にテスト用の観測端子を付加する。

5.2 テスト端子・回路の付加

解析の結果、制御・観測に必要な信号線にテスト端子・回路を付加する。実際は、ネットワーク動作中の過渡状態には制御・観測のタイミングが困難のため、図 4 に示すモジュール間の信号切断による制御・観測端子の付加回路を用いることにより、信号の制御・観測とともに、許容不能な信号の伝播経路の制御を同時に実現し、テスト容易化になる。

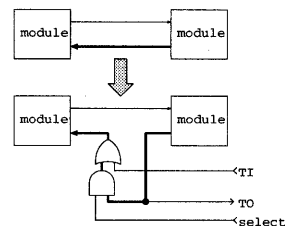


図 4: testing points addition

6 例題

6.1 基本ネットワークのテスト

非同同期プロセッサ TITAC の制御部を構成する Q モジュールのネットワークをテストする。このネットワークの基本形を図 5 に示す。(a) の回路図は外部の IN と OUT に接続される。(b) は各モジュールの STG と接続関係を展開したネットワーク STG である。データバスを考慮しないため、制御部とデータバスのインタフェースである $Request$ と $Acknowledge$ 信号を省略し、 ro_i と ri_i との因果関係を直接記述したものである。このネットワークは、外部 OUT ま

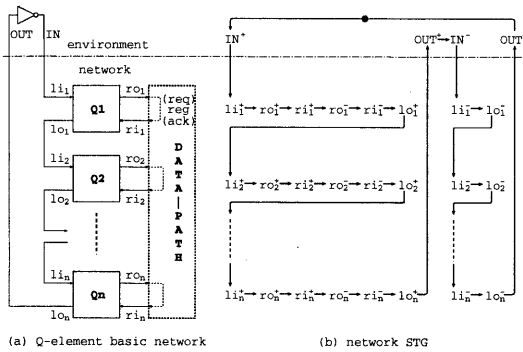


図 5: basic network of Q element

で検出信号を伝播するには、故障モジュールの出力 lo_i に検出信号を出力する入力系列が必要となる。

例題 1 に生成された故障 (1),(2) の入力系列を検証すると、以下のような結果になる。

6.1.1 故障 ' li_j^{a-1} ' (1) の入力系列の検証

図 5(b) のネットワーク STG を用いた入力の制御性の検証結果、トークンが配置したネットワークの初期状態は励起系列の ' $li_j^- \rightarrow lo_j^- \rightarrow [li_j^+]$ ' の制御性を満たす。しかし、検出信号はデータパスに伝播し、再び検出信号 ' ri_j^{+f} ' が戻ってくるが、検出信号の lo への伝播は不能となり、外部 OUT での観測は不能となる (例題 1 を参照)。このため、このテストは検出信号 ' ro_j^{1f} ' か ' ri_j^{1f} ' を観測することにする。

6.1.2 故障 ' ri_{2j}^{a-0} ' (2) の入力系列の検証

ネットワーク STG での検証結果、信号 ' lo_j^{+f} ' の検出信号を出力するのに、励起系列の ' $ri_j^+ \rightarrow ro_j^- \rightarrow [ri_j^+]$ ' の制御性を満たすための、 ri_j か ro_j を '1' に制御する必要がある。

6.1.3 故障 (1) と (2) のテストの実現

上記の結果、故障 (1) のテストには検出信号の直接観測、故障 (2) は、信号制御を行なう。従って、同時に実行可能な信号 ri_j を可制御・可観測にするために、図 4 のテスト回路を付加する。よって、Q モジュール 'j' 内のテスト系列は次となり、信号 ' X^{+f} ' で検出される。

- (1): $IN^0 \rightarrow TO_j^{+f}$
- (2): $IN^+ \rightarrow TO_j^+ \rightarrow TI_j^+ \rightarrow lo_j^{+f} \rightarrow TO_{j+1}^{+f} \rightarrow OUT^{+f}$

6.2 DG で実現された回路のテスト

DG には、一般に FORK と JOIN, あるいは SELECT と MERGE のノードが含まれる。よって、Q モジュール以外

に、これらの回路のテストも必要となる。ここでは、各々 FORK-JOIN のネットワークと SELECT-MERGE のネットワークとし、別々に考察する。

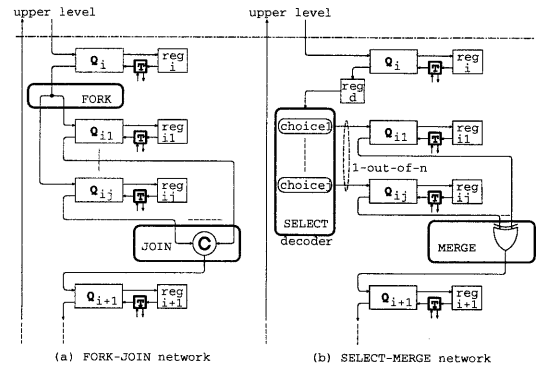


図 6: FORK-JOIN and SELECT-MERGE network

6.2.1 FORK-JOIN のテスト

図 6 の左図は FORK と JOIN が存在するネットワークであり、'T' と表記される回路は、前述の Q モジュールのテストに必要な信号 ri の付加回路 (図 4 の回路) である。FORK と JOIN 回路には、各々分岐と C 素子を用いるため、3 節の故障モデルにより、入出力縮退故障は必ず遷移停止になる。

6.2.2 SELECT-MERGE のテスト

図 6 の右図のネットワークに、SELECT に decoder 回路、MERGE に多入力 EXOR 回路を用いる。decoder が稼働した時は、decode された経路のみ '0' から '1' に変わり、つまり、'1-out-of-n' 符号化され、その間のモジュールは稼働する。その後、EXOR 回路に '1' を入力し、実行の完了後に後続のモジュールに伝播する。ここでは、decoder 内の故障の影響は次に分けてテストする。

1. 出力に '0' か '1' に固定した故障は、後続の Q モジュールのテスト端子での観測が可能である。
2. decode の時に '1' を複数に出力し、'1-out-of-n' 符号の機能が不能の場合、後続の Q モジュールに稼働させ、合流の MERGE 出力にハザードを出力することがある。よって、decode されないのに誤りの '1' を出力した経路に、後続の Q モジュールのテスト端子を観測する。
3. decode 時に故障によるハザードの発生は、この故障検出のためのテスト端子を decoder 内に付加する、あるいは、故障してもハザードを発生しないような decoder 回路を再設計する。

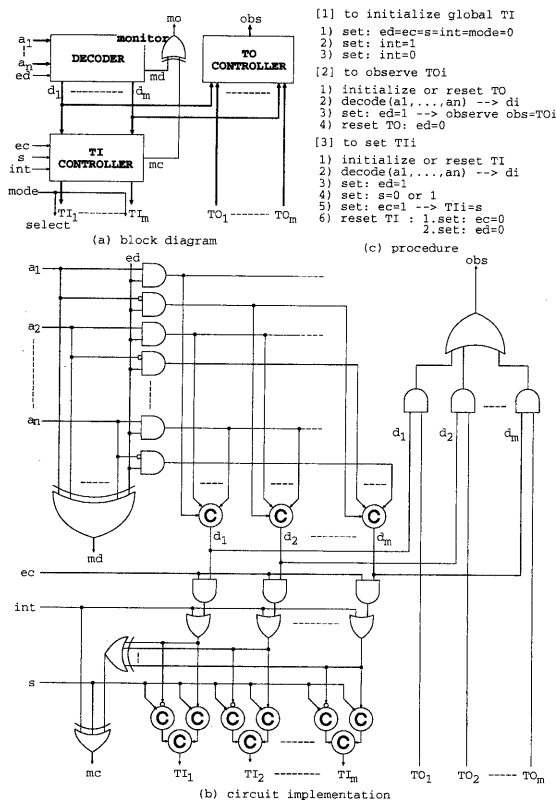


図 7: test points controller

次に、MERGE の入力 '0' 縮退故障は、初期状態からの動作では、必ず遷移停止になるが、入力の '1' 縮退故障には、初期状態時の MERGE 出力が '1' になることによって、後続モジュールへ検出信号を伝播し、観測端子で検出可能になる。

6.3 テスト端子の制御回路

以上をもって、TITAC の制御部のテストには、レジスタ共有の Q モジュールを除き、Q モジュール数だけテスト端子・回路を付加する必要があるため、端子数が膨大になる恐れがあった。このため、図 7 に示すテスト端子の制御回路を用い、TI、TO の数は '2N' の時に、必要外部端子を ' $\log N + 7$ ' に押えられる。図 7 では、(a) のブロック図のもとに実現した回路を (b) に示す。この制御回路はテストモードで動作し、その機能として、制御端子 TI の初期化と設定、そして観測端子 TO の観測の手順を (c) に示す。ここでは、回路の安定の確認は入力遷移のみとし、監視回路 (monitor) を設けるが、これを削除しても支障がない。

実際の TITAC にはこのテスト端子の制御回路を適用していないが、TITAC の例によると、レジスタを共有するモ

ジュールを考慮しないと、Q モジュールの数が 29 個に對し、図 7 に示す付加端子は 12 本必要となる。

7 まとめ

モジュール分割によるテストには、モジュールテストで生成された入力系列に対する入力信号の制御性、モジュールの許容性及び伝播性を必要とすることを示した。そのためのネットワーク STG を用いた検証法を示すとともに、テスト端子の付加手法及びその制御回路を提案した。本稿では、DG で実現された Q モジュールを用いた制御回路を例にしたが、Q モジュール以外に、自掃モジュール (Auto-Sweeping-Module)[4] 等にも適用可能である。また、DG に限らず、他手法で実現された大規模な非同同期式回路にもこのモジュール分割法を適用可能と考えられる。今後は、端子数の最小化を実現するための、制御・観測に必要な信号の共有化、最適化が課題となる。

本研究の一部は文部省科学研究費補助金 04452192 によるものである。

参考文献

- [1] A.J.Martin. "The Limitations to Delay-insensitivity in Asynchronous Circuits", Advanced Research in VLSI (Proc.6th MIT Conf.), pp263-278(1990).
- [2] A.J.Martin, P.J.Hazewindus. "Testing Delay Insensitive Circuits", Advanced Research in VLSI 1991, UC Santa Cruz, pp118-132(1991).
- [3] A.Thongtak, 南谷 崇. "非同同期式論理回路の縮退故障テストに関する一考察", 電子情報通信学会, 信学技法, FTS92-47(Feb.1992).
- [4] T.Nanya, et al. "TITAC: Design of a Quasi-Delay-Insensitive Microprocessor", IEEE Design & Test of Computers, Vol.11,no.2, pp50-63(Summer1994).
- [5] 籠谷 裕人, 南谷 崇. "依存性グラフを用いた 2 相式非同同期回路の合成", 電子情報通信学会論文誌, Vol.j77-D-1, no.8, pp548-556(Aug.1994).
- [6] T.A.Chu. "Synthesis of self-timed VLSI circuits from graph-theoretic specifications", Ph.D.Thesis, MIT(Jun.1987).