

アナログモジュールを対象としたレイアウトシステムの構築

西部隆 磯道康弘 田中秀樹 大附辰夫

早稲田大学工学部

あらまし

アナログ回路の性能は、レイアウトの良否に伴う素子のばらつきや寄生素子、ノイズの影響を受けやすい。さらに、レイアウト設計の際には多種多様な大きさ・形状の素子を扱わなければならないため、従来のデジタル回路を対象としたレイアウトアルゴリズムでは満足なレイアウト結果が得られにくい。我々の開発したアナログモジュールを対象としたレイアウト設計システムは、レイアウトの際に考慮しなければならない電気的制約を、レイアウト上の幾何学的制約として定量化し、制約をできる限り満足するレイアウトを生成するアルゴリズムに基づいて構築されている。本稿では、そのレイアウトシステムの実装経過を示し、これを用いて実際のアナログモジュールを設計した結果を報告する。

A Layout Design System for Analog Modules

Takashi NISHIBU, Yasuhiro ISOMICHI, Hideki TANAKA, and Tatsuo OHTSUKI

School of Science and Engineering, Waseda University
3-4-1 Okubo, Shinjuku-ku, Tokyo 169, Japan

Abstract

Performance of analog circuits is more sensitive to device parameter values and more influenced by parasitics and noise depending on layout. Moreover, since elements with a variety of their sizes and shapes are embedded, the algorithms being used for digital circuits are not suitable for performance-driven analog circuit design. From this point of view, a new layout design system for analog modules is proposed. It includes algorithms which accommodate several electrical constraints in analog circuits by transforming them into geometrical constraints. The results of implementation of the system are described with demonstration of several modules generated by the system.

1 まえがき

エレクトロニクス分野におけるデジタル化の趨勢の中にあっても、アナログ回路技術の必要性はますます高まっている。特に、集積回路技術の進歩により大きなシステムを集積化しようとする場合、アナログ機能とデジタル機能からなるシステム全体を同一チップ上に実装する必要性が生じてくる。この場合、その性能、開発期間がしばしばアナログ回路設計技術の良否によって左右される。したがって、アナログ回路を効率的にチップ上に実装する技術の開発は、デジタル回路の場合と同じく重要であると言える。

一般に、アナログ回路の性能はレイアウトに伴う寄生素子、温度特性の影響を受けやすく、デジタル回路用に開発されたレイアウトアルゴリズムでは満足な性能が得られないことが多い。したがって、その完全な自動設計は未だに困難な問題であり、設計者の負担をなるべく低減するためのCADシステムの開発が強く望まれている。

我々は、配置／配線／スペーシングといった通常の設計段階で、アナログ回路特有のレイアウト制約を加味したレイアウトを生成することにより、所望の性能仕様を満たすようなアナログモジュールの設計システムの開発を目標に研究を行っている。

本稿では、2節でシステム内において考慮するアナログ制約について述べ、3節で提案するアナログレイアウトシステムの概要を説明する。次に、4節で配置処理、5節で配線処理、6節でスペーシング処理、7節でレイアウト抽出／シミュレーションツールに関して大まかな説明を行う。そして、8節でシステムの実装結果とそれによって設計したモジュールを紹介し、9節で全体のまとめを行う。

2 各種のアナログ制約

デジタル回路におけるレイアウト設計の目的関数は、主にレイアウト面積・配線遅延・クロックスキューの最小化などであるが、アナログ回路においては、これらの他に以下の点を考慮しなければならない。

素子のばらつき アナログ回路において頻繁に用いられる差動増幅回路、定電流回路は素子の相対精度が要求される。しかし、これらの回路を形成するペア／グループ素子は、現実の集積回路の製造段階において生じる誤差やばらつきの影響を受けるため、それに伴うパラメータの変動を最小限に抑えることが大切である。

寄生素子の影響 配線によって生じる配線寄生抵抗、対基板分布容量、平走するネット間の相互結合容量などの寄生素子は、時としてアナログ回路の性能を大きく劣

化させるため、これらの寄生素子への配慮は不可欠である。

これらの電氣的制約を、レイアウト設計段階で直接扱うのは困難であるので、本システムではレイアウト上の幾何学的制約に置き換えて扱う。この幾何学的制約を、以下ではアナログ制約とよぶことにする。考慮するアナログ制約は、以下の通りである。

- 近接・密着・対称・コモンセントロイド・方向一致配置制約

ペア／グループ素子の相対精度を維持するための制約群である。MOSFETなどにおける素子パラメータは、チップ上の位置による製造プロセス変動の影響を受ける [1]。したがって相対精度が要求される素子群については、上の制約を考慮した配置が必要になってくる。さらに対称配置制約は、発熱素子からの温度分布を等しくする目的でも使用される。

- 離反配置要求

素子間において信号の干渉が問題となる場合、その影響を減らすため離反して配置する必要がある。

- 対称配線制約

対称配置したペア／グループ素子は、対称配線することにより相対精度を向上させることができる。

- 交差禁止制約・離反配線要求

ともに、配線間クロストークが問題となるネット間に指定される。交差禁止は、異層間で配線がクロスするのを禁止する制約であり、離反配線は交差禁止に加えて配線同士をできるだけ離して配線する要求を表す。

- 配線層指定制約

電源ラインなど、配線寄生抵抗による電位降下が問題となるネットに対しては、アルミ層配線をすべき場合がある。このようなときは、配線層指定制約を課す。

本システムは、回路設計とレイアウト設計を分離して考えているため、以上のアナログ制約は回路設計者によって適切に与えられるものとする。

3 レイアウトシステムの概要

本システムは2層CMOSテクノロジーを対象としており、図1に示すような構成になっている。

入力にはネットリスト、制約ファイル、テクノロジーファイルであり、システム制御部に入力される。アプリケーションは、配置・配線・スペーシング・回路抽出／シミュレーションツールからなり、それぞれ独立に動作させることが可能で

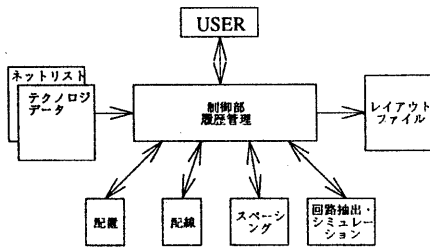


図 1: システム構成

ある。システム内のレイアウトデータは、ADMS(Analog Data Management System) というアナログ制約を保持できるデータ構造により一括的に管理される。システムには GUI(Graphical User Interface) が採り入れられており、設計者との対話型環境が実現されている。

本システムで用いているアルゴリズムは、特に回路規模を限定するものではない。しかし小・中規模回路ではあっても種々のアナログ制約を満足するレイアウト生成を目標としたため、高々百程度の素子からなるアナログモジュールを主な設計対象としている。したがって、LSI チップ全体の設計には本システムは適さないが、その分細かいアナログ制約を同時に満足するレイアウトが生成可能である。

履歴管理 アナログ回路の設計において、一つの回路について完全な新規設計を行うこともあるが、その反面、過去の設計遺産を一部修正することによって再利用することも多い。したがって、対話型のシステムにおいてモジュール設計を行う場合、各設計段階の設計履歴を保存・再利用することは、設計資源の効率化を考える意味で重要なことである。そこで本システムは、こうした目的のために設計履歴の保存・再利用機能を備えている。設計履歴は、レイアウトデータ構造の内容をテキストファイル形式に変換して保存し、多分木の形で管理する。

4 配置処理

配置処理の目的は、アナログ制約を満たし、かつ 100% 配線を最小面積で得ることである。本システムでは、ブロック間に接続度や制約に応じた引力と斥力を働かせ、系全体の平衡状態を求めることによって配置を得るという力学的手法に基づいている。力学的手法は、不均一な形状のブロックを扱えること、近接・離反制約をブロック間の引力・斥力として自然に定義できることから、アナログ回路の配置に適していると言える。

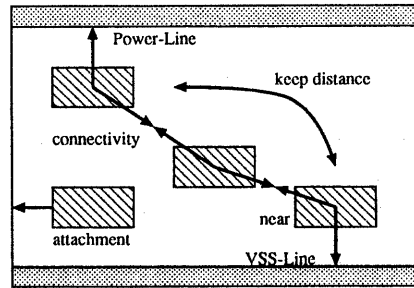


図 2: 力学的配置手法

アルゴリズムは大きく次の 4 段階に分けられる。

前処理 密着配置制約のあるブロックは、この前処理においてあらかじめ密着させて相対位置を固定し、全体を一つのブロックに置き換え、後の段階ではこのグルーピング後のブロックを対象に処理を行う。また、各ブロックに対して配線領域を大まかに見積もり、その分よりも大きめにブロックを拡大しておく。

初期配置 ブロック間の引力のみを考慮して初期配置を求める。引力としては、次に挙げるものを考慮する。

- ブロック間の結線数に応じた引力
- 近接配置制約に応じた引力
- 電源線の主幹部分への引力

総配線長を極力短くするために、ブロック間の結線数が多いほど強い引力を働かせる。また、近接配置制約のあるブロック間には、要求の度合いに応じた引力を働かせる。この段階では引力のみを考慮するため、ブロック間の引力だけでは結果が配置領域の中央に固まりすぎてしまう。このため、配置領域の外辺方向への力として電源線への引力と外辺配置ブロックへの引力を考慮している。

初期配置は、ブロック数を n とすると、2 組の n 元連立線形方程式を解くことにより求められる。離反配置要求のあるブロック間に結線による引力がある場合は、その大きさを離反要求度に応じて減じておく。こうすることにより、初期配置で離反要求のあるブロック同士が近づきすぎないように考慮している。

重なり除去 引力に加えてブロック間に斥力を働かせ、初期配置の際に生じたブロック間の重なりを取り除く。斥力には次に挙げるものを考慮する。

- 重なり面積に応じた斥力

- 離反配置要求に応じた斥力
- 配線領域外へのはみだし防止のための斥力

重なり面積に応じた斥力と離反要求による斥力は、ブロックの中心同士を結ぶ直線上でブロックを引き離す方向にそれぞれ働かせる。重なり除去の計算では斜め方向のブロック移動を扱うため、 $2n$ 元の連立方程式を解くことになる。この式は非線形であるため、数値計算法にニュートンラフソン法を用いる。求解の際は、解の収束性を高めるために斥力の強さを徐々に大きくしていき、その都度方程式を計算している。この計算を一回終えるごとにブロックの重なりが少しずつ取り除かれていくが、このときブロックの向きを適当に変えてみて、重なりが減少するならばその向きを採用する操作を行っている。この操作は、方向一致配置制約のあるブロックに対してはすべて同時に行われる。このようにすれば、初期配置ではすべてのブロックを同じ向きにそろえておくため、制約違反を起こすことはない。

後処理 グルーピングしたブロックを元に戻し、拡大していた各ブロックの大きさを元に戻すとともに、各ブロックにピン位置を割り当てる。今までの段階ではピン位置を考慮していないため、重なり除去の結果ではブロックの配置される枠組みだけが決定されている。このため、この枠に対していろいろな向きのブロックの当てはめを試行し、ピンと接続ブロック間の距離の総和が最小となるパターンを選び、最終的な配置結果を得る。

対話処理 本システムは自動/対話型に用いることを想定しているため、自動処理とともに対話処理の充実にも気を配っている。本配置処理における対話コマンドは、

- 初期配置
- 重なり除去
- ピン割り当て
- 素子の移動/回転
- モジュール面積変更

などである。本配置手法は、初期配置と重なり除去のように2段階に分かれていることや、重なり除去の様子が画面上で観察できることから、対話処理の介入がしやすく、この意味でも対話型環境に適した手法といえる。

5 配線処理

アナログ回路の性能は寄生値によって左右される。例えば配線材料の抵抗率は厳密なゼロではないため、配線によって必ず寄生抵抗が生ずる。このため望ましくない電圧降下をもたらす、そこを流れる電流値に影響を及ぼす。また、隣

接配線間の寄生容量は信号のクロストークを招き、抵抗とともにフィルタを形成し、回路の周波数特性を劣化させる。差動構造トランジスタペアに対しては、幾何学的な対称ネットによって寄生値のマッチングを図らなければならない。従来デジタル配線用に開発されたルータは、これらの複雑なアナログ制約を効果的に扱うことができず、従来アナログ用に開発された自動ルータも、基本的に格子構造に基づくグリッドベースの手法が大半を占めている [2, 3]。それに対し、本システムでは石川ら [4] によって提案されている改良線分展開法を用いている。本配線手法は格子構造を用いないグリッドレスルータであるため、複雑な設計規則に対応でき、多様な配線幅をもつネットを配線することができる。また、経路探索におけるコストの概念を利用することにより、アナログ制約の要求に応じた配線経路を得ることができる。

5.1 改良線分展開法

改良線分展開法による2層配線法を説明する。矩形で表されたソース端子 S が配線領域中にある場合には S の周囲の4辺上に、 S が禁止領域の境界線上にある場合は S の禁止領域と反対側の辺上に、AL(active line)と呼ばれる線分をつくる。次にこのALをその線分の向きと直角方向に障害物にあたるまで掃引し、領域探索を行う。このとき探索した領域にAR(active rectangle)と呼ばれる矩形をつくる。ARは、ある層から別の層への層間の領域探索に用いられる。そして、またこのARの外周に沿って必要に応じてALを作成する。このALは同一層内での領域探索に用いられる。これらのAL, ARには、親ALからの距離やターゲットまでの距離、縦横原則に違反するか否かなどによってコストを付ける。次に、このときできたAL, ARをコストの低いものから順次展開し、領域探索をターゲット端子 T を発見するまで繰り返す。Tを発見したら、探索された領域上にあるARを用いてバックトレースを行い経路を得る。この様子を図3に示す。

5.2 アナログ制約の考慮

配線処理で考慮しなければならないアナログ制約を示し、改良線分展開法においてそれらを実現する方法について説明する。

配線層指定制約 配線層を変える際に用いるスルーホール(ビア)による寄生抵抗は比較的大きいため、この影響を強く受けるネットの配線を行う際には、指定した一層のみを用いて配線する。配線層指定されたネットを配線する場合は、ALのみを用いて領域展開していけばよい。層間

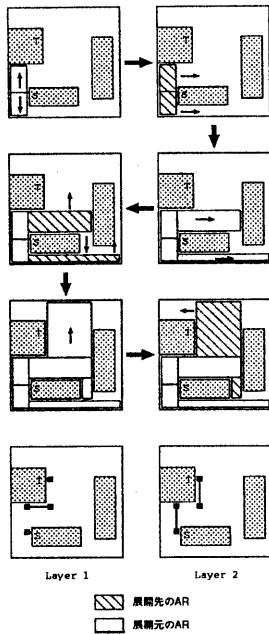


図 3: 改良線分展開法

の展開には、前述の通り AR が用いられるため、これを用いなければ必ず一層配線となる。

対称配線制約 対称に配置されたブロック間の配線には、対称配線を施して寄生値のマッチングをとる。この配線は次のようにして実現される (図 4 参照)。

1. 対称配線可能な領域を見つけるため、配線領域中の障害物を対称軸に関して対称にコピーし、これらをダミーの障害物とする。
2. 対称配線ネットのうちの 1 本を通常通りに配線する。
3. 配線したネットを対称軸に関してコピーし、もう一方の配線とする。
4. ダミーの障害物を削除する。

配線交差禁止 異層間の配線交差による配線間クロストークを避けたいネット間に指定される。2つのネットのうちの 1 本目の配線は通常通り行う。交差禁止の対象となる 2 本目のネットを配線するときには、1 本目のすでに配線したネットをそのネットが配線されていない層の同じ位置にコピーし、これをダミーの障害物配線とする。配線がスルーホールを通して複数の層にまたがっている場合も、それぞれの層について同様の処理を行う。そして 2 本目を配線し、

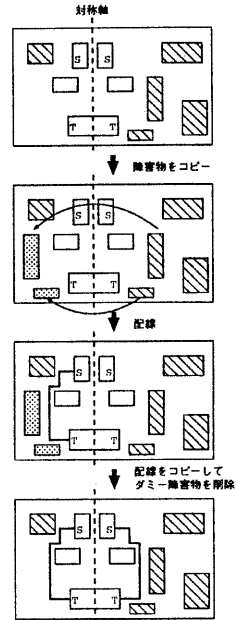


図 4: 対称配線の手順

配線が完了したらダミーの障害物配線を削除する。こうすることにより、2つのネットを交差なく配線することができる。

離反配線要求 離反配線要求は、交差禁止制約をより強くしたものと考えることができる。したがって、それらのネットを配線する際には、まず交差禁止と同じ手続きをとる。さらに、少しでもネット同士の距離を遠ざけるため次のようにする。まず最初のネットを配線する際、AL が発生する度にもう一方のネットのソースおよびターゲットとのコストを算出し、距離が短いほど高いコストをつけるようにする。これによりこのネットは、もう一方のネットの端子付近を避けて配線される。次にもう一方のネットを配線する際には、すでに配線された最初のネットの経路が分かっているので、AL のコストの算出の際、この経路に対する最短距離を用いて同様に計算すればよい。これによりもう一方のネットは、最初の配線から遠ざかるような経路で配線できる。この様子を図 5 に示す。

対話処理

- ネット選択

次に配線、または引きはがすネットを選択する。本配線手法は逐次配線であるため、配線順序によって配線

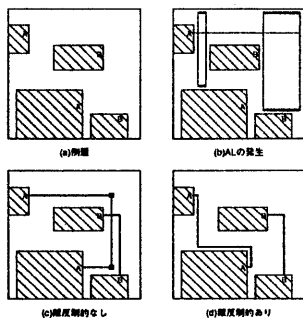


図 5: 離反配線要求の考慮

結果の質や配線率が変化する。したがって、複数ネットを選択した場合、次に自動配線する場合を考慮し、制約の厳しい順にネットをソートする。具体的には以下の順序とする。

- 対称制約のあるネット
- 一層配線を行うネット
- 離反要求のあるネット
- 交差禁止制約のあるネット
- その他のネット

この順序は対話的に与えることも可能である。

- 自動/対話配線
- 配線除去（引き剥がし）

多端子間配線 本アルゴリズムで多端子配線を扱う方法はいくつか考えられるが、その代表的なものを次にまとめておく [5]。

1. 2端子間配線の繰り返しで解く方法

複数の端子を2端子間ネットの組に分解して、2端子間配線を繰り返して解く。

2. 一つの端子からすべての端子に AL および AR を展開して配線径路を得る方法

ある端子から AL および AR を展開していき、他のすべての端子が探索されるまで処理を続ける。

3. 配線結果に対して、逐次配線径路を接続していく方法

まず2端子間配線を行い、配線径路を求め、次に残りの端子の中から一つ端子を選び、その端子から現在までに求められている配線結果をターゲットとして配線を行っていく。

上記の手法のうち、本システムでは3を採用した。

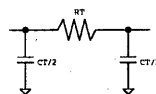


図 6: 配線による寄生素子

6 スペーシング処理

一般のレイアウト設計問題においては、レイアウト面積の最小化が一つの目的である。したがって配置・配線処理が終了した段階において、アナログ制約を満足しつつレイアウト面積も最小でなければならない。ところが設計モジュールのアスペクト比、面積を決定するのは配置段階であり、この時点で最適な決定を行うのは困難である。したがって、配置・配線処理の後にアナログ制約に対応したコンパクタを用いてレイアウト最適化を行う。

スペーサの機能は、レイアウト修正コマンドとして、

- 最長経路法によるコンパクション
- ピン移動
- ブロック・配線移動

がある。さらにレイアウト設計情報表示コマンドとして、

- 垂直/水平方向クリティカルパス表示
- 各ブロック、配線がもつ識別名表示
- 座標表示
- ピン移動可能範囲表示

がある。

紙面の都合により、スペーシング処理の詳細は別の機会に報告する。

7 レイアウト抽出と回路シミュレーション

本システムは、レイアウトに伴う寄生素子の影響を見積もり、アナログ回路シミュレータ spice のネットリスト形式に抽出するエクストラクタを有しており、さらに、EWS 上で動作する spice3 とのインターフェイス部をもつ。本稿では、このうち特にレイアウト抽出において考慮している寄生素子と、統計的な素子のばらつきシミュレート方法について、その概要を説明する。

7.1 レイアウト抽出

配線にともなう寄生素子には、配線抵抗と寄生容量がある。本システムでは、一本の配線を図 6 のようにモデル化する。

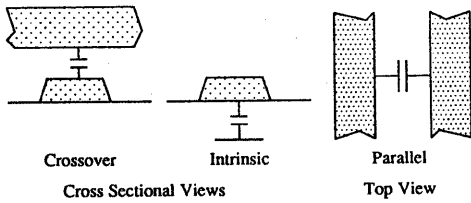


図 7: 寄生容量

このうち、寄生容量は、図 7 のように、

- 対基板分布容量
- 異層間交差容量
- 同層間結合容量

の 3 種類に分類できる。これらの寄生素子 R, C からなるネットワークを spice 形式のネットリストに出力する。

7.2 統計的プロセス変動のシミュレート

レイアウト設計を行う立場から見て、IC 製造パラメータは、その振る舞いが確率分布で表されるランダムな変数であることはよく知られている。これはアナログ回路において、例えばオフセット電圧のようなパラメータに大きく寄与する。たとえオフセットの設計値がゼロであっても、現実の抵抗やトランジスタのランダムなばらつきにより、ある平均値を中心としたオフセット電圧が広がりをもって生ずることになる。

集積回路のパラメータには、ランダムな変動を生じさせるいくつかの要因がある。例えば、不純物拡散のウェハ全体にわたるばらつきなどである。こうした種々のプロセス変動によって素子のパラメータはガウス分布をする。

このように、プロセス変動は性能に直接影響する要素として重要である。素子の不純物濃度や素子サイズはプロセスパラメータによって定まるが、我々のシステムにおいてもこれらのパラメータの変動を考慮しつつ、回路抽出を行うことが重要である。そこで、プロセス変動をモジュール上の位置による一次関数でモデル化して [6] 実装した。この概念は次式または図 8 で表すことができる。

$$p_j(x_k, y_k) = (1 + \gamma_j) p_{j0} (1 + \alpha_j x_k + \beta_j y_k) \quad (1)$$

ここで、 α, β, γ は正規分布 $N(m, \sigma)$ に従う乱数である。 α_j, β_j は、それぞれプロセスパラメータ p_j の x 成分、 y 成分に対する相対誤差を表し、 γ_j は絶対誤差を表す。

例えばプロセスパラメータの一つ、トランジスタの W (チャネル幅) と L (チャネル長) の場合、現実の素子における絶

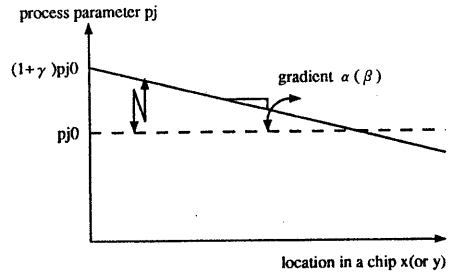


図 8: プロセスパラメータ変動モデル

対精度は 10% ($3\mu\text{m}$)、相対精度は 1% ($4\mu\text{m}$) 程度である。この場合、式 (1) の定数は、 α, β を $\pm 1.0 \times 10^{-4} \sim 1.0 \times 10^{-3}$ 程度、 γ を $\pm 0.1 = 10\%$ 程度の乱数としてモデル化する。

現在考慮しているプロセス変動は、

- MOSFET のチャネル長、チャネル幅
- MOSFET のしきい値電圧

である。

8 計算機実験結果

提案システムを、SUN SPARC station2 (28.5 MIPS) 上に C 言語を用いて実装した。そして、文献 [7] の CMOS2 段オペアンプ回路を用いて反転増幅回路のトランジェント解析を行った。使用した MOSFET のモデルは、SPICE3 における 4 レベルの MOS モデルのうちのレベル 2 である。仮定した CMOS プロセスの詳細は文献 [1] を参照されたい。設計オペアンプの回路図と素子の設計値をそれぞれ図 9、表 1 に示す。

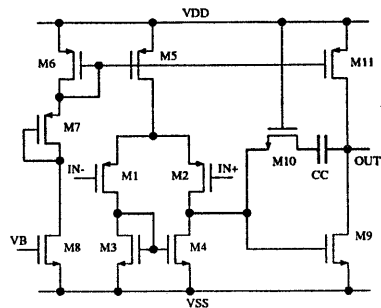


図 9: 設計オペアンプの回路図

表 1: CMOS2 段オペアンプの設計値

素子名	設計値 (W/L)	素子名	設計値 (W/L)
$M_1(P)$	250/2	$M_3(N)$	40/4
$M_2(P)$	250/2	$M_4(N)$	40/4
$M_5(P)$	40/4	$M_6(N)$	40/4
$M_7(P)$	3/12	$M_8(N)$	20/2
$M_{11}(P)$	80/4	$M_9(N)$	160/4
$M_{10}(N)$	5/6		

設計したオペアンプのレイアウト結果とトランジェント解析結果は、それぞれ図 10, 11 の通りである。

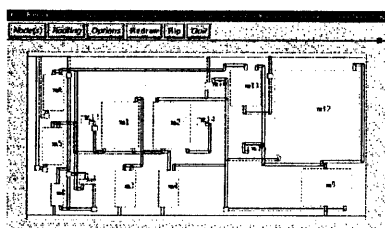


図 10: 設計オペアンプのレイアウト

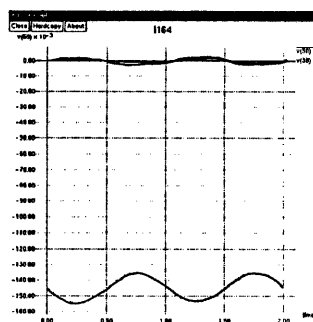


図 11: トランジェント解析結果

トランジェント解析においては、特に入力オフセット電圧の比較を行った。差動入力部を形成する 2 つの P-MOSFET の対称制約を考慮した場合とその制約を崩した場合では、後者の方が入力オフセット電圧が増加することが予想される。そこで本システムを用いて入力オフセット電圧の比較を行った結果を表 2 に示す。

これによると、アナログ制約によってオフセット電圧が大きく改善されており、本手法の有効性が実験的に確かめられた。配置処理からシミュレーションまで、全レイアウト設計工程に要した時間は、高々 1 時間ほどである。

表 2: オフセット電圧の比較

	寄生なし	対称制約	
		あり	なし
オフセット電圧	-4.3mV	-14.5mV	-37.6mV

9 むすび

本稿では、アナログモジュールを対象とした自動/対話型レイアウト設計システムを提案した。本システムは多様なアナログ制約に対応し、かつ自動/対話型アルゴリズムに基づいているので、設計者の要求を忠実に反映するレイアウトが設計可能である。今後の課題は、アナログ制約そのものの生成手法に関する研究や、回路設計段階との融合化などが考えられる。

謝辞

本研究を行うに当たり、貴重な御指導、御助言を賜りました本学電子通信学科の佐藤政生助教授に感謝いたします。

参考文献

- [1] P. R. Gray and R. G. Meyer. *Analysis and Design of Analog Integrated Circuits*. John Wiley and Sons, 1984.
- [2] 美馬健児ほか. バイポーラアナログ LSI のブロック内レイアウト CAD システム. 信学技報 VLD90-23, pp. 27-34, 1990.
- [3] Enrico Malavasi and Alberto Sangiovanni-Vincentelli. Area routing for analog layout. *IEEE Trans. Computer-Aided Design*, vol. CAD-12, No. 8, pp. 1186-1197, 1993.
- [4] 石川, 久保田, 佐藤, 大附. 改良線分展開法が多層化. 信学技報, VLD91-85, 1991.
- [5] 久保田和人, 石川拓也, 佐藤政生, 大附辰夫. 線分展開法を拡張した多層グリッドレス配線手法. 信学論 A Vol. J76-A No. 3 pp. 410-420, 1993.
- [6] Tomohiko Ohtsuka, Hiroaki Kunieda, and Mineo Kaneko. The improvement in performance-driven analog LSI layout system LIBRA. *IEICE Trans. Electron.*, Vol. E76-A, No. 10 pp. 1626-1635, 1993.
- [7] Valentino Liberali, Enrico Malavasi, and Davide Pandini. Automatic generation of transistor stacks for CMOS analog layout. in *Proc. IEEE Int. Symp. on Circ. and Syst.*, pp. 2098-2101, 1993.