

## CMOS LSI チップのスイッチレベルにおける 電力見積り精度について

石原 亨 安浦 寛人

九州大学 大学院総合理工学研究科 情報システム学専攻

〒816 福岡県春日市春日公園 6-1

E-mail: {ishihara, yasura}@is.kyushu-u.ac.jp

LSIの消費電力の見積りには、見積り精度と見積り速度のトレードオフから必要に応じてさまざまな方法が選択される。大規模かつ複雑な集積回路の見積りでは、見積り速度の高速化が求められるため、見積り精度が犠牲にされているのではないかという疑問が生じる。本稿では、消費電力の見積り精度について考察するために、(i) CMOSで構成された実LSIチップの消費電力測定、(ii) (i)と同じLSIの設計データからの電力見積り、(iii) 測定値と見積り値の比較、(iv) チップにおける個体差の測定。などの実験結果を報告する。スイッチレベルのシミュレーションにより設計データからかなり良い精度で電力を見積れる反面、同一設計でも消費電力の個体差が大きいことがわかった。

● 和文キーワード

CMOS LSI, 消費電力, スイッチレベルシミュレーション, 低電力回路設計,  
見積り精度

## On Accuracy of Switch Level Power Estimation for CMOS LSI Circuits

Tohru Ishihara Hiroto Yasuura

Department of Information Systems  
Interdisciplinary Graduate School of Engineering Sciences  
Kyushu University

6-1 Kasuga-koen, Kasuga-shi, Fukuoka 816 Japan

E-mail: {ishihara, yasura}@is.kyushu-u.ac.jp

In this paper, we discuss on accuracy of switch level power estimation for CMOS LSI circuits. Some researchers have proposed several efficient power estimation methods for CMOS circuits. However, we do not know how accurate they are because we have not established a method to compare the estimated results of power consumption with the actual power consumption. To consider on accuracy of switch level power estimation, we carried out experiments as follows: (i) Measuring power consumption of actual CMOS LSI. (ii) Estimating power consumption from switch level simulation. (iii) Comparing (ii) with (i). (iv) Examining about variance of power consumption of CMOS chips. In consequence, it is found out that the power estimation in switch level is accurate enough and the variance of power consumption of individual chip is not neglectable.

● 英文 key words

CMOS LSI, power consumption, Switch level simulation, Low power circuit design,  
Accuracy of power estimation

## 1 はじめに

近年、携帯電話やパーソナル用途のコンピュータなど携帯型情報機器の急速な普及にともないLSIの低消費電力化が世界的に重要な開発課題になっている。現在、携帯機器を駆動する電力供給源の主流となっているのはバッテリーである。携帯電話などではバッテリーまたは電池が最も重量及び容積を占める部品である。小型のバッテリーで長時間携帯機器を使用するために、集積回路の低消費電力化への要求が急速に増大してきた。

さらに、高速動作や素子密度の増大による発熱が、逆に更なる高集積化を制限するとともに、集積回路の寿命を短くする要因になりつつあり、集積回路の低消費電力化が急務の課題となってきている。

集積回路の低消費電力化が急速に要求されつつある中、設計段階から集積回路の消費電力を見積ることが重要になってきた。設計段階から電力を見積るうえで、例えば以下のようなレベルでのアプローチが考えられる。

1. トランジスタ数やチップサイズあるいは、論理回路から電力を見積る。
2. 入力信号のスイッチング確率から確率計算により各ノード毎のスイッチング確率を見積る。
3. 実際に、スイッチレベルのシミュレーションを行い、各ノード毎のスイッチング回数及び負荷容量から見積る。
4. SPICEなどのトランジスタレベルの回路シミュレーションにより電力を見積る。見積り時間は大きい。

見積り精度と見積り速度のトレードオフという観点から、スイッチレベルの電力見積りをベースにした見積り方法がいくつか紹介されている[6]。ところが、見積りの高速化が要求されると同時に集積回路の大規模かつ複雑化が進む中、見積りがどれだけ正確かということについてはまだまだ議論の余地がある。

そこで本稿では、スイッチレベルにおける設計段階からの電力見積りがどれだけ正確なのかという問題に対して、実際のCMOSプロセッサを使って消費電力の測定を行い、測定値と、設計データからのスイッチレベルにおける見積り値の比較を行った。

具体的には、2章で、CMOS LSIのように定常的に電力を消費しない集積回路における消費電力の測定方法を提案する。3章では、スイッチレベルのポストレイアウトシミュレーションにより電力の見積りを行う方法について説明する。4章では、教育用8ビットマイクロプロセッサKUE-CHIP2を利用して、測定結果と見積り結果の比較をおこなった。

## 2 CMOS LSIの電力測定

### 2.1 CMOS LSIにおける電力測定の現状と電力測定に関する一提案

CMOS構造を持つ回路では、デバイスの構造上DC回路あるいはAC回路とは異なり、定常的に電力を消費しない。こういった変動的に消費する電力を手軽に測定する一般的な方法は確立されていないというのが現状のようである。そこで、本節ではCMOSにおける電力消費のメカニズムについて説明し、電力測定の一手法を提案する。

#### 2.1.1 CMOS LSIにおける電力消費のメカニズム

CMOS構造を持つ典型的なインバータを例にとって、CMOS回路における電力消費のメカニズムについて説明する。CMOSインバータは図1に示したように、pMOSとnMOSが一組になって一つのゲートを構成している。

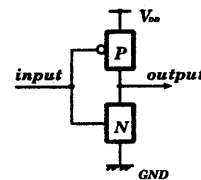


図1: CMOS インバータ

図1の回路構造で注目すべき点は、いずれの入力に対してでも $V_{DD}$ から $GND$ への経路はpMOSまたはnMOSのいずれかで遮断されるということである。これは、CMOSにおける低スタティック消費電力の基本である。つまり、CMOSにおいてはスイッチング時以外にはほとんど電力が消費されないということである。

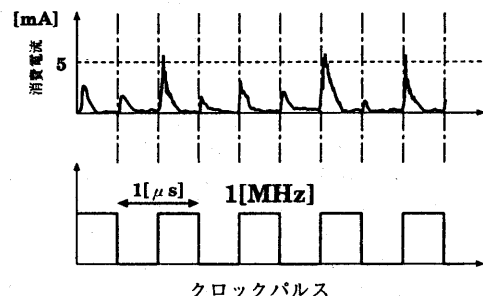


図2: CMOS LSIにおける消費電流の例

CMOSで構成された同期プロセッサでは、クロックの立上り後にスイッチングが集中するため、電力

が偏って消費される(図2)。このように定常的に電力を消費しない回路の電力を測定するための方法として考えられるものを次節で紹介する。

### 2.1.2 CMOS LSIの電力測定に関する一提案

CMOS LSIで消費される電力を実際に測定する方法として考えられる方法のうちいくつかを以下に挙げた。

1. 検流計またはオシロスコープを使って、消費電流を読みとる方法。
2. バッテリでの駆動時間を測定する方法。
3. コンデンサを電流の積分器として利用する方法。

これらの方法の問題点と、有効性について考察する。

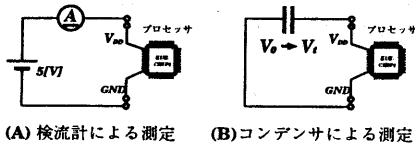


図3: 電力の測定例

1. 検流計またはオシロスコープを使って、消費電流を読みとる方法。

図3(A)に示したように検流計またはオシロスコープなどにより電力を測定する方法は、電気回路の電流測定においては最も基本的な測定方法である。しかし、測定対象がCMOSプロセッサなどのように定常的に電力を消費しない回路の場合、測定器は電流の変化に瞬時に追従し、測定器の内部抵抗によりプロセッサの動作環境を乱さないような工夫が必要である。したがって、検流計などにより電力の瞬時値を測定する場合は、計測器に高い性能が要求される。

2. バッテリでの駆動時間を測定する方法。

現在携帯機器を駆動する電源の主流はニッケルカドミウムや鉛蓄電池などのバッテリーや乾電池であるためバッテリーでのLSIの駆動時間を測定することにより電力を測定する方法が最も実用的である。ところが、バッテリーや乾電池は、電池の種類あるいは放電電流の大きさなど、バッテリーを使用する環境によって容量が大きく変化する[4]。したがって、バッテリーを利用した電力の測定は、LSIにおける消費電力

の評価とバッテリーの性能評価が混同される可能性がある。

3. コンデンサにより電荷量を測定する方法。

コンデンサは両端の電圧を測定することによりコンデンサからの電流の総流出量を測定することができる(図3(B))。コンデンサに充電される電荷量は、バッテリーと比較すると固定的である。ところが、コンデンサの静電容量は大きいものでも、10[F]程度である。10[F]とは、1[A]の電流を放電すると10秒で1[V]電圧が降下する容量である。したがって、消費電流が大きい回路の電力測定では、いくつかのコンデンサを並列に接続して測定する必要がある。さらに、コンデンサの電圧降下が被測定回路の動作環境に影響を与えないような工夫が必要である。

2.2節では上に記した方法の中で、電流の積分された値をコンデンサによって読みとる方法を提案する。

## 2.2 コンデンサを利用した電力測定

### 2.2.1 電荷量の積分値の測定

回路で消費される電力量 $J$ は、入力電圧を $V$ 、消費電流を $I$ とすると

$$J = V \times \int_0^t I dt \quad [J] \quad (1)$$

で表される。

また電源から流出した総電荷量を $Q$ とすると

$$J = V \times \int_0^t I dt = V \cdot Q \quad [J] \quad (2)$$

の関係式が成り立つ。

したがって、電源電圧が一定の時、電荷量 $Q$ を測定することにより消費電力量を計算する事ができる。

### 2.2.2 消費電力測定回路

電源の電圧を一定に保ちながら、電荷の流出量を測定するための回路を設計し図4に示した。

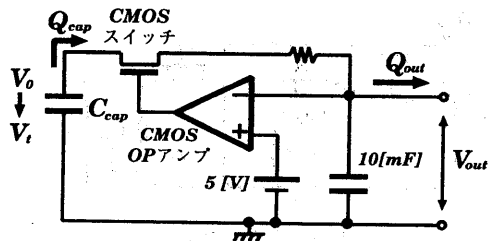


図4: 電荷量測定回路

図4の回路の特徴は、

- 出力端の電圧は一定 (5[V])、

OP アンプがアナログスイッチを制御することにより電源用コンデンサからの電流供給量をコントロールする。また、出力端と並列に接続されたコンデンサは、出力電流の需要に瞬時に応答し出力電圧にパルスがのらないようにするための平滑用コンデンサである。このコンデンサは、大量の電流需要にも追従できるように、容量の大きなものを使用した。

- 出力端から流出する電荷量  $Q_{out} \simeq$  コンデンサから流出した電荷量  $Q_{cap}$

OP アンプとアナログスイッチに CMOS の IC 素子を使用したためである。CMOS はバイポーラと違い、ゲートの電圧によって制御を行うため、ゲートからの電流は漏れ電流 (無視できる) のみである。

電源用コンデンサから流出する電荷量を  $Q_{cap}$ 、回路の出力から流出する電荷量を  $Q_{out}$  とすると、式 (3) に示すような近似式が成り立つ。ここで、 $C_{cap}$  は電源用コンデンサの容量である。

$$Q_{cap} = C_{cap}(V_0 - V_1) \simeq Q_{out} \quad (3)$$

測定回路の電圧は一定 (5[V]) に保たれているため、式 (3) より、電源用のコンデンサの容量と電圧の変動を正確に測定することにより、回路全体で消費された電力を測定することができる。

## 2.3 測定回路の信頼性と測定誤差について

本節では、2.2節で示した電力測定回路の信頼性を検証するための実験を行った。

### 2.3.1 抵抗による信頼性の検証

実際に測定回路を使って定期的に消費する抵抗の電力を測定することにより、測定誤差を調べた。測定は図5に示す回路を使用して行った。

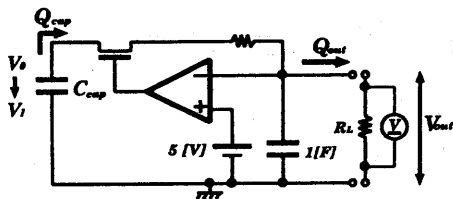


図5: 電荷量の比較

具体的には、負荷に 100[k $\Omega$ ] と 200[k $\Omega$ ] の抵抗を使い、電源用コンデンサが、9[V] から 7[V] に降下するまでの時間を測定した。この時間を  $t_{down}$  とする。また、電源用コンデンサの静電容量は別途測定した結果  $C_{cap} = 12.7[F]$  であった。したがって、 $Q_{cap}$  は、式 (4) で表される。

$$Q_{cap} = C_{cap} \cdot (9 - 7) = 25.4[C] \quad (4)$$

また、負荷抵抗  $R_L$  に流れ込む電荷量  $Q_{out}$  は、式 5 で表される。

$$Q_{out} = \frac{V_{out}}{R_L} \times t_{down}[C] \quad (5)$$

測定結果を6に示した。

平滑用コンデンサ [F]	1.0		0.01	
負荷抵抗 [k $\Omega$ ]	100	200	100	200
電圧降下時間 [sec]	509	1,017	507	1,015
抵抗での消費電荷量 [C]	25.45	25.42	25.35	25.38

図6: 電荷量の比較

式4より、電源用コンデンサから流出した電荷量は、25.4[C] である。測定の結果、 $Q_{cap}$  と  $Q_{out}$  の誤差は、 $\pm 1\%$  未満であった。

### 2.3.2 CMOS IC による信頼性の検証

本節では、定期的に消費しない電力を測定する場合の信頼性について検証するために、CMOS の IC 素子の電力を測定しデータブックのデータとの比較を行った。具体的には、2.2.2 節で述べた測定回路により、CMOS で構成された東芝製インバータと 4 ビットバイナリカウンタの電力消費を測定し、東芝製 IC 部品のデータブックに記載された値との比較を行った。図7に、そのグラフを示した。データブックの値と測定値の差は、インバータで 5% 未満、カウンタで 1% 未満であった。

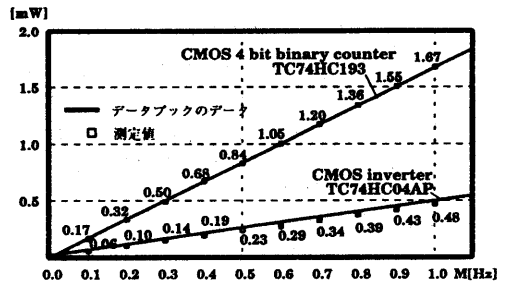


図7: CMOS IC の消費電力

### 3 シミュレーションによる CMOS LSI の電力見積り

システム全体を見通して LSI の低消費電力化を実現するために、設計段階からの電力見積りが必要になっている。本章では、見積り精度と見積り計算速度のトレードオフという観点から、スイッチレベル(ゲートレベル)のシミュレーションを利用した電力の見積り方法を検討する。

#### 3.1 シミュレーションによる電力見積りの現状

現在行われている電力の見積り方法には例えば以下のようなものがある。

1. トランジスタ数及びチップ面積あるいは論理回路の接続情報から電力を見積る [13].  
動作シミュレーションは行わないため高速。
2. 回路における各ノード毎のスイッチング確率を、ゲート毎の論理から計算することにより電力を見積る [5].  
動作シミュレーションは行わないため高速。
3. スイッチレベルのシミュレーションを行い、各ノード毎のスイッチング回数から見積る。  
比較的高速な動作シミュレーションを行う。
4. トランジスタレベルのシミュレーションを利用して電力を見積る [6].  
回路が複雑化してくると計算時間が多大。

#### 3.2 CMOS LSI における消費電力モデル

3.1 節で挙げた見積り方法の中でスイッチレベル(各ゲートのスイッチレベル)のシミュレーションを利用した見積り方法を検討するために電力を 3 種類のモデルに分類した。

- リーク電流による電力。…  $P_l$   
スイッチ OFF 時に漏れるリーク電流による電力。
- 直通パルス電流による電力。…  $P_s$   
スイッチング時に nMOS pMOS の両方もが短期間導通することによって発生する。
- 出力端の負荷容量を充電するとき消費される電力。…  $P_c$

#### 3.2.1 リーク電流による電力消費

リーク電流による総消費電力  $P_l$  は式 (6) により得られる。

$$P_l = \sum_{i=1}^{Tr \text{ の総数}} Tr(i) \text{ のリーク電流} \times \text{電源電圧} \quad (6)$$

この電力は 5V で動作するインバータでただだか 1~2[nW] である [8]。例えば 2 万トランジスタのプロセッサではリーク電流による消費電力は 0.1[mW] 程度ということになる。リーク電流による消費電力は式 7 で近似する。

$$P_l = \frac{(\text{トランジスタ数})}{2} \times 1.5 \text{ [nW]} \quad (7)$$

#### 3.2.2 直通パルス電流による電力消費

直通パルス電流の様子を図 8 に示した。

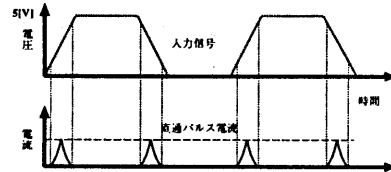


図 8: 直通パルス電流

配線遅延の大きい回路において直通パルス電流による電力は無視できない値となる。図 9 にインバータの入力信号の立上り(立下がり)時間と直通パルス電流による電力消費の関係を示した [9]。

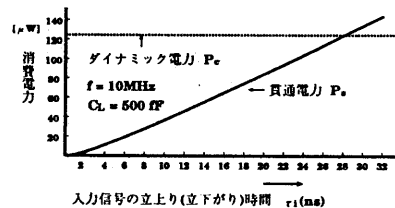


図 9: 直通パルス電流と入力信号遅延の関係

直通パルス電流は、入力信号の立上りもしくは、立下がり遅延時間に比例することがわかる。また、直通パルスのピーク値は、トランジスタの  $W$ (チャネル幅)/ $L$ (チャネル長)に比例する [11]。これは、直通パルスのピーク値がゲートの駆動能力に比例することを表している。これらを総合して、直通パルス電流による消費電力  $P_s$  を式 (8) のように推定した。

$$P_s = (\text{比例定数}) \times (\text{DRIVE数}) \times (\text{動作周波数}) \times (\text{入力信号の立上り遅延時間}) \times V_{DD}^2 \quad (8)$$

比例定数は、図9より  $0.17[\mu W/ns \cdot V^2]$  と推定した。また、入力信号遅延及び DRIVE 数については、セルライブラリのデータから計算することにより求めることができる。ただし、出力負荷は一定と仮定しているため負荷の変化による消費電力の変化を見積ることはできない。

### 3.2.3 出力負荷の充電電力

出力端の負荷容量を充電するのに必要な電力  $P_c$  は、三つの電力モデルの中で最も支配的な電力である。具体的に出力端の負荷容量とは図10に示したように、出力端に接続されたゲートの容量と、拡散容量、及び次のゲートまでの配線容量である。

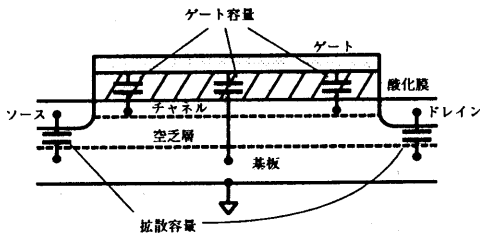


図 10: 出力端の負荷容量 (1)

一回のスイッチングで出力端の負荷容量を充電するための電力は、出力端の負荷容量を  $C_L$  とすると式 (9) で表される。

$$P_c = C_L \times V_{DD}^2 \quad (9)$$

レイアウトツールからゲート毎の出力負荷データ  $C_L(i)$  を受けとり、シミュレータから各ノード毎のスイッチング回数データ  $F_s(i)$  を受けとる。出力負荷を充電する電力  $P_c$  は式 10 により求める。

$$P_c = \sum_{i=1}^n C_L(i) \times F_s(i) \times V_{DD}^2 \quad (10)$$

ここで、 $n$  = ノード数 である。

## 4 KUE-CHIP2 を用いた測定値と見積り値の比較

本章では、教育用 8 ビットマイクロプロセッサ KUE-CHIP2 を利用して、実チップの消費電力の測定値とスイッチレベル(ゲートレベル)のシミュレーションによる見積り値を比較し、両者の値の差について考察を与える。

### 4.1 教育用 8 ビットマイクロプロセッサ KUE-CHIP2 の諸元

KUE-CHIP2(Kyoto University Education Chip2) は、大学などでの計算機教育のための教材として開発された 8 ビットのマイクロプロセッサである。KUE-CHIP2 は、ES2 社で製造され、 $1.2\mu m$  CMOS テクノロジーのスタンダードセル方式として実現されている [14]。また、メモリ部分はマクロセルとして実現されている。構造的には、極めて単純なアーキテクチャを持っており、計算機の基本構造と機能を学習するのに最低限の命令セットを持つ。

array area	$4.02 \times 3.19 = 12.84mm^2$
active chip area	$5.18 \times 4.38 = 22.65mm^2$
die size	$5.39 \times 4.59 = 24.70mm^2$

表 1: チップ面積に関する諸元

論理素子	1597 個
フリップ・フロップ	68 個
パッド	76 個
メモリ $8 \times 512$ ビット	1 個

表 2: セルに関する諸元

### 4.2 測定値と見積り値の比較および考察

本節では、KUE-CHIP2 の消費電力の測定値と見積り値の比較を行った。見積りに際しては、設計支援ツール(シミュレータやレイアウトツール)から出力された値とセルライブラリに記載された値を利用した [12]。ところが、フリップフロップに関してはセルのレイアウト情報がハードマクロになっているため、各動作毎の電力消費を計算するためのデータが得られなかった。そこで、プロセッサチップにおいてクロック入力だけが変化している状態での消費電力値から、フリップフロップのクロック入力のみによる消費電力を近似した。比較に際しておもに利用した入力命令は、以下の三種類である。

1. CLK  
プロセッサチップにおいてクロック入力だけが変化している状態。
2. NOP  
no operation つまり何もしない命令を無限に繰り返す命令である。
3. ADD  
 $16$  進数の FF と 01 を Acc(アキュムレタ) に加算しつづける命令である。

4. ADC  
桁上げを考慮した加算. 他は ADD と同じ.
5. ADC2  
ADC を 2 回実行して loop する.

#### 4.2.1 消費電力 (測定値) の周波数特性

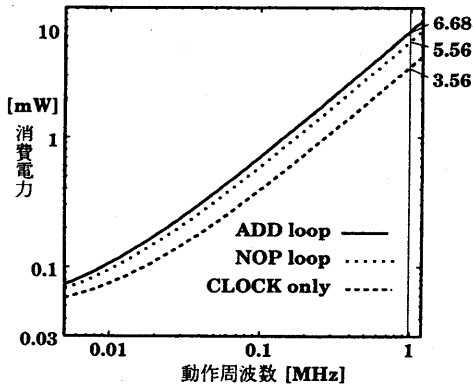


図 11: 消費電力 (測定値) の周波数特性

リーク電流による電力 (およそ 0.04mW) を切片として, 消費電力は周波数に比例する. このことからプロセッサチップの電力測定方法に誤りがないことがわかる.

#### 4.2.2 測定値と見積り値の比較

以下, 表 3,4,5,6,7,8 に示した値はプロセッサチップの動作周波数が 1[MHz] のときの値である.

表 3: 各電力モデルにおける消費電力

入力命令	A[mW]	B[mW]	C(%)
CLK	3.25	3.25	0
NOP	5.22	5.56	3.80
ADD	6.41	6.37	0.63
ADC	6.50	6.57	1.07
ADC2	6.58	6.65	1.05

- A: 消費電力の見積り値  
B: 消費電力の測定値  
C: 見積り誤差 =  $|測定値 - 見積り値| / 測定値$

見積り誤差は 4%未満であった.

#### 4.2.3 各電力モデルにおける消費電力

本稿では設計段階から消費電力を見積るために CMOS における消費電力を三つの電力モデルにモ

デル化した. モデル毎のシミュレーションによる見積り値と全消費電力の見積り値を表 4 に示した. モデル化が正しいかどうかの検証は行えなかった.

表 4: 各電力モデルにおける見積り値

入力命令	A	B	C	D
CLK	0.06	0.13	3.06	3.25
NOP	0.06	0.24	4.93	5.22
ADD	0.06	0.30	6.06	6.41
ADC	0.06	0.30	6.14	6.50
ADC2	0.06	0.30	6.22	6.58

- A: リーク電流による消費電力 [mW]  
B: 直通パルス電流による消費電力 [mW]  
C: 容量性負荷を充放電するための電力 [mW]  
D: 全消費電力 [mW]

#### 4.2.4 動作タイミングが消費電力に及ぼす影響

表 5: 測定環境の影響 1

入力命令	A(mW)	B(mW)	$ A - B (mW)$
CLK	3.546018	3.546018	0
NOP	5.522930	5.522144	$7.86 \cdot 10^{-4}$
ADD	6.711173	6.707340	$3.83 \cdot 10^{-3}$
ADC	6.801923	6.804612	$2.69 \cdot 10^{-3}$
ADC2	6.883422	6.885105	$1.68 \cdot 10^{-3}$

- A: ポストレイアウトシミュレーションを利用した時の電力  
B: 配線容量を考慮しないでシミュレーションした時の電力

表 6: 測定環境の影響 2

入力命令	swA(回)	swB(回)	$ A - B (回)$
CLK	39,056,668	39,056,668	0
NOP	101,260,000	101,140,000	120,000
ADD	143,330,000	143,053,328	276,672
ADC	141,103,344	140,913,344	190,000
ADC2	143,756,672	143,480,000	276,672

- swA: ポストレイアウトシミュレーションを利用した時の総スイッチング回数.  
swB: 配線容量を考慮しないでシミュレーションした時の総スイッチング回数.

動作タイミングが消費電力に及ぼす影響は 0.1%未満である. 消費電力を決定する最大の要素はトランジスタや配線の容量であるといえる. 比較的高速なシミュレータでも高精度の見積りが可能である.

#### 4.2.5 プロセッサ間の電力比較

三つの KUE-CHIP2 チップを利用してチップ毎に電力測定を行い、個体差を算出した。

表 7: KUE-CHIP2 におけるチップ間の電力比較

入力命令	電力の測定値 [mW]		
	チップ 1	チップ 2	チップ 3
CLK	3.56	3.25	3.16
NOP	5.56	5.43	5.20
ADD	6.68	6.37	6.53

表 8: KUE-CHIP2 におけるチップ間の個体差

入力命令	チップ間の個体差 (%)		
	1-2	2-3	3-1
CLK	8.71	2.77	12.66
NOP	2.34	4.24	6.92
ADD	4.64	2.51	2.30

1-2: チップ 1 とチップ 2 の個体差

2-3: チップ 2 とチップ 3 の個体差

3-1: チップ 3 とチップ 1 の個体差

[個体差 A-B (%)] =

$$|A \text{ の測定値} - B \text{ の測定値}| / A \text{ の測定値}$$

4.2.2 節では、シミュレーションにより 4% 未満の見積り誤差で電力の見積りが行えることを示した。さらに 4.2.4 節では、動作タイミングが消費電力に与える影響は 0.1% 未満であることを示した。ところが、見積り方法やシミュレーションの動作タイミングが消費電力に与える影響よりもチップの製造過程で生じるチップ間の個体差の方が大きいことがわかった。

## 5 おわりに

本稿では、教育用 8 ビットマイクロプロセッサ KUE-CHIP2 を利用して、実チップの消費電力の測定値と、シミュレーションデータからの電力見積り値の比較を行った。さらに、シミュレーションの動作タイミングが消費電力に与える影響およびチップ間の個体差についても考察を行った。マクロセルとして実現されていたフリップフロップの消費電力を除くと、4% 未満の見積り誤差で電力を見積ることができた。シミュレーションの動作タイミングが消費電力に与える影響は 0.1% 未満であった。ところが、見積り方法やシミュレーションの動作タイミングが消費電力に与える影響よりもチップの製造過程で生じるチップ間の個体差の方がはるかに大きいことがわかった。したがって、チップ間の個体差が改善されない限りこれ以上の見積り精度の向上は無意味な

結果となる可能性も否定できない。特に 4.2.3 節で示した電力モデルが正しいとすると、リーク電流や直通パルス電流による消費電力は全体の 10% 未満であるため、これらの電力見積りに関しては高い見積り精度の必要性は小さいといえる。

## 謝辞

KUE-CHIP2 の設計データをご提供いただいた京都高度技術研究所の神原弘之氏ならびに (株) テクノアライアンスの吉本琢也氏、ES2 の諸氏に感謝致します。また、電力の測定回路に関して御議論いただいた本学の笹田一郎助教授ならびに古賀文隆氏に深謝いたします。

## 参考文献

- [1] 藤田 稔, “ハード製作に役立つ測定器を作ろう,” 別冊トランジスタ技術 special, no12, pp.2-17, 1988 年 11 月.
- [2] 佐藤 守男, “電源の基礎知識・リニア方式とスイッチング方式のちがいがい,” トランジスタ技術 special, no28, pp.2-59, 1991 年 7 月.
- [3] 鈴木 雅臣, “FET 増幅回路を動かす,” トランジスタ技術 増刊トラ技 ORIGINAL, no5, pp.2-22, 1990 年 12 月.
- [4] 江田 信夫, “電池のいろいろ,” 別冊トランジスタ技術 電池活用ハンドブック, pp.6-10, 1992 年 6 月.
- [5] Chi-Ying Tsui, Massoud Pedram, Alvin M. Despain “Efficient Estimation of Dynamic Power Consumption under a Real Delay Model” ICCAD-93 pp.224-228.
- [6] Jiing-Yuan Lin, Tai-Chien Liu and Wen-Zen shen “A Cell-Based Power Estimation in CMOS Combinational Circuit” ICCAD-94 pp.304-309.
- [7] “集積回路技術資料 東芝 HS-C<sup>2</sup>MOS”, 東芝集積回路事業部
- [8] 草野 卓雄 監修 香山 晋 編 “超高速 MOS デバイス”, 培風館.
- [9] Veendrick, H.J.M., “Short-Circuit Dissipation of Static CMOS Circuitry and Its Impact on the Design of Buffer Circuits,” IEEE J. of SSC, SC-19, no.4, 1984, pp.468-473.
- [10] 富沢 孝・松山泰男 監訳 “CMOS LSI 設計の原理”, 丸善株式会社.
- [11] 編集・発行 ミマツデータシステム, “デバイス・部品・機器における低消費電力化技術”, 平成 5 年 12 月 20 日.
- [12] Europisn Silicon Structures, “Solo 1400 Reference Manual (Layout)”.
- [13] COMPASS Design Automation, Inc “Design Assistant”.
- [14] 越知, 澤田, 岡田, 上嶋, 神原, 濱口, 安浦, “計算機工学・集積化路工学教育用マイクロプロセッサ KUE-CHIP2”, 情報処理学会研究報告, 92-ARC-96-14, 1992 年 10 月.