

貫通電流を考慮する トランジスタサイジング手法

小島 直仁 山田 正昭 三橋 隆 後藤 宣之†
株式会社 東芝 半導体設計評価技術センター † 株式会社 東芝 研究開発センター
〒 210 川崎市幸区堀川町 580-1 〒 210 川崎市幸区小向東芝町 1
E-mail: kojima@dad.eec.toshiba.co.jp

あらまし

電子回路の消費電流はその大半を充放電電流が占めるが、回路の大規模化、高速化に伴い、貫通電流の存在を無視できなくなってきた。従来のトランジスタサイジング手法は充放電電流を最小化の目的としていたが、本報告では、充放電電流のみならず貫通電流をも考慮する新トランジスタサイジング手法について計算機実験結果を合わせて報告する。

キーワード トランジスタサイジング、貫通電流、充放電電流、消費電流、凸関数、非線形計画法

Power-Optimal Transistor Sizing Incorporating Short-Circuit Effect

Naohito Kojima Masaaki Yamada Takashi Mitsuhashi Nobuyuki Goto†
Semiconductor DA & Test Engineering Center, † R & D Center, Toshiba Corporation
Toshiba Corporation
580-1, Horikawa-cho, Saiwai-ku, 1, Komukai Toshiba-cho, Saiwai-ku,
Kawasaki 210, Japan Kawasaki 210, Japan
E-mail: kojima@dad.eec.toshiba.co.jp

Abstract

A new transistor sizing method which optimizes the current dissipation of logic circuits is proposed in this paper. Experimental results show that this new method reduces the total current dissipation along a path about 5% further than the previous sizing methods by considering the temporary short circuit in switching.

key words transistor sizing, short-circuit, current dissipation, posynomial, convex programming

1 はじめに

近年 ASIC の低消費電力化が声高に叫ばれており、これに対する ASIC 設計段階からのアプローチのひとつとして、トランジスタレベルで回路を設計する手法 [1] が研究されている。

既成のライブラリ・セルを組み合わせる回路を設計するセルレベル設計手法に比べ、トランジスタレベル回路設計には以下のような利点がある。

- 回路の動作を保証した上で、各トランジスタの大きさを最小化できる。セルレベル設計におけるセル内のトランジスタの大きさは、ある程度動作マージンを見込んだ大きさであるため、レイアウト面積、消費電力が必要以上に大きい。

各トランジスタのゲート幅をでき得る限り縮小することでトランジスタの寄生容量を小さくし、それによって回路の充放電電流を小さくできる。

上記で述べたトランジスタサイズの最小化とは、回路内の全てのバスの信号伝搬遅延を指定されたスペック以内に抑えながら、回路中のトランジスタサイズを規格内で変化させ、かつ、トランジスタサイズの合計をでき得る限り小さくすることである。これを定式化すると以下の非線形問題になる。

目的: トランジスタサイズ合計の最小化

制約条件: 全バスの信号伝搬遅延が仕様を満たす
各トランジスタサイズが規格内である

既に発表されているトランジスタサイジング手法としては、大別して上記の数式を非線形計画法を用いて解く手法 [3] [4] [5] [6] [7] と、[1] や Dunlop が発表した TILOS[2] で採用されているヒューリスティックな手法がある。

前者が、最適解が得られるが処理時間が著しく長い、という特徴を持つのに対して、ヒューリスティックな手法は必ずしも最適とは限らないが(もちろん最適解が得られる時もある)実用上問題のない解を非常に短時間で得られる、という特徴を持つ。ヒューリスティックなトランジスタサイジング手法の処理を図 1 を用いて説明する。

まず最初に全トランジスタを許容最小サイズに初期化する。次にクリティカルパスを抽出し、その信号伝搬遅延がスペック以内の場合はそこで処理を終了し、そうでない場合には次の処理へ進む。クリティカルパ

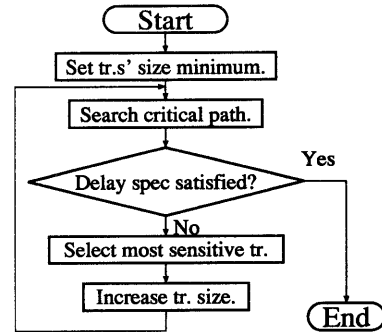


図 1: ヒューリスティックなトランジスタサイジング処理の流れ

ス上のトランジスタのうち、ゲート幅を微小量 (Δw) だけ増加させた時の信号遅延改善量 (Δt) を計算し、 $\Delta t / \Delta w$ が最大の (これを「最も sensitive である」と呼ぶ) トランジスタを選び、 Δw だけ幅を大きくする。規格内のトランジスタサイズで信号遅延を改善しきれない場合はそこで処理は終了である。以降、再度クリティカルパスを抽出し以上に述べた処理を繰り返す。

以上の処理をすることで、回路の充放電電流を最小化できる。文献 [2] では回路の消費電流の大部分は充放電電流で占められると仮定していたため、上記サイジング手法によって回路の低消費電力化が実現できるとされていた。しかし、電気回路の消費電流中で充放電電流に次いで大きな割合を占める貫通電流 [8][9][10][11] が、回路の高速化、低消費電力化に伴って無視できないものになってきており、さらに、トランジスタサイジングを行うことでトランジスタのゲート幅が小さくなり、全消費電流に占める貫通電流の割合が一層大きくなっている。回路によっては貫通電流が全消費電流の数十%を占めることもあり、また信号遅延制約や充放電電流のみを考慮に入れて不適切なトランジスタサイジングを行ってしまった結果として信号の立ち上がり / 立ち下がり時間が増大してしまい、さらに貫通電流が大きくなってしまいうこともある。従って、低消費電力を目指すトランジスタサイジングにおいては、貫通電流を考慮することが必要であり、先の非線形問題のようにトランジスタサイズの合計の最小化を目的にするのではなく、回路の消費電流の最小化を目的にすることが必須条件となる。

次節以降、回路の消費電流として充放電電流のみならず貫通電流をも考慮するヒューリスティックなトラ

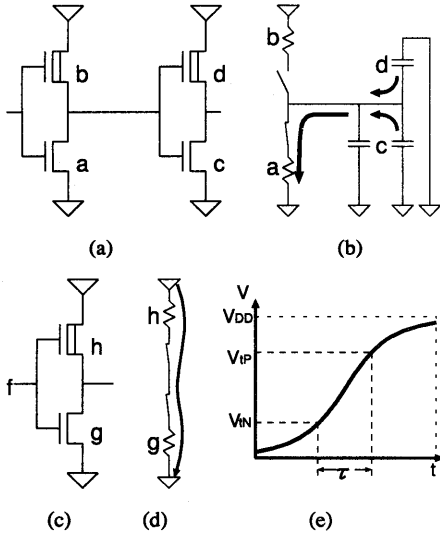


図 2: 充放電電流と貫通電流の説明図

ンジスタサイジング新手法について述べる。

2 貫通電流を考慮するトランジスタサイジング手法

2.1 信号遅延と電流消費の数式化

この節では、信号遅延と電流消費をトランジスタサイズの関数として数式化する。

[2]と同様に図 2(a)の回路を図 2(b)のように RC モデルの等価回路として考えると、R、C がそれぞれトランジスタサイズに反比例および比例するので、回路の信号遅延はトランジスタサイズの関数として次のように表現される。

$$\sum a_{ij}x_i/x_j + \sum b_i/x_i, \quad (1)$$

ここに、 x_i 、 x_j は各トランジスタのサイズであり、 a_{ij} 、 b_i はそのほとんどが 0 である非負定数である。式 1 は x_i の対数 ($\log x_i$) を変数とする凸関数であることがわかる。このような性質を **posynomial** といい、非線形計画法 [12] で最適解を求めることができる。

次に、図 2(a)、(b) を参照して充放電電流について説明する。nMOS トランジスタ a が OFF→ON になったとき、次段の負荷容量に蓄えられている電荷がトランジスタ a を通じて放電する。このとき消費される総エネルギーは負荷容量の大きさに比例する。負荷容量は

次段の配線容量とそれに接続するトランジスタの寄生容量の和であり、トランジスタの寄生容量はトランジスタサイズに比例する。以上は放電電流の場合であるが、充電電流も同様である。すなわち、充放電電流は次のように表される。

$$c \sum x_i + d. \quad (2)$$

c 、 d は非負の定数である。

したがって、回路で消費される充放電電流は、トランジスタのサイズの総和に比例する部分と定数部分からなり、**posynomial** である。

文献 [9][10][11] より、CMOS インバータ回路における充放電電流 (I_d) は以下のように表される。

$$I_d = C_L V_{dd} f \quad (3)$$

但し、 C_L : インバータの駆動する負荷容量、 V_{dd} : 電源電圧、 f : 動作周波数である。

次に貫通電流について説明する。図 2(c) のような CMOS 回路がスイッチングするとき、点 f の電位が図 2(e) のように傾きをもって遷移するので、電位が nMOS のスレッシュホールド電位 V_{iN} を超えて pMOS のスレッシュホールド電位 V_{iP} に達するまでの時間 (τ)、nMOS トランジスタ g と pMOS トランジスタ h が同時に導通状態になる (図 2(d) 参照)。この時トランジスタ g 、 h を貫いて流れる電流が貫通電流である。

貫通電流は τ に比例し、トランジスタ g 、 h の等価抵抗の和に反比例するとみなせる。また τ は回路の遅延時間に比例することに注目すれば、貫通電流は以下のように表すことができる。

$$\sum f_{ijkl} x_i x_k x_l / x_j (x_k + x_l) + \sum g_{ikl} x_k x_l / x_i (x_k + x_l). \quad (4)$$

ここで f_{ijkl} 、 g_{ikl} は非負の定数である。分母にトランジスタサイズの和が含まれているので、貫通電流は **posynomial** ではなく、非線形計画法を用いても最適解を求められる保証がない。

文献 [9][10][11] より、CMOS インバータ回路における貫通電流 (I_{scp} (充電時)、 I_{scn} (放電時)) は以下の式で表せる。

$$I_{scp} = C_L V_{dd} d_p \cdot \left[\frac{d_n}{24} (1 - v_{pl} + p)(v_{pl} - n)^4 \right]$$

$$I_{scn} = C_L V_{dd} d_n \left[\frac{d_p}{24} (v_{nl} - n)(1 + p - v_{nl})^4 + \frac{d_p}{120} (1 + p - v_{nl})^5 - \frac{d_n^2}{504} (v_{pl} - n)^7 + \frac{1}{6} (1 - v_{pl} + p)^3 \right] \quad (5)$$

$$I_{scn} = C_L V_{dd} d_n \left[\frac{d_p}{24} (v_{nl} - n)(1 + p - v_{nl})^4 + \frac{d_p}{120} (1 + p - v_{nl})^5 - \frac{d_n^2}{504} (1 + p - v_{nl})^7 + \frac{1}{6} (v_{nl} - n)^3 \right] \quad (6)$$

但し、 d_p 、 d_n は定数であり、 $d_p = k_p V_{dd} / s C_L$ 、 $d_n = k_n V_{dd} / s C_L$ である。この時 k_p 、 k_n はトランジスタのコンダクタンスに比例するパラメータ (device transconductance parameter)、 s は入力信号のスリューレイト (slew rate [V/時間]) である。 n 、 p は各トランジスタのしきい値 V_{THn} 、 V_{THp} を V_{dd} で割って正規化したもの、 v_{nl} 、 v_{pl} はゲートの各トランジスタが飽和領域から線形領域に移行する時の入力電圧の正規化である (詳細は [10])。

負荷容量 C_L は配線容量とトランジスタの寄生容量の和であることに注目すれば、式 4 においてトランジスタサイズの和が分母に位置することが理解できる。

以上より、貫通電流を考慮に含める限り、非線形計画法を用いても回路の消費電流を最小にできる保証はなく、実用性を考えると、充分実用的な解を非線形計画法よりも高速に求めるヒューリスティックな手法が極めて有効である。

2.2 貫通電流を考慮するトランジスタサイジング手法の処理手順

図 3 に、本報告におけるトランジスタサイジング手法の処理手順のフローチャートを示す。

本手法は大きくわけて 2 段階の処理からなる。第 1 段階 (図 3 の最初のループ) では、回路の消費電流を最小化する。次に、第 2 段階 (図 3 の 2 番めのループ) では、消費電流の増加を最小限に抑えながらトランジスタサイズを変化させて、信号遅延制約を満足させる。以下に、各段階での処理を詳しく述べる。

第 1 段階では、全トランジスタサイズが各々の指定最小サイズに初期化される。各トランジスタの最小サイズは独立して指定可能である。例えば、最終段のトランジスタは大きな負荷容量を駆動する必要があるため、あらかじめ最小サイズは他のトランジスタより大

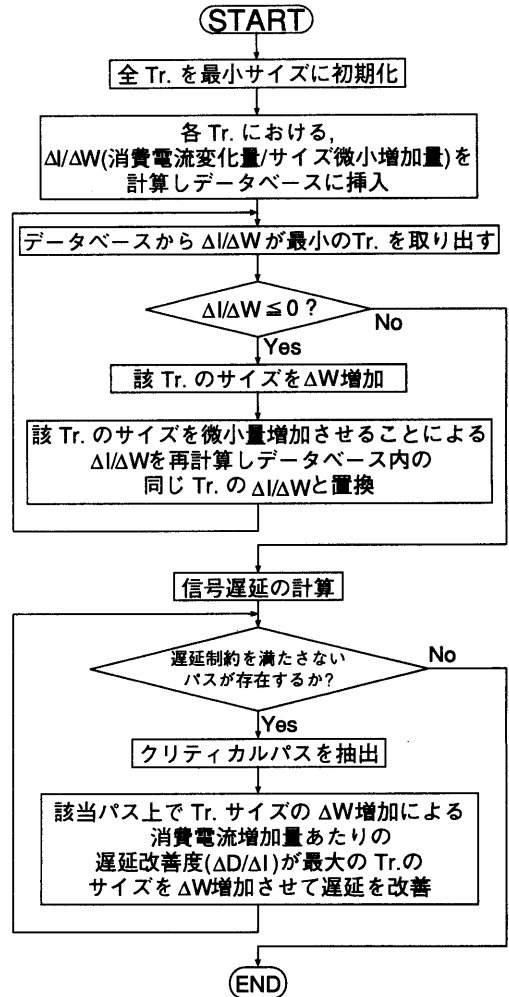


図 3: 貫通電流を考慮するトランジスタサイジング処理のフローチャート

きく指定される。以上の通りトランジスタサイズが初期化された状態では充放電電流は最小となる。が、例えば相対的に小さいトランジスタが大きな負荷容量を駆動しなければならない部分では次段の入力信号のスリューレイトが緩慢になってしまうため、次段のトランジスタを流れる貫通電流が大きくなってしまふ。そこで、全消費電流を最小にするために必要なトランジスタサイズを最小サイズより大きくする。以上の処理により、回路の消費電流を最小にすることができる。

続く第 2 段階で、信号遅延制約が満たされる。クリ

ティカルパスの信号遅延を改善するために、クリティカルパス上のトランジスタサイズを拡大する。しかし、同時に消費電流も大きくなってしまったため、サイズ拡大による消費電流増加量 ΔI あたりの信号遅延改善量 ΔD が最大のトランジスタを選び、サイズを拡大する。上記の処理を、信号遅延制約が満たされるまで繰り返す。

以上説明したように、まず最初に消費電流が最小になるようなトランジスタサイズの組合せを実現しておく、その後消費電流の増加が最小になるようにトランジスタサイジングをして遅延制約を満足させるようにしているため、消費電流を最小限にしたトランジスタサイジング結果が得られる。

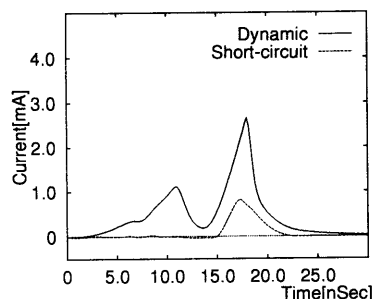
3 計算機実験結果

本報告で述べた、貫通電流を考慮するトランジスタサイジング手法と、従来手法の計算機による比較実験結果を以下に示す。

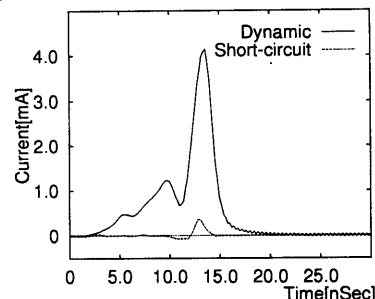
実験には GateArray をオリジナルとする 3,000 トランジスタのランダムロジックモジュールを用いた。

新トランジスタサイジング手法の従来手法と比較した消費電流削減効果を確認するため、等しい信号遅延制約を与えて両手法でサイジング処理を行った結果に対して、SPICE によるシミュレーションを行って消費電流を調べた。回路モジュール内のあるパスを取り出し、このパスを活性化するような入力を与えて、全ゲートと電源及びアースの間の電流を充放電電流と貫通電流に分けて測定した。パスの始点に信号入力があったから、終点の電位が安定するまでの時間、電流が測定できることになり、そのパスの信号伝搬遅延がわかる。

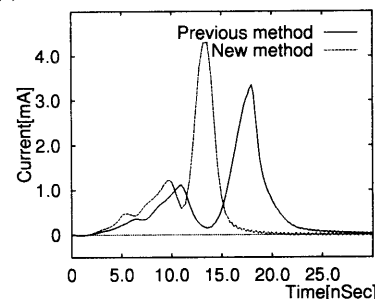
この時の消費電流をグラフ化したのが図4である。図4(a)は従来手法による結果であるが、実線で示されている充放電電流と比較して、破線の貫通電流の割合がかなり大きくなっている。これに対して新手法(図4(b))では、充放電電流の最大値は大きくなっているが、それと同時に貫通電流が大きく減少していることが容易にわかる。新手法と比べて従来手法の結果は信号伝搬遅延が大きいのが、これは、与えられた信号遅延制約の中で最大限信号遅延を大きく残しているため、パス上の信号の立ち上がり/立ち下がり時間が不適当に大きくなってしまっていることによる。それと比較し



(a) 充放電電流と貫通電流の比較 (従来手法)



(b) 充放電電流と貫通電流の比較 (新手法)



(c) 総消費電流の比較

図4: 各トランジスタサイジング手法による消費電流の SPICE シミュレーション結果

て新手法では、遅延制約を満足するのみならず、さらにトランジスタサイズを改善して貫通電流を削減し、パス全体の消費電流を最小化していることがわかる。

充放電電流と貫通電流の和を用いて従来手法と新手法の比較をしてみると(図4(c))、新手法の方が約5%電流量が小さくなっている。通常貫通電流が全消費電流に占める割合(約20%以下)を考えると、以上の結果は今後の低消費電力回路設計において極めて有効であると考えられる。

4 おわりに

貫通電流を含む消費電流を考慮する新トランジスタサイジング手法を考案し、これについて述べた。今後のASICの低消費電力化に対応するには、トランジスタサイズ合計の最小化のみならず、回路の消費電流の最小化を第一目的とする、本報告の新手法の存在が重要となってくるものと思われる。

今後は新手法を実際のチップに適用し、評価を行っていく。

参考文献

- [1] Yamada, M., Kurosawa, S., Nojima, R., Kojima, N., Mitsuhashi, T., Goto, N., "Synergistic Power/Area Optimization with Transistor Sizing and Wire Length Minimization", in *Proc. 1994 Symposium on Low Power Electronics*, pp.50-51, 1994.
- [2] Fishburn, J. P., Dunlop, A. E., "TILOS: A posynomial programming approach to transistor sizing", in *Proc. 1985 International Conference on Computer-Aided Design*(Santa Clara, California), pp.326-328, 1985.
- [3] Hedlund, K. S., "Aesop: A Tool for Automated Transistor Sizing", in *Proc. 1987 Design Automation Conference*, pp.114-120, 1987.
- [4] Cirit, M. A., "Transistor Sizing In CMOS Circuits", in *Proc. 1987 Design Automation Conference*, pp.121-124, 1987.
- [5] Marple, D., "Transistor Size Optimization in the Tailor Layout System", in *Proc. 1989 Design Automation Conference*, pp.43-48, 1989.
- [6] Hoppe, B., Neuendorf, G., Schmitt-Landsiedel, D., "Optimization of High-Speed CMOS Logic Circuits with Analytical Models for Signal Delay, Chip Area, and Dynamic Power Dissipation", in *IEEE Trans. Computer-Aided Design*, vol.9, no.3, pp.236-247, Mar. 1990.
- [7] Sapatnekar, S. S., Rao, V. B., Vaidya, P. M., Kang, S., "An Exact Solution to the Transistor Sizing Problem for CMOS Circuits Using Convex Optimization", in *IEEE Trans. Computer-Aided Design*, vol.12, no.11, pp.1621-1634, Nov. 1993.
- [8] Veendrick, H., "Short-Circuit Dissipation of Static CMOS Circuitry and Its Impact on the Design of Buffer Circuits," *IEEE Journal of Solid-State Circuits*, Vol.SC-19, No.4, pp.468-473, 1984.
- [9] Hedenstierna, N., Jeppson, K. O., "CMOS Circuit Speed and Buffer Optimization", in *IEEE Trans. Computer-Aided Design*, vol.CAD-6, no.2, pp.270-281, Mar. 1987.
- [10] Al-Khalili, A. J., Zhu, Y., Al-Khalili, D., "A Module Generator for Optimized CMOS Buffers", in *IEEE Trans. Computer-Aided Design*, vol.9, no.10, pp.1028-1046, Oct. 1990.
- [11] Hedenstierna, N., Jeppson, K. O., "Comments on "A Module Generator for Optimized CMOS Buffers"", in *IEEE Trans. Computer-Aided Design*, vol.12, no.1, pp.180-181, Jan. 1993.
- [12] Ecker, J. G., "Geometric Programming: Methods, Computations and Applications," in *SIAM Review* Vol. 22, No. 3, pp.338-362, 1980.