

## AC歩留まり予測

平林莞爾

東芝研究開発センター  
ULSI研究所  
〒210 川崎市幸区小向東芝町1  
TEL:044-549-2073 FAX:044-549-2266  
E-mail:hirabaya@ull.rdc.toshiba.co.jp

あらまし

同期回路の全ての有効パスの設計時での遅延時間の分布とその遅延時間が製造プロセスによって増加する確率の分布が既知であるとしてプロセス後のパス遅延時間の分布を求め、この分布からAC歩留まりを計算する。設計時でのパス遅延時間分布は実測できるが、ここではガウス分布で近似する。プロセスによるパス遅延時間増加の確率分布は指数関数で展開し、CMOS GAについての遅延故障データと矛盾しないように決定する。これにより、ACテストのクロック周波数が一定の値より小さい場合は設計時でのパス遅延時間のばらつきを小さく抑えた方が歩留まりが上がるが、クロック周波数が高い場合は逆になる等、AC歩留まりの解析、予測の可能性を示す結果が得られた。

キーワード

ACテスト、遅延故障、歩留まり解析、同期回路、指数分布

### AC YIELD PREDICTION

Kanji Hirabayashi

Toshiba R & D Center  
ULSI Laboratory  
1, Komukai Toshibacho  
Saiwaiku, Kawasaki, 210 Japan  
TEL: +81-44-549-2073  
FAX: +81-44-549-2266  
E-mail: hirabaya@ull.rdc.toshiba.co.jp

Abstract

Assuming that the distribution of path delays introduced by variations in the manufacturing process is a combination of exponential functions, AC yield is calculated for synchronous circuits. Each exponential function corresponds to variations in process parameters, foreign material caused shallow diffusion, resistive metal open, and so on. The distribution of designed path delays is assumed to be gaussian. Only below a certain value of the clock frequency of AC test, the yield is shown to be higher for smaller variances of the distribution. For higher frequencies the result is inverse.

key words

AC test, delay defect, yield analysis,  
synchronous circuits, exponential distribution.

## 1. はじめに

歩留まり予測は歩留まり解析を前提とする。従来、ファンクション歩留まりは欠陥と、またAC歩留まりはプロセスパラメタのばらつきと関連づけられてきたが、前者がチップ面積や欠陥密度をもとにして解析されているのに対し、後者については定量的な議論が始まったばかりである。

同期回路に対しては、全ての有効なパスの設計時の遅延時間の分布とその遅延時間が製造プロセスによって増加する確率の分布からプロセス後のパス遅延時間の分布を求め、この分布からAC歩留まりを計算する方法が有望と思われる[1]。同期回路では図1に示すように信号の伝搬パスを外部入力からF/F(z1)、F/FからF/F(z2)、F/Fから外部出力(z3)のように分類することができる。

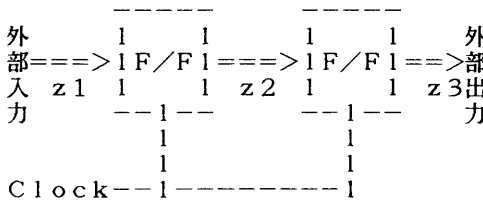


図1. 同期回路の信号伝搬パス。

これらのパスを信号が伝搬するのに要する時間をパス遅延時間と呼ぶことにする。プロセス後のチップ内の全ての有効なパスについて遅延時間がわかっているものとして、その統計的な分布を考える。パス遅延時間がzとz+dzの間にある確率をh(z) dzとすれば

$$\int_0^{\infty} h(z) dz = 1.$$

ACテストのクロックの周期をTとすれば、AC不良の発生する確率はzがTを越える確率と考えられるから

$$\int_T^{\infty} h(z) dz$$

になる。したがってAC歩留まりY (%)は

$$Y = 100 - 100 \int_T^{\infty} h(z) dz \quad (1)$$

で与えられる。

## 2. パス遅延時間のモデル

パス遅延時間は設計時の値がプロセスパラメタのばらつきやプロセス不良によって変化を受けると考えられる。設計時の値xがプロセスでy増加してzになったとすれば

$$z = x + y.$$

パス遅延時間の分布h(z)は設計時の値の分布f(x)とプロセスによる増加の確率分布g(y)とから

$$h(z) = \int_{-\infty}^{\infty} f(x) g(y) dx \\ = \int_{-\infty}^{\infty} f(x) g(z-x) dz \quad (2)$$

のように表すことができる。

Williamsらはf(x)とg(y)を共にガウス分布であると仮定した[1]。この場合h(z)もガウス分布になるが、図2に示すようにBulaらが測定したCMOS GAのパス遅延時間の分布とは掛け離れている[2]。

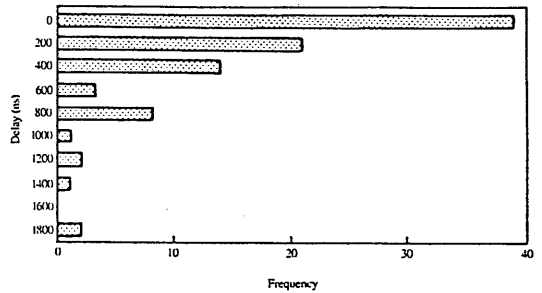


図2. CMOS GAでのパス遅延時間の分布[2]。

Bulaらによればクロック周期(120ns)の10倍以上のパス遅延時間が観測されているが、大きな遅延故障の原因としては抵抗性メタルオープン(Tiを下敷きにしたA1配線でA1だけが切れた状態)と拡散不良による浅い接合が同定されている。そこでプロセスによるパス遅延時間の増加の確率分布を

$$g(y) = \sum_i \alpha_i \lambda_i e^{-\lambda_i y}, \quad y > 0 \\ = 0, \quad y < 0 \quad (3)$$

$$0 \leq \alpha_i \leq 1, \quad \sum_i \alpha_i = 1.$$

のように仮定する[3]。λ<sub>0</sub><sup>-1</sup> < λ<sub>1</sub><sup>-1</sup> < λ<sub>2</sub><sup>-1</sup>は時間の次元を持つパラメタであるが、それぞれ、プロセスパラメタのばらつき、拡散不良、抵抗性メタルオープンに対応すると想定している。設計時のパス遅延時間分布f(x)はレイアウトデータから算出することもできるが、ここではガウス分布で近似し

$$f(x) = \frac{1}{\sqrt{2\pi}\sigma} e^{-\frac{(x-\mu)^2}{2\sigma^2}} \quad (4)$$

とする。

$\mu$  は設計時のパス遅延時間の平均値であり  $\sigma$  は標準偏差である。(2)、(3)、(4)式からプロセス後のパス遅延時間分布は

$$h(z) = \frac{1}{2} \sum_i \alpha_i \lambda_i e^{\lambda_i(\mu - z + \sigma^2 \lambda_i / 2)} \operatorname{Erfc}\left(\frac{\mu - z + \sigma^2 \lambda_i}{\sqrt{2} \sigma}\right), \quad (5)$$

で与えられる。ここで

$$\operatorname{Erfc}(x) = \frac{2}{\sqrt{\pi}} \int_x^{\infty} e^{-t^2} dt, \quad (6)$$

としてある。さらに(1)、(5)式からAC歩留まりは

$$Y = 100 - 50 \sum_i \alpha_i e^{\lambda_i(\mu - T + \sigma^2 \lambda_i / 2)} \operatorname{Erfc}\left(\frac{\mu - T + \sigma^2 \lambda_i}{\sqrt{2} \sigma}\right) - 50 \operatorname{Erfc}\left(\frac{T - \mu}{\sqrt{2} \sigma}\right), \quad (7)$$

のようになる。(5)式から  $h(z)$  の  $z$  依存性は  $z - \mu$  によって決まり、(7)式から  $Y$  のクロック周期  $T$  に対する依存性は  $T - \mu$  によって決まることがわかる。

### 3. 数値解析例

図2のパス遅延時間分布を対数プロットして、分布の裾野の形を再現するように(3)式の  $\alpha_i$  と  $\lambda_i$  を決めることにする。パス遅延時間の小さい領域での図2の精度は悪いということなので[2]、 $\alpha_0$ 、 $\lambda_0$  は未定のままとして、 $\lambda_1$ 、 $\lambda_2$  と  $\alpha_1/\alpha_2$  を決めると、任意性はあるが、

$$\begin{aligned} \lambda_1^{-1} &= 130 \text{ (ns)} \\ \lambda_2^{-1} &= 760 \text{ (ns)} \\ \alpha_1/\alpha_2 &= 9 \end{aligned} \quad (8)$$

となる。図3は(7)式のAC歩留まり  $Y$  を  $T - \mu$  (クロック周期 - 設計時のパス遅延時間の平均値) を横軸としてプロットしたものである。 $\lambda_0^{-1} = 2 \text{ (ns)}$  として、 $\alpha_0 = 1$  (したがって  $\alpha_1 = \alpha_2 = 0$ ) の場合と  $\alpha_0 = 0.3$  (したがって

$\alpha_1 = 0.63$ 、 $\alpha_2 = 0.07$ ) の場合について  $\sigma$  (設計時のパス遅延時間の標準偏差) をパラメータとしている。図3で特徴的な点は  $\sigma = 1 \text{ ns}$  に対する  $Y$  と  $\sigma = 10 \text{ ns}$  に対する  $Y$  の大小関係が  $T - \mu$  のある値を境にして逆転することである。境目は  $T - \mu \approx 0.5 \lambda_0^{-1}$  にあり、クロック周期がこれよりも大きい場合は設計時にパス遅延時間のばらつきを小さく抑えた方がAC歩留まりが上がるが、クロック周期がこれよりも小さな場合は逆になるということである。

また設計の際の目安として、保証できるクロックの周期を  $\mu + 4\sigma$  とすることは  $\sigma = 10 \text{ ns}$  なら妥当であるが、 $\sigma = 1 \text{ ns}$  のように切り詰めた設計では歩留まりを保証できないことになる。

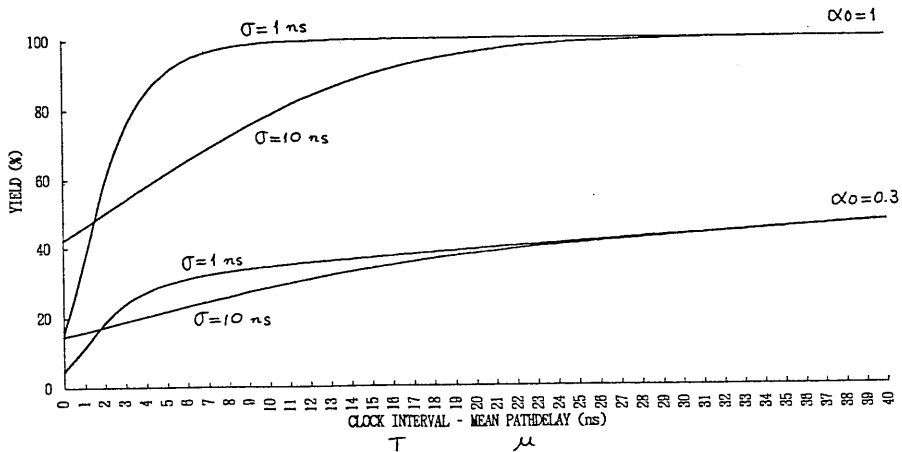


図3. AC歩留まり:  $\lambda_0^{-1} = 2 \text{ ns}$

図3において $\alpha_0$ と $\sigma$ はそれぞれ1, 0.3、および1 ns, 10 nsのように2点のデータしか示していないが、2点間で値を変えた場合は2本の曲線の間を連続的に変化するというのである。 $\alpha_0=0.3$  (したがって $\alpha_1=0.63$ ,  $\alpha_2=0.07$ )は拡散不良や抵抗性メタルオープンの発生確率を大きくして、その影響を強調したものである。この場合は設計による歩留まり改善には明らかに限界がある。

プロセスパラメタのばらつき具合を表す $\lambda_0^{-1}$ は図3では2 nsとしたが、図4では10 nsとしてある。他のパラメタは図3と同じである。図3と図4を比べれば、プロセスパラメタのばらつきを増すことによりYは減少するが、 $\sigma=1$  nsに対するYと $\sigma=10$  nsに対するYの大小関係の逆転は依然として起こることがわかる。

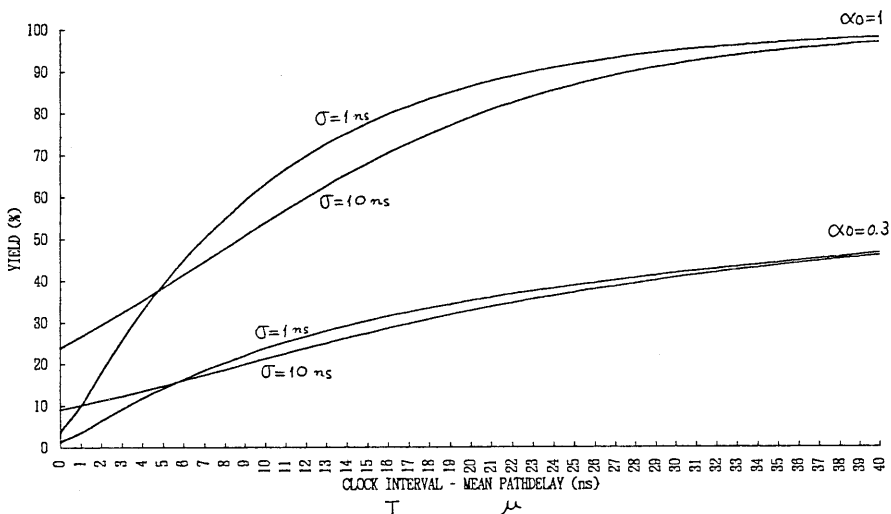


図4. AC歩留まり:  $\lambda_0^{-1} = 10$  ns

スキャンデザインの場合は $h(z)$ を直接測定することができ、図2 [2]はそのようにして得られたデータであるが、通常の設計でもYのTに対する変化が十分正確に測定できれば、(1)式から

$$h(T) = 0.01 \frac{dY}{dT}, \quad (9)$$

から算出できるはずである。そこで以下では $h(T)$ の特徴を見ることにする。図3、図4のようにYはS字形曲線であり、途中で変曲点を通る。変曲点では

$$\frac{d^2Y}{dT^2} = 0,$$

であるが、その時(9)式から

$$h'(T) = 0,$$

したがって $h(T)$ はピークになるはずである。

(5)式により計算した $h(T)$ の対数を $T-\mu$ を横軸としてプロットしたのが図5である。ただし図3に合わせて $\lambda_0^{-1}=2$  ns、 $\alpha_0=1$ 、 $\sigma=10$  nsとしてある。

ピークの位置は大体 $T-\mu \approx \lambda_0^{-1}$ で与えられる。この値は $\sigma=1$  nsに対するYと $\sigma=10$  nsに対するYの大小関係が逆転する値と近いが、一致はしない。

図6は $\lambda_0^{-1}=10$  ns、 $\alpha_0=0.3$ 、 $\sigma=10$  nsの場合である。図6の方が図5に比べて裾野が延びているのは拡散不良( $\lambda_1^{-1}=130$  ns)と抵抗性メタルオープン( $\lambda_2^{-1}=760$  ns)の寄与があるためである。

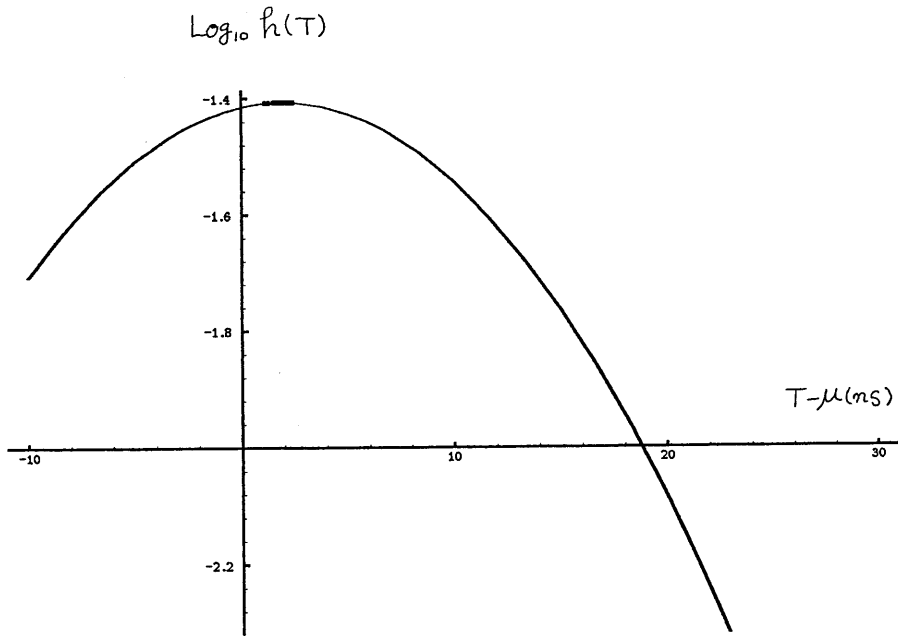


図5. パス遅延時間分布:  $\lambda_0^{-1} = 2 \text{ ns}$ ,  $\alpha_0 = 1$ ,  $\sigma = 10 \text{ ns}$

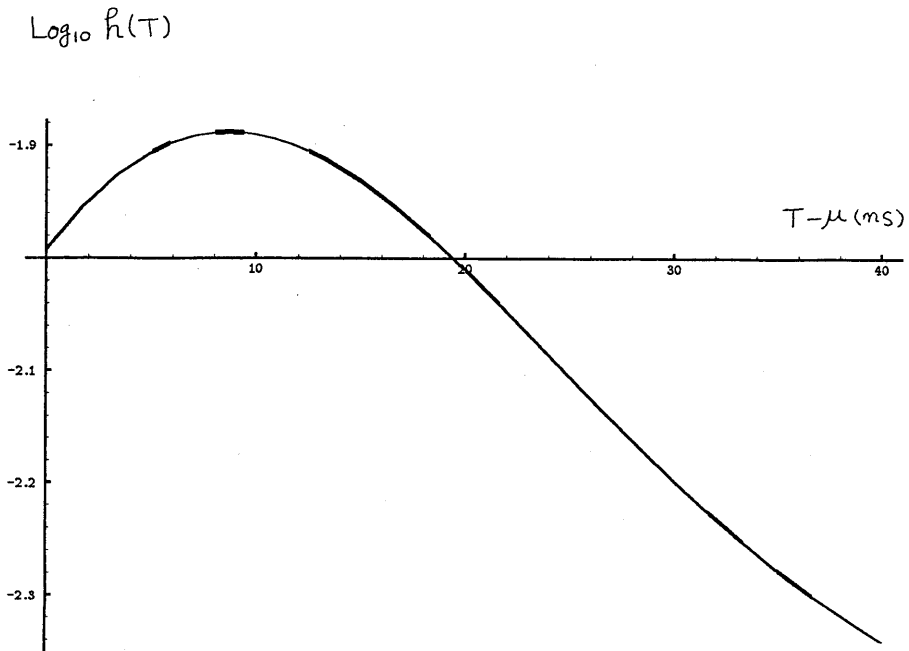


図6. パス遅延時間分布:  $\lambda_0^{-1} = 10 \text{ ns}$ ,  $\alpha_0 = 0.3$ ,  $\sigma = 10 \text{ ns}$

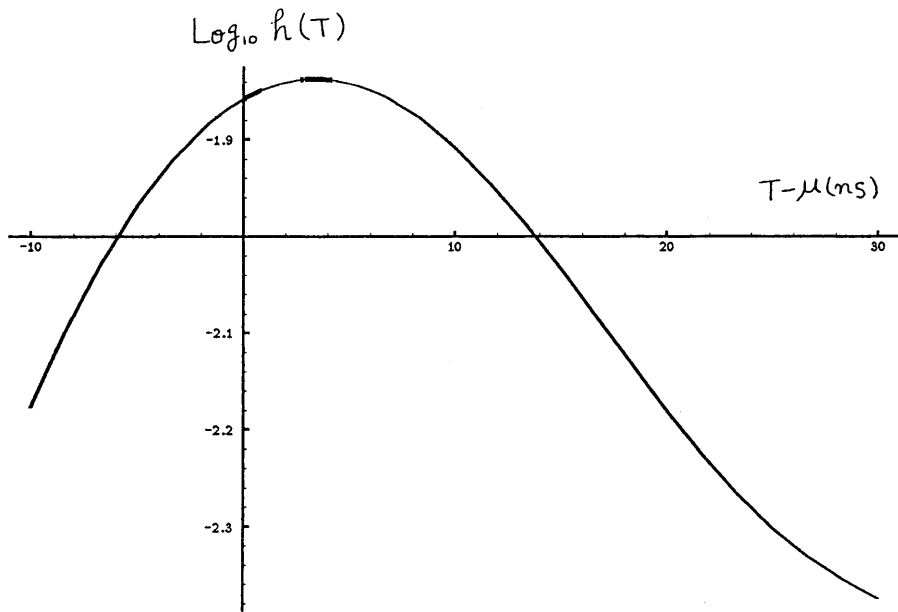


図7. パス遅延時間分布:  $\lambda_0^{-1} = 2 \text{ ns}$ ,  $\alpha_0 = 0.3$ ,  $\sigma = 10 \text{ ns}$

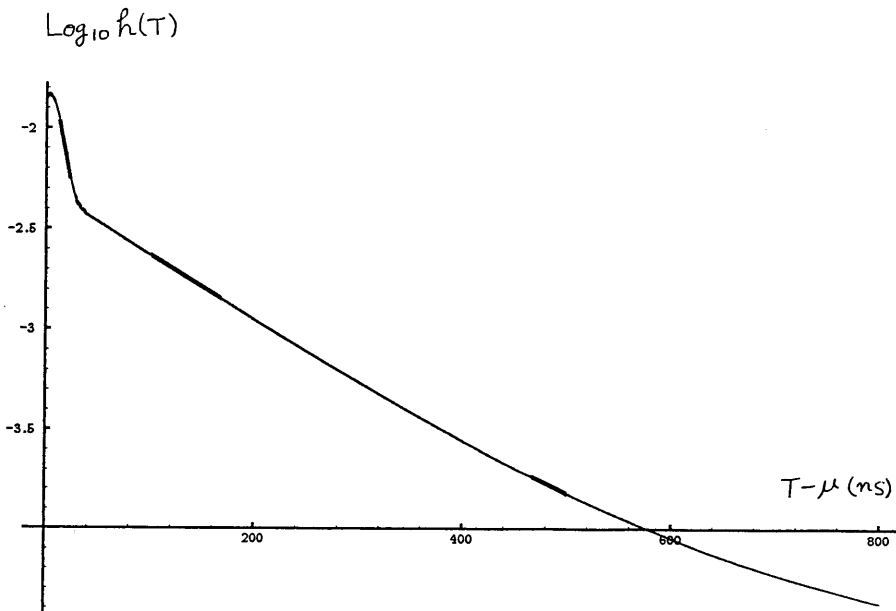


図8. パス遅延時間分布:  $\lambda_0^{-1} = 2 \text{ ns}$ ,  $\alpha_0 = 0.3$ ,  $\sigma = 10 \text{ ns}$

図5と直接比較するために図7、図8に  $\lambda_0^{-1} = 2 \text{ ns}$ ,  $\alpha_0 = 0.3$ ,  $\sigma = 10 \text{ ns}$  の場合の  $h(T)$  を2通りの  $T - \mu$  の範囲に対して対数プロットしてある。図8で  $T - \mu = 600 \text{ ns}$  に対する  $h(T)$  が 0.0001 ということはバス遅延時間が  $\mu + 590 \text{ ns}$  と  $\mu + 600 \text{ ns}$  の間にある確率が 0.1% あるということの意味する。

#### 4. おわりに

(2) 式のように  $h(z)$  が  $f(x)$  と  $g(y)$  の結合関数として表せるという前提に立てば、実測データから算出される  $h(z)$  と  $f(x)$  から、他の仮定なしに  $g(y)$  を求めることもできる。 $f(x)$ 、 $g(y)$ 、 $h(z)$  のフーリエ変換を

$$F(k) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{\infty} e^{-ikx} f(x) dx, \quad f(x) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{\infty} F(k) e^{ikx} dk,$$

$$G(k) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{\infty} e^{-iky} g(y) dy, \quad g(y) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{\infty} G(k) e^{iky} dk,$$

$$H(k) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{\infty} e^{-ikz} h(z) dz, \quad h(z) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^{\infty} H(k) e^{ikz} dk,$$

とすれば

$$G(k) = \frac{1}{\sqrt{2\pi}} \frac{H(k)}{F(k)},$$

となるから数値計算により、特定の製造プロセスに対する  $g(y)$  を一度求めておけば種々の  $f(x)$  に対する  $h(z)$  が得られることになる。その場合、注意しなければならないのは計算精度の問題である。 $H(k)$ 、 $F(k)$  を精度良く求めること自体問題であるが、さらに  $H(k)$ 、 $F(k)$  が共に微小量となって  $G(k)$  の精度が落ちるおそれがあるからである。

遅延故障のメカニズムが解明されたとは言えない現段階では  $g(y)$  と具体的な欠陥をできるだけ対応させることが重要と思われる。

#### 5. 参考文献

1. T.W. Williams, B. Underwood, and M.R. Mercer, "The Interdependence Between Delay-Optimization of Synthesized Networks and Testing", Proc. 28th ACM/IEEE DAC p. 87, 1991.
2. O. Bula, J. Moser, J. Trinko, M. Weissman, and F. Woytowich, "Gross Delay Defect Evaluation for a CMOS Logic Design System Product", IBM J. Res. Develop. Vol. 34, p. 325, 1990.
3. K. Hirabayashi, "A Parametric Yield Model", J. Electronic Testing Vol. 6, p. 331, 1995.