

ジョセフソン論理回路のテストについて

山田 輝彦 佐々木 剛

明治大学理工学部情報科学科

〒214 川崎市多摩区東三田1-1-1

E-mail: yamada@cs.meiji.ac.jp

あらまし 4JLジョセフソン論理ゲートに物理的欠陥が生じた場合の電氣的振舞いを計算機シミュレーションによって解析し、次のことを明らかにした。

- (1) 論理テストでは、製造工程の不安定さや工程中に混入した不純物に起因する欠陥の半分も検出できない。
- (2) 電源の電流を観測することにより、高い欠陥検出率を達成することが可能である。
- (3) 電流テストはジョセフソン論理回路のテストに非常に有効であろう。

キーワード ジョセフソン論理回路、論理テスト、電流テスト、欠陥、故障

On Testing of Josephson Logic Circuits

Teruhiko Yamada Tsuyoshi Sasaki

Dept. of Computer Science, Meiji University
1-1-1 Higashimita, Tama-ku, Kawasaki 214, Japan
E-mail: yamada@cs.meiji.ac.jp

Abstract We analyzed the electric manifestation of the 4JL(four Josephson junction logic) gates with a defect by computer simulation, and proved that:

- (1) Logic testing can detect less than half of the defects which are due to process instabilities and contaminations during the fabrication processes.
- (2) A high defect coverage is achievable by monitoring current drawn from power suppliers.
- (3) Current testing may be very effective for the testing of Josephson logic circuits.

Keywords Josephson logic circuit, logic testing, current testing, defect, fault

1. はじめに

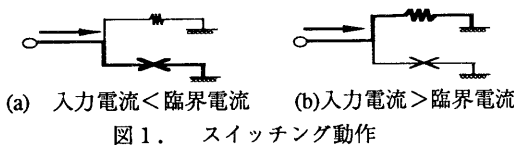
コンピュータの高速化が求められる現在、この問題を素子のレベルから解決し得る1つの手段としてジョセフソン論理回路がある。この回路は、ジョセフソン素子の持つ超高速スイッチ動作と低消費電力を利用することにより、超高性能を実現するものである[1]。しかし、実用化に際しては種々の問題を解決しなければならない。

その1つに故障検査の問題がある。故障検査については、これまで主として故障の論理モデルを作成しそれに対してテストパターンを生成する方法をとっていたが、最近CMOS回路などで電源の電流を測定することにより故障の有無を判定する電流テスト[2]の有効性が注目されている。

ここでは、電総研が開発された4JLゲート[3]で構成されたジョセフソン論理回路について、論理テストと電流テストの故障検出能力を計算機シミュレーションにより解析し、電流テストの方が有効であることを示す。なお、ここでは回路の動作解析に富士通の汎用電子解析プログラムFSPICE(V06)を用いた。

2. 基本論理ゲートと故障

ジョセフソン素子には臨界電流と呼ばれるしきい値がある。ジョセフソン素子に流れ込む電流が、この臨界電流以下の場合、ジョセフソン素子は超伝導状態（ゼロ抵抗状態：図1(a)）となる。そして、電流が臨界電流値を超えると、ジョセフソン素子は常伝導状態（有限抵抗状態：図1(b)）となりスイッチする。



このスイッチング動作を利用して、図2のようにORゲートとANDゲートを実現することができる。ジョセフソン論理回路では、否定ゲートを用いることが必ずしも容易ではないので、通常はORゲートとANDゲートだけを用い、2線式論理により回路を実現する。

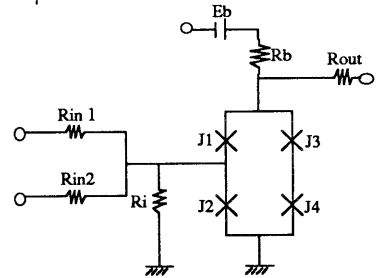
ジョセフソン集積回路では、(1)～(4)の物理的欠陥(defect)が実際よく起こると言われている。ここでは各欠陥が以下に示す値をもつ場合について解析する。

- (1) 臨界電流の大幅な変化：ジョセフソン素子の臨界電流が規定値の10倍及び1/10倍となった場合
- (2) 断線：抵抗及びジョセフソン素子の断線
- (3) 短絡：2本の信号線間が $1 \times 10E-15$ [Ω] の抵抗で短絡した場合

- (4) コンタクト不良による抵抗値の増大：抵抗と超伝導素子間が100 [Ω]、超伝導素子と超伝導素子間及び超伝導素子とグランド間が0.1 [Ω] となった場合

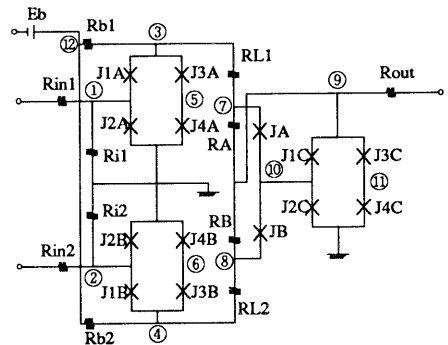
図2のANDゲートに対しては、付録に示す91個の欠陥を考えれば十分である。なお、短絡箇所は実際のレイアウト上で隣接する信号線間に限定した。

ORゲート



$$\begin{aligned} Rin1=Rin2=7.0[\Omega] \quad Rb=74.7[\Omega] \\ Ri=3.5[\Omega] \quad \text{出力抵抗 } 14.0[\Omega] \\ \text{臨界電流} \\ J1=J2=0.05[\text{mA}] \quad J3=J4=0.15[\text{mA}] \\ \text{Input}=0.63[\text{mV}] \quad Eb=11.2[\text{mV}] \end{aligned}$$

ANDゲート



$$\begin{aligned} Rin1=Rin2=7.0[\Omega] \quad Rb1=Rb2=74.7[\Omega] \\ Ri1=Ri2=3.5[\Omega] \quad RL1=RL2=7.0[\Omega] \\ RA=RB=7.0[\Omega] \quad \text{出力抵抗 } 7.0[\Omega] \\ \text{臨界電流} \\ J1A=J2A=J1B=J2B=0.05[\text{mA}] \\ J3A=J4A=J3B=J4B=0.15[\text{mA}] \\ J1C=J2C=0.067[\text{mA}] \quad J3C=J4C=0.134[\text{mA}] \\ JA=JB=0.10[\text{mA}] \\ Eb=11.2[\text{mV}] \quad \text{Input}=0.63[\text{mV}] \end{aligned}$$

図2. 4JLゲート

3. 論理テスト

図2のANDゲートの論理機能は、入力信号00、01、10および11を加え出力信号(Rout)の電圧を測定することによりテストできる。しかし、このテストでは表1に示すように48個の欠陥が検出不能であった。すなわち、欠陥検出率(defect coverage) = $(91 - 48) / 91 * 100\% = 47.3\%$ であった。

検出不能であった欠陥は、例えばジョセフソン素子J2Aのように、論理を実現するためではなく動作を安定させるための素子に係わるものであった。このような欠陥が回路内に存在すると動作が不安定になり過渡的な誤りを生じる可能性がある。回路の信頼度を向上させるためには、このような欠陥をも検出することが必要であり、論理テストだけでは不十分である。

表1. ANDゲートに対する論理テストの結果

	欠陥数	検出不能な欠陥数
臨界電流が10倍	14	9
臨界電流が1/10倍	14	6
断線	19	8
短絡	21	10
コンタクト不良	23	15
合計	91	48 (52.7%)

4. 電流テスト

図1に示すスイッチング動作から、図2の論理ゲートで構成される回路をある種の抵抗網であると考えることができる。従って、図3に示すように電源Ebから供給される電流Ibを測定する単純な方法で、論理テストでは検出不能な欠陥の多くが検出できると思われる。

図3のようにANDゲートにJ2Aの臨界電流が1/10になる欠陥が存在する場合を考える。この欠陥を論理テストで検出することはできない。Ebを0mVから20mVまで徐々に上昇させると、Ibは図4(a)のように変化しEb=5.5mVでジョセフソン素子はスイッチングする。これに対して、正常な場合のIbは同図(b)のようにEb=7.5mVでスイッチしており、この差異により欠陥が検出できる。

図5は、Rb1と③(図2のANDゲート参照)の間にコンタクト不良が存在する場合のEb-Ib特性である。この場合は正常回路とほぼ同じ電圧でスイッチングしているが、その時のIbの値は0.29mAであり、正常な場合の0.4mAと異なっている。この差異により欠陥が検出できる。

表2は単一のANDゲートに対する電流テストの有効性を評価するために行った計算機実験の結果をまとめたものである。ここでは図4と図5に例示したスイッチング時の電圧又は電流値が正常回路と20%以上の差異が見られた時に、欠陥が検出可能であるとした。

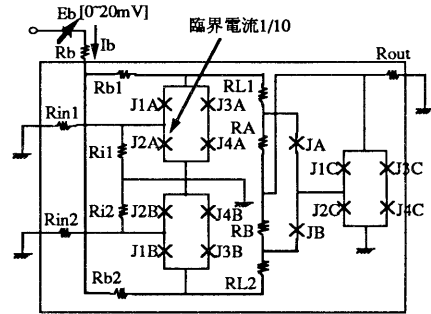
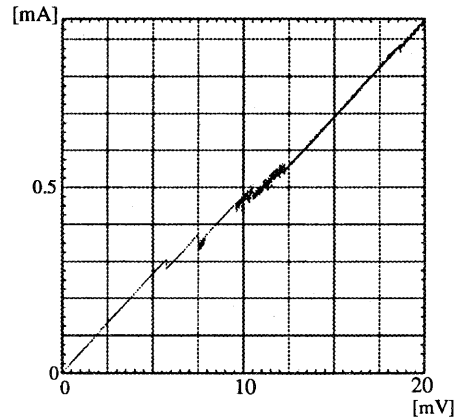
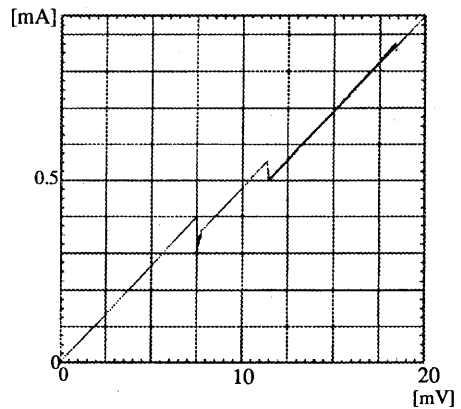


図3. 電流テストの実行例1



(a) J2Aの臨界電流が1/10となった場合



(b) 正常な回路の場合

図4. ANDゲートのEb-Ib特性

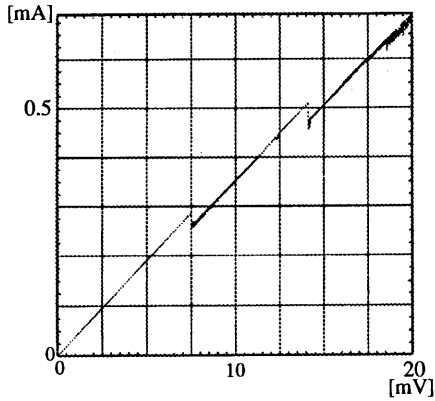


図5. スイッチング時の電流値の差異により検出可能な例

表2. ANDゲートに対する電流テストの結果

	欠陥数	検出された欠陥数
臨界電流が10倍	14(9)	10(5)
臨界電流が1/10倍	14(6)	10(4)
断線	19(8)	14(4)
短絡	21(10)	21(10)
コンタクト不良	23(15)	16(10)
合計	91(48)	71(33)

論理テストでは検出できなかった欠陥のうち33個(内訳は括弧内に表示)が検出されたが、論理テストで検出できる故障のうち5個が検出されなかった。したがって、この電流テストの欠陥検出率は $71/91 \times 100\% = 78\%$ となる。なお、図2のORゲートにこの電流テストを行ったときの欠陥検出率は92.6%であった。

図6は、図2の論理ゲートで構成されるジョセフソン論理回路の電流テストの1つの方法を例示している。ここでは、ゲートDに入力するゲートA、B及びゲートDが出力するゲートE、Fの電源とゲートDの電源が分離されていることに注意されたい。

単一電源にして電流テストを実行すると、正常回路との明らかな差異を観測できない場合が多くなると考えられるので、図6のように二つ以上の電源を設け各ゲートの電源がその前後のゲートの電源とは異なるようにした。これにより、各電源毎に単一ゲートが並列に接続されているような環境を擬似的

に作り出せるので、正常回路とのスイッチングの差異が観測し易くなる。

図7(a)は、ゲートDにRb1の断線が存在する場合のEb-Ib特性である。Ib=0.6mAでスイッチングしているのに対して同図(b)の正常回路は、Ib=0.8mAでスイッチングしている。この差異により欠陥が検出できる。

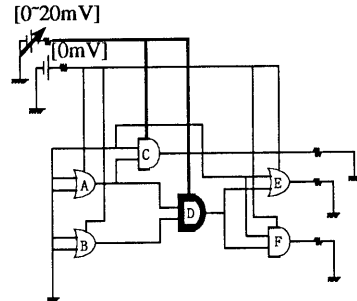
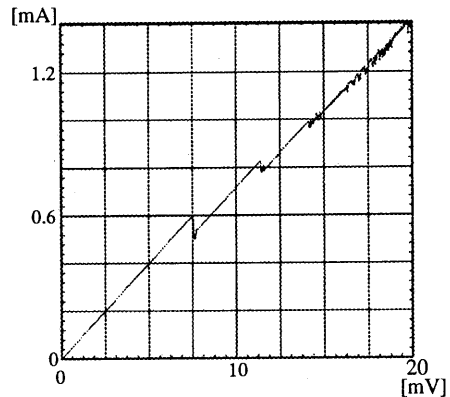
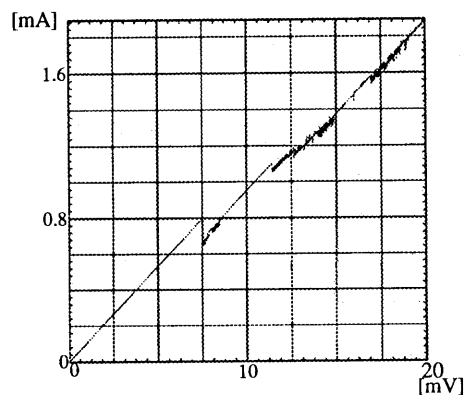


図6. 電源の分割によるテスト容易化の例



(a) ゲートDのRb1が断線の場合



(b) 正常回路の場合

図7. 図6の回路のEb-Ib特性

表3は上記に示した方法でゲートD内の各欠陥に対して電流テストを行った結果である。単一のANDゲートのテストでは検出できなかったRi1とRi2の断線が検出されている。これに対して⑦、⑧(図2のANDゲート参照)のそれぞれをグランドに短絡させた故障が検出できなくなっている。

表3. 図7の論理回路のゲートDに対する電流テストの結果

	欠陥数	検出された欠陥数
臨界電流が10倍	14	10
臨界電流が1/10倍	14	10
断線	19	16(+2)
短絡	21	19(-2)
コンタクト不良	23	16
合計	91	71

5. むすび

4JLゲートで構成される論理回路に対しては論理機能のテストでは不十分であること、電流テストの方が高い欠陥検出率を達成できることを示した。

ここで述べた電流テストは外部入力および外部出力を接地し、電源の電流を観測するという単純なものであったが、入力パターンを工夫することによりもっとも高い検出率を達成することが可能であると思われる。現在その評価実験を行っている。また、電流テストと論理テストを組み合わせると一層効果的であると思われる。これらについては、別の機会に報告する予定である。

謝辞 本研究を行うにあたって有益な御助言を頂いた電子技術総合研究所高田進博士、黒沢格博士、日本電気(株)和田容房博士及び本学理工学部講師山崎浩二氏に感謝致します。

参考文献

- [1] 石田晶、柳川文彦、吉清治夫：“超伝導集積回路” コロナ社, 1983.
- [2] "Special Issue on IDDQ Testing of VLSI Circuits", JETTA, vol. 3, No4, 1992.
- [3] "ジョセフソン集積回路技術特集号", 電子総合研究所彙報, 53巻, 7-8号, 1989.

付録： 図2のANDゲート内の欠陥

臨界電流(10,1/10)	断線	短絡	コンタクト不良
J1A	J1A	0-1	Rin1-1(100Ω)
J2A	J2A	0-2	Rin2-2(100Ω)
J3A	J3A,J4A	0-7	Ri1-1(100Ω)
J4A	J1B	0-8	Ri2-2(100Ω)
J1B	J2B	0-9	Rb1-3(100Ω)
J2B	J3B,J4B	1-3	Rb2-4(100Ω)
J3B	J1C	2-4	RL1-3(100Ω)
J4B	J2C	3-5	RL2-4(100Ω)
J1C	J3C,J4C	3-7	RL1-7(100Ω)
J2C	JA	4-6	RL2-8(100Ω)
J3C	JB	4-8	Ra-7(100Ω)
J4C	Ri1	5-7	Rb-8(100Ω)
JA	Ri2	5-9	Ra-9(100Ω)
JB	Rb1	6-8	Rb-9(100Ω)
----	Rb2	6-9	Rb1-12(100Ω)
----	RL1	7-9	Rb2-12(100Ω)
----	RL2	8-9	J2A,J4A-G(0.1Ω)
----	RA	9-10	J2B,J4B-G(0.1Ω)
----	RB	9-11	J2C,J4C-G(0.1Ω)
----	----	10-11	J1A,J3A-3(0.1Ω)
----	----	11-12	J1B,J3B-4(0.1Ω)
----	----	----	J1C,J2C-10(0.1Ω)
----	----	----	J1C,J3C-9(0.1Ω)

注1：0はグランド。例えば、0-1はグランドと①との短絡

注2：J2A、J4A-Gは、J2A、J4Aとグランドの間にそれぞれ0.1 [Ω]の抵抗が挿入された場合