

Gated Clockによる低消費電力設計について

石原 亨 安浦 寛人

九州大学 大学院総合理工学研究科 情報システム学専攻

〒816 福岡県春日市春日公園6-1

E-mail: {ishihara, yasuura}@is.kyushu-u.ac.jp

近年低消費電力化の要求から低電力設計手法の一つとして Gated Clock が使われる。Gated Clock は未使用の機能ブロックのクロックを停止する手法である。状態遷移の少ないレジスタが多いほど効果が增大する。一方、近年ではプログラムの並列度を最大限に引き出し回路の稼働率を向上させる研究が盛んに行われている [1]。さまざまなアーキテクチャが提案される中、どういったアーキテクチャで Gated Clock 手法が有効なのかという疑問が生じる。この疑問に対して考察するために 2 種類のプロセッサチップを使って Gated Clock 手法の評価を行った。実験の結果、KUE-CHIP2 で 30%以上、QP-DLX でおよそ 15%の電力削減が実現できることが分かった。

- 和文キーワード

CMOS LSI, 低消費電力設計, Gated Clock, スイッチレベルシミュレーション

Some Experimental Results on Low Power Design with Gated Clock

Tohru ISHIHARA Hiroto YASUURA

Department of Information Systems
Interdisciplinary Graduate School of Engineering Sciences
Kyushu University

6-1 Kasuga-koen, Kasuga-shi, Fukuoka 816 Japan

E-mail: {ishihara, yasuura}@is.kyushu-u.ac.jp

In this paper, we discuss on effect of gated clock which is a method to reduce power consumption of inactive modules. To consider what kind of architecture can apply gated clock effectively, we designed gated clock architecture models based on two actual processors KUE-CHIP2 and QP-DLX. We estimate power consumptions of these models from switch level simulation. In consequence, we carried out that power reduction with gated clock in KUE-CHIP2, a 8-bit non-pipeline processor is about 30%. And 15% power reduction can be achieved by bit level gated clock in QP-DLX, a 32-bit pipeline-processor.

- 英文 key words

CMOS LSI, Low power design, Gated Clock, Switch level simulation

1 はじめに

近年、携帯電話やパーソナル用途のコンピュータなど携帯型情報機器の急速な普及にともないLSIの低消費電力化が世界的に重要な開発課題になっている。現在、携帯機器を駆動する電力供給源の主流となっているのはバッテリーである。携帯電話などではバッテリーまたは電池が最も重量及び容積を占める部品である。小型のバッテリーで長時間携帯機器を使用するために、集積回路の低消費電力化への要求が急速に増大してきた。

さらに、高速動作や素子密度の増大による発熱が、逆に更なる高集積化を制限するとともに、集積回路の寿命を短くする要因になりつつあり、集積回路の低消費電力化が急務の課題となってきている。

現在すでにさまざまな低消費電力手法が研究され提案されている。なかでも電源電圧を削減するアプローチが効果的である。ところが、電圧の削減手法はデバイスへの依存性が大きい上にノイズマージンの問題があることから電圧の下げ幅は限界に近づきつつある。今後はハードウェア量の増大とともに使用しない回路の動作を停止させるアプローチが重要になることが予想される。本稿では、低消費電力手法として使われる [3] クロック停止機構 (Gated Clock) の有効性およびアーキテクチャ依存性について考察する。

2 クロックの停止機構

2.1 クロック停止機構の必要性

同期式のプロセッサでは、クロック系の消費電力が非常に大きい。クロックが大量の電力を消費する原因は、以下のとおりである。

- クロック系のすべてのノードは最もスイッチング回数が多い。
- クロックドライバのドライブ能力は大きい (消費電力も大きい)。
- フリップフロップはクロック端子の電力消費が大きい。

クロックが不必要な時は、こまめにクロックを停止することにより大幅な電力削減が期待できる。

2.2 Gated Clock の実現方法

クロックを停止するための回路には、以下のような回路が考えられる [2]。

- NAND ゲート

- バストランジスタ
- クロックドインバータ
- プリチャージ回路

以上の回路を各機能ブロックあるいは各レジスタごとにとりつけ、クロックを必要に応じて停止する。Gated Clock が誤動作を起こさないためには、ラッチにデータが到達する一定時間以上前にイネーブル信号が安定する必要がある (図 1)。これはイネーブル信号のハザードやグリッジにより予想外のクロック信号がラッチに入力されないようにするためである。NAND ゲートによる Gated Clock ではイネーブル信号をクロックの立ち上がりより半クロック早く決定しなければならない [3]。

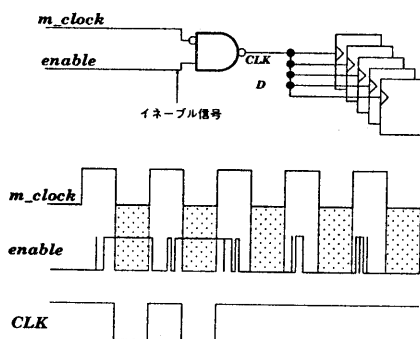


図 1: Gated Clock の実現

3 KUE-CHIP2 における Gated Clock の評価

教育用 8 ビットマイクロプロセッサをもとに Gated Clock を実現する Gated KUE-CHIP2 の設計を行った。Gated KUE-CHIP2 は設計およびシミュレーションを行ったが実装はしていない。

3.1 教育用 8 ビットマイクロプロセッサ KUE-CHIP2 の諸元

KUE-CHIP2 (Kyoto University Education Chip2) は、大学などでの計算機教育のための教材として開発された 8 ビットのマイクロプロセッサである。KUE-CHIP2 は、ES2 社で製造され、1.2 μ m CMOS テクノロジーのスタンダードセル方式として実現されている。また、メモリ部分はマクロセルとして実現されている。構造的には、極めて単純なアーキテクチャを持っており、計算機の基本構造と機能を学習する

のに最低限の命令セットを持つ。

array area	$4.02 \times 3.19 = 12.84\text{mm}^2$
active chip area	$5.18 \times 4.38 = 22.65\text{mm}^2$
die size	$5.39 \times 4.59 = 24.70\text{mm}^2$

表 1: チップ面積に関する諸元

論理素子	1597 個
フリップ・フロップ	68 個
パッド	76 個
メモリ 8×512 ビット	1 個

表 2: セルに関する諸元

3.2 クロック系における電力消費

KUE-CHIP2における電力の内訳の例を図2(a)に示した。16進数のFFと01を繰り返し加算する無限ループを実行した時の電力である。クロック系で消費される電力が全体の50%にもものぼることが注目すべき点である。さらに、KUE-CHIP2の各内部モジュールに含まれるフリップフロップの数とそのフリップフロップの稼働率を図2(b)に示した。以下消費電力の値はすべて、動作周波数が1MHzの時の値である。

$$\text{稼働率} = \frac{\text{FFにデータがロードされる回数}}{\text{クロック入力立ち上がる回数}} \quad (1)$$

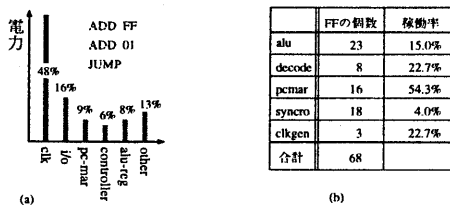


図 2: KUE-CHIP2における電力の内訳

KUE-CHIP2はパイプライン化されていない逐次型のプロセッサであるため、各フリップフロップの稼働率は低い。図2からクロック系の回路を工夫することにより、大幅な電力削減が期待できる。

3.3 スイッチレベルシミュレーションによる電力見積り

1. リーク電流による電力

$$P_{\text{reek}} = \frac{\text{Tra}}{2} \times 1.5[\text{nW}] \quad (2)$$

Tra: トランジスタ数

2. 直通パルス電流による電力

$$P_{\text{short}} = \sum_{i=0}^n 4.25 \cdot T(i) \cdot D(i) \cdot F(i) \quad [\mu\text{W}] \quad (3)$$

T(i): ノード (i) を出力として持つゲートの入力遅延時間 (sec)

D(i): ノード (i) を出力として持つゲートのドライブ数

F(i): ノード (i) のスイッチング周波数

3. 出力負荷を充電するための電力

$$P_{\text{load}} = \sum_{i=0}^n C(i) \cdot F(i) \cdot V_{DD}^2 [\text{W}] \quad (4)$$

C(i): ノード (i) の負荷容量 (F)

F(i): ノード (i) のスイッチング周波数

V_{DD}: 電源電圧 (V)

4. 全消費電力

$$P_{\text{total}} = P_{\text{reek}} + P_{\text{short}} + P_{\text{load}} \quad (5)$$

フリップフロップの入力端子で消費される電力は実チップの測定値より逆算し見積りに利用した。

設計データからの電力見積り精度を確認するために、実 KUE-CHIP2 チップの測定値と設計データからの見積り値の比較を行った。比較の結果、見積り誤差は最大で 7.56%、平均 3.73%であった [4]。Gated Clock 手法の評価を行うために以上で述べたスイッチレベルシミュレーションによる電力見積りを利用した。

3.4 KUE-CHIP2における Gated Clock の実現方法

Gated KUE-CHIP2の設計において実際に適用した回路上の工夫について説明する。

1. FF にデータがロードされる時のみクロックを有効にする。

イネーブル信号の、ハザードやグリッジを完全に排除するために、二相クロックを用いた。図3に示した機構は、演算レジスタ部分 (acc,ix)、命令フェッチ部分、メモリアドレスレジスタ部分、プログラムカウンタ部分に適用した。

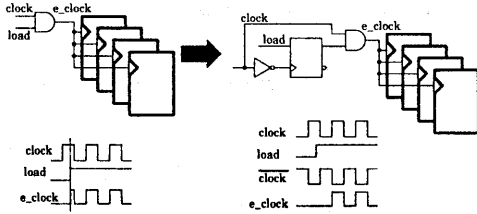


図 3: クロックのイネーブル

2. 外部からのスイッチを非同期にする。

最も稼働率の低いシンクロナイザ部では、外部スイッチからの信号を非同期で受け付けるようにした。

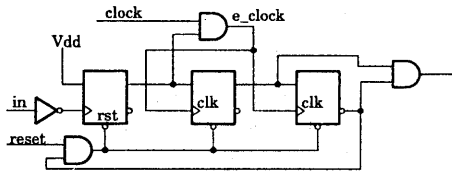


図 4: シンクロナイザ

3.5 電力評価

表 3: Gated KUE-CHIP2 の電力減少率

入力	Orig[mW]	Gate[mW]	削減率 (%)
CLK	3.15	0.71	77.5
NOP	4.70	2.98	36.6
SHIFT	6.26	4.51	28.0
Branch	5.14	3.56	30.7
LOAD-f0	5.67	4.28	24.5
ADD-fl	6.49	4.40	32.2
SUB-fl	6.51	4.39	32.6
EXOR-ff	6.27	4.68	25.4
ANDOR	5.92	4.38	26.0
Average			32.3

Orig : KUE-CHIP2 の原版

Gate : Gated KUE-CHIP2

合計 18 種類の命令に対して Gated KUE-CHIP2 と KUE-CHIP2 の原版との電力の比較を行なった (表 2)。命令の中で CLK はプロセッサにクロック信号だけが入力されている状態である。平均 32.3% の電力削減が実現できた。(表 3)には、実際に簡単な計算プログラムを用いて行った電力比較の結果を示す。アプリケーションプログラムの実行に対しても Gated Clock によりおよそ 30%の電力削減が実現できた。

表 4: Gated KUE-CHIP2 の電力減少率

入力	Orig[mW]	Gate[mW]	削減率 (%)
Prog.1	6.63	4.62	30.3
Prog.2	5.27	3.51	33.4

Prog.1 : 1 から 10 までの線形加算

Prog.2 : ユークリッド互助法を用いた公約数の計算

Orig : KUE-CHIP2 の消費電力

Gate : Gated KUE-CHIP2 の消費電力

4 QP-DLX における Gated Clock の評価

教育用 32 ビットマイクロプロセッサ QP-DLX をもとに Gated Clock の評価を行った。Gated Clock はバスクロックを利用することにより 2 相クロックで実現した。QP-DLX における Gated Clock の実現は、電力見積りモデル上でのみ行い、実際の設計および実装は行っていない。電力の見積りは、KUE-CHIP2 同様スイッチレベルのシミュレーションにより行った。FF の入力端子で消費される電力は KUE-CHIP2 と同様、測定値から逆算し見積り計算に利用した。

4.1 QP-DLX の諸元

QP-DLX は教育用に開発された 32 ビットマイクロプロセッサである。QP-DLX は DLX アーキテクチャを採用している。DLX は今日のアーキテクチャの主流である RISC アーキテクチャに基づいており、RISC 型商用マイクロプロセッサの多くを平均化したようなアーキテクチャとなっている。

- 基本語長: 32 ビット
- 汎用レジスタ: 32 ビット汎用レジスタ R0-R31
- 制御系レジスタ:
 - プログラムカウンタ (PC)
 - ステータスレジスタ (SR)
 - 割込みアドレスレジスタ (IAR) 4 ビット
 - 命令/データ・アドレス・ブレイクポイント・レジスタ (BPI,BPD)
- データバス系レジスタ:
 - 命令レジスタ (IR)
 - 演算レジスタ
- 命令セット: データ転送, 算術論理演算, 分岐/ジャンプ

- 命令形式: すべての命令は固定長かつ単一長、3 アドレス方式であり、演算はレジスタレジスタ間およびレジスタ即値間のみ可能である(ロード/ストア・アーキテクチャ)。

4.2 QP-DLXにおけるクロック系の電力消費

以下消費電力の値はすべて、1MHz で動作させた時の消費電力である。

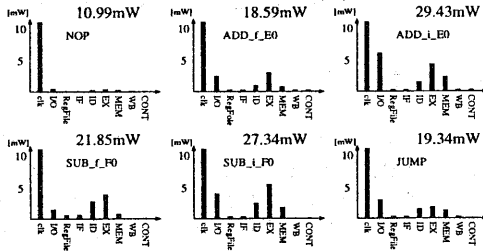


図 5: QP Gated model

クロック系で消費される電力は、全体の30~50%である。クロック系の電力削減は十分可能である。

表 5: レジスタの稼働率と遷移確率

	命令	PC	IR	ACC
稼働率 (%)	ADD	100	100	100
	Arith	100	100	100
	JUMP	100	100	100
遷移確率 (%)	ADD	2.86	28.19	16.31
	Arith	2.88	21.81	18.41
	JUMP	6.10	11.42	7.09

$$\text{稼働率} = \frac{FF \text{にデータがロードされる回数}}{\text{クロック入力立ち上がる回数}} \quad (6)$$

$$\text{遷移確率} = \frac{1 \text{に変化した bit 数} / 1 \text{ClkCycle}}{32 \text{ビット}} \quad (7)$$

表5に演算レジスタ(ACC)、命令レジスタ(IR)およびプログラムカウンタ(PC)の稼働率と遷移確率を示す。QP-DLXはフォワーディングをサポートするパイプラインプロセッサであるため、アキュムレータレジスタ、命令レジスタおよびプログラムカウンタがアクティブである確率(稼働率)は非常に高い(表5)。したがって、レジスタのクロックを32ビット単位で停止する方法はほとんど効果がえられないことが予想される。ところが、稼働率とは逆に各ビットごとのデータの遷移確率は非常に小さい(表5)。

4.3 クロック停止機構

QP-DLXでは図6に示すGated回路を用いて1ビットごとにクロックを停止する方法を考えた。

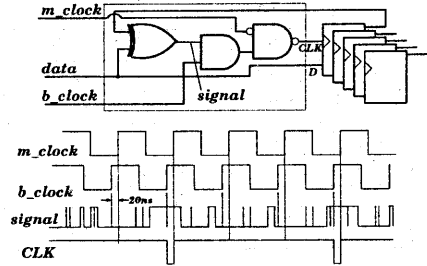


図 6: QP-DLXのクロック停止機構

図7はGatedを行わない場合と1ビットごとのGated Clockを行った場合の電力比較である。消費電力の値は、レジスタファイルをのぞく全レジスタ(FF.599個)の消費電力である。各レジスタのスイッチング確率が15%未満の場合は1ビットごとのGatedのほうが電力を削減できる。プログラムカウンタなどのスイッチング確率が低いレジスタにはGated Clockが有効である。表6には32ビットのレジスタを論理/レイアウトツールであるCompassのChip Compilerを用いてレイアウトした結果である。クロックをGateするための付加回路によりレジスタ一本あたりの面積はおよそ1.5倍になる。

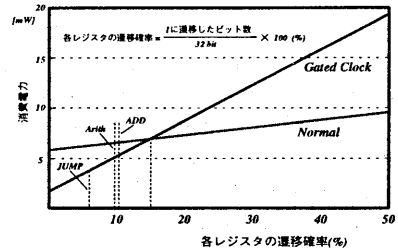


図 7: 1bitごとのクロック停止機構

表 6: 32ビットレジスタの面積比較

	面積 mm ²	トランジスタ
Nornal	0.175	1248
Gated	0.256	2144

4.4 電力評価

QP-DLXにおいて数種類の命令を用いて電力の評価を行った。各電力見積り(表7)は単一命令の繰り返して行った。表5の中でclkという命令はQP-DLX

チップにクロック信号のみが入力されている時の電力である。

表 7: QP-DLX の Gated-Clock(1)

命令	Normal	Gated	削減率 (%)
clk	10.19	5.42	50.7
nop	10.99	6.39	41.9
add _{ff0}	26.20	24.43	6.8
add _{df0}	21.85	19.32	11.6
sub _{if0}	27.34	25.67	6.1
sub _{ff0}	20.38	17.65	13.4
arith	24.98	23.06	7.7
jump	19.34	16.74	13.4

命令レジスタの Gated Clock を行わない時の電力を表 8 に示した。表 7 の結果と比較して数%の削減率向上が見られる。命令レジスタなどの遷移確率の大きいレジスタには 1 ビットごとの Gated は逆効果である。

表 8: QP-DLX の Gated-Clock(2)

命令	Normal	Gated	削減率 (%)
add _{ff0}	21.85	28.53	15.2
sub _{ff0}	20.38	16.84	17.4
and _{ff0}	18.09	14.49	19.9
jump	19.34	17.00	12.1

5 考察

Gated Clock を実現しやすくするためには、設計の最も初期段階で Gated Clock をサポートする構造を付加する必要がある。Gated Clock が効果を発揮するための回路設計として以下の項目を提案する。

- 遷移確率の小さいレジスタは 1 ビットごとにクロックを停止する。
4.3 章で示した通りである。
- クロックバッファを停止しやすいクロックツリー構成をとる。

他のセルに比べてクロックバッファの消費電力は格段に大きいため使用していないレジスタをクロックバッファごと停止することが効果的である。QP-DLX ではクロックバッファが分割されていないため、クロックバッファを停止させることはできなかった。このため、常にクロックバッファが大きな電力を消費するという問題が起きた。逆に KUE-CHIP2 のクロックバッファはツリー構造を持つためバッファの停止によりおよそ 5%~10% の電力削減を実現している。

- 無効なデータのラッチや命令フェッチを行わない。

KUE-CHIP2 および QP-DLX では NOP 命令の実行にもすべてのパイプラインレジスタが何らかのデータをラッチする。ところが、結果的にレジスタの値は有効的に使われない場合がほとんどである。命令レベル並列プロセッサでは実行されるデータの依存関係から NOP の命令実行が多くなる [7]。NOP 命令実行時に結果的に無効になることが分かっているパイプラインレジスタのクロックを停止することで数十%の電力削減が実現できると予想される。

6 おわりに

本稿では、教育用 8 ビットマイクロプロセッサ KUE-CHIP2 と 32 ビットマイクロプロセッサ QP-DLX を用いて低消費電力手法の一つである Gated Clock についての評価を行った。Gated Clock 手法により KUE-CHIP2 で 30% 以上 QP-DLX でおよそ 15% の電力削減が実現できることをスイッチレベルのシミュレーションにより確認した。今後は、ハードウェア量の増大とともに使用していない回路を小さい単位でこまめに停止する機能が重要になると考えられる。

謝辞

KUE-CHIP2 の設計データをご提供いただいた京都高度技術研究所の神原弘之氏ならびに (株) テクノアライアンスの吉本琢也氏、ES2 の諸氏に感謝致します。QP-DLX の仕様に関して貴重な助言を頂いた岩井原瑞穂助手に感謝致します。

参考文献

- [1] David F. Bacon, Susan L. Graham, Oliver J. Sharp "Compiler Transformation for High-Performance Computing" ACM Computing Surveys, Vol.26, No.4, December 1994.
- [2] 竹内秀輝, 栗林元隆, 辻本順一, 山田正昭, "トランジスタレベル・スタティックタイミング解析における順序回路処理法," 情報処理学会第 51 回 (平成 7 年後期) 全国大会論文集, vol27, no6, pp.27-28.
- [3] 大田黒, "組み込み用 RISC プロセッサの低消費電力化の手法", 信学技報, ICD95-60, pp.75-81, 1995 年 6 月.
- [4] 石原亨, 安浦寛人, "CMOS LSI チップのスイッチレベルにおける電力見積り精度について," 情報処理学会研究報告, DA-75-4, pp.23-30, 1995 年 8 月
- [5] 越知, 澤田, 岡田, 上嶋, 神原, 濱口, 安浦, "計算機工学・集積化路工学教育用マイクロプロセッサ KUE-CHIP2", 情報処理学会研究報告, 92-ARC-96-14, 1992 年 10 月.
- [6] "QP-DLX 設計ドキュメント Version 3.2", 九州大学大学院総合理工学研究科 情報システム学専攻 情報組織講座, 1994 年 5 月
- [7] 富田眞治 著 "コンピュータアーキテクチャ I", 丸善株式会社.