

アーキテクチャレベル消費電力見積りシミュレータの開発

佐藤寿倫[†] 大田黒幸夫[‡] 永松正人[‡] 田胡治之[‡]
株式会社東芝 [†]ULSI 研究所 [‡]半導体デバイス技術研究所
tsato@ull.rdc.toshiba.co.jp, {ootaguro,nagamatsu,tago}@sdel.toshiba.co.jp

概要

アーキテクチャレベルで消費電力の見積りを行うことができるシミュレータ ESP (Early design Stage Power and performance simulator) を開発した。実際のアプリケーションプログラムを実行することで、消費電力や実行クロック数などを求めることができる。低消費電力 RISC プロセッサの開発に適用し、消費電力の削減を確認した。また、ゲートレベルでのシミュレーション結果、および開発された RISC プロセッサの測定結果と比較し、ESP の見積り精度はアーキテクチャ設計工程において十分であることが確認できた。

Architectural-level Power Estimation for CMOS RISC Processors

Toshinori SATO[†] Yukio OOTAGURO[‡] Masato NAGAMATSU[‡] Haruyuki TAGO[‡]
[†]Toshiba ULSI Research Laboratories
[‡]Toshiba Semiconductor Device Engineering Lab.

Abstract

A power estimation simulator, ESP, Early design Stage Power and performance simulator, is presented. With ESP, it becomes possible to do more precise optimization between power and performance in the early design process. We applied it to a low-power RISC processor design and proved it useful for lower power design. We also present an accuracy of the power estimation by using ESP. With ESP, it is possible to accomplish more efficient design by using the architectural-level and gate-level simulator correctly, and to make an optimization of the embedded software by the system-level power estimation.

1 はじめに

ノートパソコンや PDA (Personal Digital Assistance) 等、電池駆動の機器が登場するにたがって、近年、低消費電力で高性能なマイクロプロセッサが登場している [1, 2, 3, 4]。

現在のところ、低消費電力化の設計手法で決め手となるようなものは存在しないが、アーキテクチャレベルで消費電力を意識した設計を行なうことが重要であることは、多くの設計者の認識であると考えられる。ゲートレベルやトランジスタレベルでの設計よりも、アーキテクチャレベルでの設計の方が、消費電力や性能に及ぼす影響が大きいからである。そのため、アーキテクチャレベルで消費電力を見積もることが重要であり、そのためのツールが必要である。ところが、これまでに消費電力を見積もる目的で開発されてきたシミュレータの多くは、ゲートレベルやトランジスタレベルで消費電力を考慮するものであり、これらのツールを利用するには、ゲートレベルあるいはトランジスタレベルのネットリストが必要になる [5]。すなわち、アーキテクチャレベルで、消費電力を見積もることのできる商用のツールは存在しなかった。近年、様々な学会でアーキテクチャレベルでの電力見積り手法が報告されているが [6]、それらは、ハードウェアの構成要素を簡単な数式でモデリングしたものであったり [7, 8, 9]、ASIC のような既存のライブラリ・ベースであったりと [10]、必ずしも満足のいくものではなかった。

そこで、我々はアーキテクチャ / パイプラインレベルの消費電力 / 性能予測シミュレータ ESP (Early design Stage Power and performance simulator) を開発した。アーキテクチャレベルやパイプラインレベルでの消費電力予測は、LSI 設計者にとって非常に有益な情報であり。ESP はアーキテクチャレベルでの設計支援を可能としている。

以下、第 2 節で新しいデザインフローを提案し、第 3 節で ESP を用いた消費電力見積り手法を説明する。RISC プロセッサ開発の応用例は、第 4 節で紹介する。第 5 節で ESP の精度を評価する。第 6 節で ESP を用いたシステ

ムレベル・シミュレーションを提案する。第 7 節でまとめる。

2 提案するデザインフロー

従来のデザインフローを図 1 に示す。従来は、論理設計工程や回路設計工程が終了しなければ、消費電力を見積もることはできなかった。なぜなら、ゲートレベルやトランジスタレベルの消費電力見積りツールしか存在しなかったからである。これでは、満足のいく設計はできない。設計の初期段階での決定は、論理設計工程や回路設計工程での最適化と比較して、消費電力や性能に非常に響いてくるからである。つまり、アーキテクチャレベルで消費電力を見積もることが非常に有効であり、そのようなツールが求められていた。

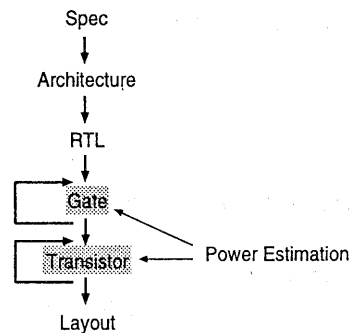


図 1: 従来のデザインフロー

特に低消費電力化設計では、アーキテクチャと消費電力との間のトレードオフを理解することは、非常に重要である。このような要求から、我々は ESP を開発した。図 2 に提案するデザインフローを示す。ESP を用いることで、アーキテクチャの評価が可能になる。また、ESP の結果から、目標となる消費電力を達成するための、各機能ブロックに対する性能要求仕様の作成も可能になる。

3 消費電力見積り手法

ESP はクロックサイクルの精度をもつシミュレータで、消費電力と性能の予測を目的としている。ESP は RISC マイクロプロセッサを

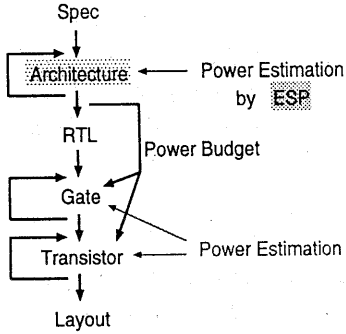


図 2: 提案するデザインフロー

ターゲットとしており、マイクロプロセッサはハードウェアの実現方法にしたがって、いくつかのブロックに分解される。

図 3に示すように、ESP への入力にはコンパイラが生成したアプリケーションのオブジェクトコードと、キャッシュの構成や低消費電力化の工夫などを表現するパラメタである。ESP はオブジェクトコードを実行し、1クロック毎に活性化しているブロックを決定してそれらに消費される電力の総和を求める。シミュレーションが終了すると、ESP は平均消費電力と実行クロック数をレポートする。

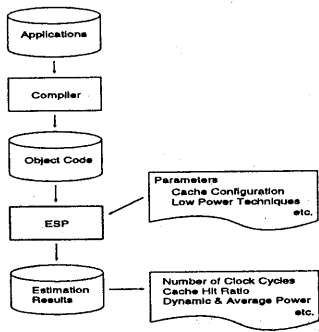


図 3: ESP のシミュレーションフロー

図 4にマイクロプロセッサのパイプラインの例を示す。このマイクロプロセッサを構成する主なブロックは、命令キャッシュ (IS)、インクリメンタ (INC)、ランチャアダー (BrAdd)、レジスタファイル (RF)、オペランドアドレス生成器 (OpAdd)、ALU、シフタ (SHIFT)、データキャッシュ (DS)、そして積和演算器 (MAC) である。図 4にはこれらのブロックの動作時の

消費電力も示した。

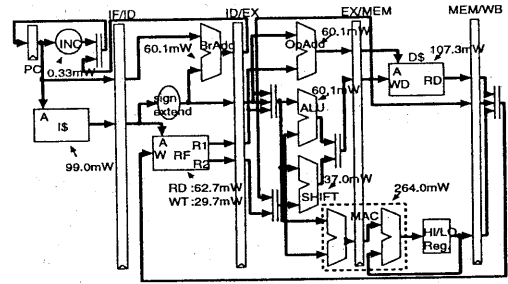


図 4: RISC プロセッサのブロック図

図 5にシミュレーションの過程を示す。例えば、クロック #3 において活性化しているブロックは、ALU(命令 #1)、RRead(命令 #2) と BrAdd(命令 #2) であり、消費電力は各ブロックで消費される電力の総和となる。

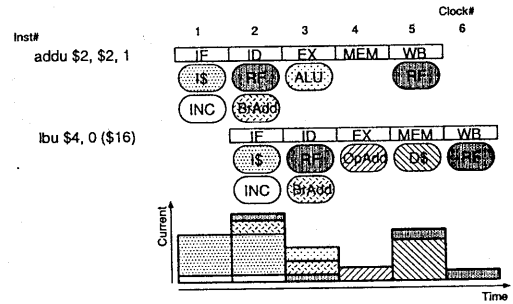


図 5: シミュレーション例

4 RISC プロセッサ開発への適用

組み込み用 RISC プロセッサコア R3900[4] の開発に ESP を適用した。以下は R3900 の開発に焦点を合わせて説明する。適用例として、Dhrystone ベンチマークとデジタルフィルタプログラム [11] を用いて、実験を行った。

Dhrystone ベンチマークは、ワークステーションやパーソナルコンピュータの、CPU とコンパイラの性能を測定する目的で作られた、ポピュラーなベンチマークプログラムである。近年は、このような目的で用いられることは少ないが、組み込み用のコアなど低消費電力プロセッサの性能測定には、現在でもよく用いられている。

デジタルフィルタ・プログラムは、PDA などの上で、ソフトウェアによってモデム処理を実行する際に用いられる。Dhrystone と比較して、PDA の動作の一面を表す現実に近い性能評価を行なうことが出来ると考えられる。

これらのアプリケーションを実行した時の、主なブロックの活性化率と平均消費電力を表 1 に示す。ここで活性化率とは、実行に要した総動作クロック中、注目するブロックが動作していたクロック数の割合をいう。

表 1: 各ブロックの活性化率

ブロック		活性化率	
名前	電力 (mW)	Dhrystone	フィルタ
I\$	99.0	99.6%	83.7%
BrAdd	30.0	99.6%	75.8%
INC	0.33	99.6%	75.8%
RF	R:62.7,W:29.7	97.4%	72.2%
ALU	60.1	59.0%	18.5%
D\$	107.3	47.8%	10.6%
OpAdd	60.1	30.1%	7.2%
SHIFT	37.0	6.4%	19.0%
MAC	264.0	0.2%	15.6%
平均消費電力 (mW)		376.5	297.6

実行結果から以下のことがわかる。まず、MAC の消費電力は非常に大きい。回路全体の消費電力も下げるためには、MAC の性能を犠牲にして、MAC の消費電力を下げる必要があるかもしれない。また、トータルの消費電力のうち、命令キャッシュ、データキャッシュ、レジスタファイルの占める割合が高く、特に命令キャッシュは 99.0mW という大きな電力が 99.6% という高い活性化確率で消費されている。このブロックの消費電力あるいは活性化確率を小さくできれば、全システムの消費電力を小さくできると考えられる。

MAC の改良

回路に工夫を施すことで、MAC の消費電力を 20% 削減できた場合を検討する。この結果平均消費電力は、Dhrystone ベンチマーク

で 376.4mW、デジタルフィルタ・プログラムの場合で 289.4mW に下がる。それぞれ、全体の 0.02%、3.0% の消費電力を削減できたにすぎない。したがって、MAC は性能重視で設計して構わないことがわかる。

命令キャッシュ FIFO

命令を FIFO に入れる工夫を行なうことで、命令キャッシュの活性化確率を下げる事が可能である。図 6 のように、1 クロック毎に 1 命令を読み出す代わりに、4 クロック毎に 4 命令を読み出して FIFO に蓄える。この工夫により、命令キャッシュの活性化確率を理想的には 4 分の 1 にすることが可能である。

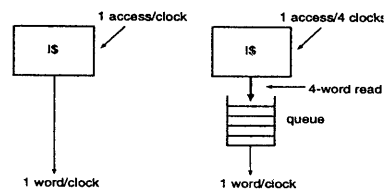


図 6: 命令キャッシュの FIFO

実験の結果を示す。Dhrystone ベンチマークの場合で、命令キャッシュの活性化率は 39.3% まで下がり、平均消費電力は 316.8mW となった。回路全体の消費電力を 15.9% 削減できることになる。デジタルフィルタ・プログラムの場合、命令キャッシュの活性化率は 27.1% まで下がり、平均消費電力は 241.6mW となった。18.8% の削減効果が確認できた。以上から、命令キャッシュに FIFO を設ける効果が確認できた。

5 見積り精度評価

ESP の見積り精度を、ゲートレベルでの見積り結果、および、実際の RISC プロセッサの測定結果と比較することで、評価する。精度の評価では、命令キャッシュの FIFO を用いたモデルを扱う。

ゲートレベルの結果との比較

ゲートレベルでの見積りは、当社で開発した VeriPower [12] を用いた。VeriPower は Ve-

riog シミュレータと PLI (Programming Language Interface) とから構成される。論理回路あるいはトランジスタ回路のネットリストを入力とし、各基本ブロックと回路全体の消費電力を見積もる。

図7は、Dhrystone ベンチマークを実行した時の、1 ループ分の ESP と VeriPower の実行結果である。図を見るとわかるように、見積り結果の絶対値は異なっているが、動的な相対的な振舞いは非常に一致を見ている。したがって、ESP を用いて、設計の初期段階に低消費電力化設計の効果を知ることは可能であることがわかる。

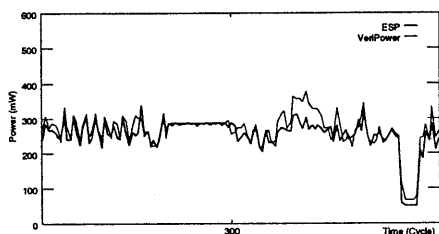


図 7: Dhrystone での消費電力

実測値との比較

R3900 上で Dhrystone を実行した時の、消費電力の測定値を図8に示す。3.3V、50MHz 動作である。測定結果には、外部端子のバッファで消費される電力は含まれていない。ESP を用いた見積りは実測値と著しく相似しており、ESP が設計の初期段階で有効であることが確認できる。また、ESP が低消費電力化設計を行うに十分な精度を持っていることもわかる。

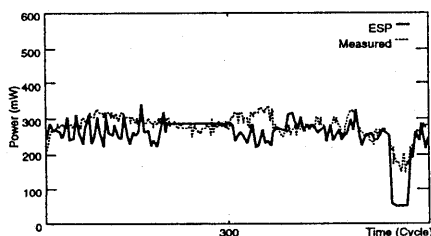


図 8: 実チップの消費電力測定結果

6 システムレベル・シミュレーション

組み込み用プロセッサでは、特定のアプリケーション・プログラムを実行した時に消費電力を小さくすることが重要になる [13, 14]。なぜなら、電池の消費量を小さくする必要があるからである。近年、ソフトウェアの開発にシミュレータが利用されるようになってきた。私たちはこのシミュレーションをシステムレベル・シミュレーションと呼んでいる。システムレベル・シミュレーションをゲートレベルのシミュレータで行うと精度良く見積もることができるが、実行速度が遅く現実的でない。そこで、アーキテクチャレベルのシミュレータを利用する。

フィルタプログラムを用いて、ソフトウェアの最適化の例を示す。R3900 で用意された積和演算命令を有効に利用することを考える。表2に最適化結果を示す。平均電力が4 節と異なるのは、実行サイクル数が異なるためである。平均電力は 8.9% 増加したが、実行サイクル数は 46.0% 低減できた。その結果、エネルギーの消費量を 41.1% 削減できた。電池駆動の携帯機器では電力よりもエネルギーの消費が問題であり、満足のいく結果が得られた。

表 2: ソフトウェアの最適化

	平均電力	実行サイクル	エネルギー
最適化前	228.9mW	10,880clocks	49.8uJ
最適化後	249.3mW	5,880clocks	29.7uJ
	+8.9%	-46.0%	-41.1%

図9は、フィルタプログラムを実行した時の、同じ区間における ESP と VeriPower の実行結果である。図7を見て最初に気づくのは、Dhrystone ベンチマークを用いた見積りよりも電力値の変化が激しいことである。電力値の変化が激しいフィルタプログラムの場合でも、動的な相対的な振舞いは非常に一致を見ている、ソフトウェアの最適化の目的で使用することは妥当であることが分かる。

以上説明したソフトウェアの最適化は、平均電力だけでなく動的な電力消費の振舞いを

知ることができるために可能であり、ESPの有効な利用法と言える。

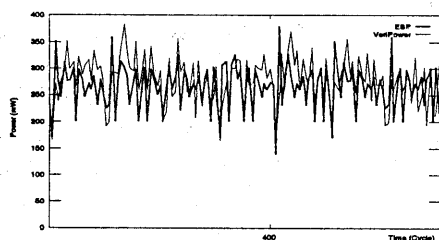


図9: フィルタ・プログラムでの消費電力

7 まとめ

アーキテクチャレベルの消費電力 / 性能予測シミュレータ ESP を開発した。ESP は消費電力を考慮した設計を行なう LSI 設計者にとって有効なツールである。我々は ESP を低消費電力 RISC の設計に適用し、アーキテクチャレベルでの最適化を行なうに非常に有効であることを確認した。Dhrystone ベンチマークの場合で、消費電力を 15.9% 削減できた。

また、ESP を用いた見積り結果の精度評価を行った。アーキテクチャレベルで用いるには十分な精度があることが確認できた。見積り値の絶対値は異なっているが、動的な相対的な振舞いは非常に良い一致がとれており、設計の選択や修正のための相対的な尺度を与えるという目的においては、非常に有効である。

以上より、ESP はアーキテクチャレベルで、消費電力と性能との間のトレードオフを考慮する目的に対して有効であること、アーキテクチャレベルで消費電力最適化の指針を与えることができることがわかり、アーキテクチャ設計に有効なツールであることがわかる。

謝辞

R3900 の測定を助けていただいた半導体デバイス技術研究所の浅尾殿に感謝します。

参考文献

[1] 西本他, “Nomadic Computing 用低消費電力 RISC プロセッサ”, 信学技報 ICD95-61, pp.83-88, Jun. 1995.

- [2] H.Harigai et al., “A 0.9V CMOS 32-bit Microprocessor”, NEC Res. & Develop., Vol.36, No.1, pp.42-51, Jan. 1995.
- [3] D.Pham et al., “A 1.2W 66MHz Superscalar RISC Microprocessor for Set-Tops, Video Games, and PDAs”, ISSCC Digest of Tech. Papers, pp.180-181, Feb. 1995.
- [4] M.Nagamatsu et al., “A 150MIPS/W CMOS RISC Processor for PDA Applications”, ISSCC Digest of Tech. Papers, pp.114-115, Feb. 1995.
- [5] EPIC Design Technology Inc., “PowerMill User Manual Release 3.0”, Oct. 1993.
- [6] S.Devadas and S.Malik, “A Survey of Optimization Techniques Targeting Low Power VLSI Circuits”, Proc. of 32nd DAC, pp.242-247, 1995.
- [7] J.Bunda et al., “Evaluating Power Implications of CMOS Microprocessor Design Decisions”, Proc. of IWLPD'94, pp.147-152, 1994.
- [8] C.Svensson and D.Liu, “A Power Estimation Tool and Prospects of Power Saving in CMOS VLSI Chips”, Proc. of IWLPD'94, pp.171-176, 1994.
- [9] R.Mehra and J.M.Rabaey, “Behavioral Level Power Estimation and Exploration”, Proc. of IWLPD'94, 1994.
- [10] P.E.Landman and J.M.Rabaey, “Architectural Power Analysis: The Dual Bit Type Method”, IEEE Trans. on VLSI Sys., Vol.3, No.2, pp.173-187, 1995.
- [11] 今井聖, “デジタル信号処理”, 廣済堂産報出版, 1980.
- [12] 大田黒幸雄, “組み込み用 RISC プロセッサの低消費電力化の手法”, 信学技報 ICD95-60, pp.75-81, Jun. 1995.
- [13] M.T-C.Lee et al., “Power Anarysis and Low-Power Scheduling Techniques for Embedded DSP Software”, Proc. of ISSS'95, 1995.
- [14] H.Kojima et al., “Power Analysis of a Programmable DSP for Architecture / Program Optimization”, SLPE'95 Digest of Tech. Papers, pp.26-27, 1995.